

다층 배선에서 차폐효과 모델 및 스위칭에 미치는 영향

진우진, 어영선

한양대학교 전자공학과

Shielding effect model and Signal Switching in the multi-layer interconnects

Woojin Jin, Yungseon Eo

Dept. of Electronic Engineering, Hanyang University

Tel : 0345-400-5295

Fax : 0345-406-2974

e-mail : jin@iel.hanyang.ac.kr

eo@iel.hanyang.ac.kr

Abstract

New capacitance modeling and transient analysis for multi-layer interconnects with shielding effect are presented. The upper layer capacitances with under-layer shielding lines are represented by introducing a filling factor η which can be defined as the ratio of upper-layer line length to the total under-layer line width. The upper-layer effective self capacitances considering two extreme cases which the under-layer metals are assumed as a ground or as a Vdd are modeled. The signal transient analysis with shielding effect model is performed.

층사이의 오버랩 커패시턴스에 대한 모델이 제시 되었으나 이들 모델은 폭이 넓은 경우에만 적용될 수 있으므로 칩내의 경우에는 사용될 수 없다[2]. 또 실제의 구조에 대한 측정이나 3 차원 시뮬레이터의 결과를 수식적으로 일치하도록 하는 방법이 제시되었으나 [3][4] 이 역시 많은 수의 라인이 지나가는 전송선을 3 차원으로 시뮬레이션 한다는 것은 많은 시간이 소요되므로 비효율적이며 회로의 시뮬레이션을 위해서 레이아웃 수준에서 파라미터를 추출하는 것 역시 어렵다.

본 논문에서는 커패시턴스에 영향을 미치는 라인의 폭, 두께, 중간 유전물질의 종류와 높이를 고려하는 대신에 점유계수(filling factor)를 도입함으로써 위층의 라인에 대한 커패시턴스를 계산한다. 이 방법은 밑에 라인이 없는 경우와 완전히 채워진, 즉 평판도체로 될 때의 두가지 경우에 대해서만 3 차원으로 시뮬레이션 하기 때문에 간단하고 빠르게 차폐효과를 고려한 커패시턴스를 계산할 수 있다.

본 논문의 구성은 먼저 차폐효과를 고려한 위층 라인의 커패시턴스를 구하는 식을 모델하고, 아래층 라인의 조건에 따른 위층 라인의 커패시턴스의 계산을 유도한다. 그리고 이 계산 방법을 이용해서 계산한 커패시턴스를 이용해서 차폐효과에 의한 신호의 전이를 분석한다.

1. 서론

회로의 집적도와 속도가 증가함에 따라 칩내의 라인의 길이는 점점 길어지고 있으며 칩의 크기가 커짐에 따라 배선의 연결을 위해 다층구조를 갖게 되어 회로의 성능은 대부분 라인에 의해 좌우된다[1].

중간의 전송선은 층사이의 전자기 상호작용을 최소화하기 위해 서로 직교하도록 배치되지만 고집적 회로에서는, 특히 첫번째 층의 지역배선은 매우 조밀한 배열을 가지기 때문에 층내의 이웃하는 라인사이의 영향뿐만아니라 아래층의 차폐효과(shielding effect)를 고려한 전송선 특성 해석이 필수적이다.

2. 차폐효과를 고려한 커패시턴스 모델

전송선의 차폐 효과에 의한 영향은 라인의 폭이 넓을수록, 라인의 길이가 길수록 그리고 배열이 조밀할수록 중요해진다[4]. 아래층을 지나가는 라인에 의한 위층의 커패시턴스는 라인의 폭, 두께, 층사이의 유전물질의 종류와 높이, 그리고 밑의 라인의 넓이에 의해 영향을 받는다. 그러나 이러한 요소들이 독립적, 선형적으로 작용하는 것이 아니므로 이러한 영향을 고려한 커패시턴스에 대한 정확한 모델은 아직까지 없었다. 여기서는 위층의 전송선의 길이에 대한 아래층을 교차하며 지나가는 라인이 차지하는 총 넓이의 비인 점유계수(filling factor: η)를 도입하여 차폐효과에 의한 위층의 커패시턴스를 모델한다. 따라서 차폐효과에 의한 위층의 전송선의 커패시턴스는 다음과 같은 함수로 나타낼 수 있다.

$$C_c = f(C_0, C_f, \eta). \quad (1)$$

여기서 C_0 는 아래층에 교차하는 라인이 하나도 없을 때의 위층의 라인이 갖는 커패시턴스이고, C_f 는 아래층이 교차하는 라인으로 완전히 채워졌을 때 위층의 라인이 갖는 커패시턴스로서 아래층의 라인이 차지하는 총 넓이가 위층의 라인의 길이와 같아지는 경우이다. 즉,

$$l = \sum_{j=1}^n w_j + \sum_{k=1}^m s_k \quad \text{for } s_k \leq 2t. \quad (2)$$

여기서 l 은 위층의 라인의 길이이고, w_j , s_k , t 는 각각 아래층을 지나가는 n 개의 라인에서 j 번째 라인의 폭, k 번째 라인사이의 간격, 그리고 라인의 두께이다. 만약 아래층의 라인사이의 간격이 일정하고

$$l = \sum_{j=1}^n w_j < 2nt \quad (3)$$

의 경우라면 아래층을 평면인 도체로 간주할 수 있다. 그리고 점유계수 η 는 아래층의 라인의 간격이 불균일한 경우

$$\eta = \frac{\sum_{j=1}^n w_j + \sum_{k=1}^m s_k + 2(n-m)t}{l} \quad (4)$$

이다. 여기서 m 은 아래층의 라인 사이의 간격이 $2t$ 보다 작은 경우의 갯수이다. 만약 라인 사이의 간격이 일정하다면 식(4)는 다음 두 가지 경우로 나누어 나타낼 수 있다. 즉,

$$\eta = \begin{cases} \frac{\sum_{j=1}^n w_j + 2nt}{l} & \text{for all } s > 2t \\ \frac{\sum_{j=1}^n w_j + \sum_{k=1}^m s_k}{l} & \text{for all } s \leq 2t \end{cases} \quad (5)$$

프린팅 필드(fringe field)를 고려하기 위해 라인의 간격 s 가 $2t$ 보다 큰 경우 아래층의 라인이 차지하는 넓이에 $2nt$ 가 더해지고, 라인의 간격 s 가 $2t$ 보다 작은 경우에는 식(2)와 같이 되므로 이 경우 $\eta=1$ 이 된다. 따라서 차폐효과에 따른 위층의 전송선의 커패시턴스는

$$C_c \approx C_0(1-\eta) + \eta C_f \quad \text{for } 0 < \eta < 1 \quad (6)$$

과 같이 나타낼 수 있다.

3. 아래층이 그라운드일 때의 Vdd 일 때의 커패시턴스

아래층의 라인의 조건에 따라 위층의 라인의 실제적인 커패시턴스가 변하므로 차폐효과에 의한 전송선의 신호지연과 노이즈 분석을 위한 시뮬레이션에 사용될 커패시턴스를 위해서는 아래층의 조건을 고려한 새로운 모델이 필요하다. 여기서는 아래층이 그라운드된 경우와 직류전압 Vdd가 인가된 두 가지 극단적인 경우를 고려한다.

아래층이 그라운드 될 경우 위층과 아래층 사이의 전위차에 의해서 오버랩 커패시턴스는 위층의 라인의 셀프커패시턴스로 포함되어야 한다. 따라서 식(6)의 C_f 는 다음과 같이 다시 쓸 수 있다.

$$C_{fl} = C_f + \sum_{j=1}^n C_{ij}. \quad (7)$$

여기서 C_{il} 은 지체가 완전히 이루어진 경우의 오버랩 커패시턴스를 고려한 위층의 라인의 셀프커패시턴스이고, C_{ij} 는 위층의 i 번째 라인과 아래층의 j 번째 라인 사이의 오버랩 커패시턴스를 나타낸다. 그러나 C_f 의 경우와 마찬가지로 C_{ij} 는 아래층을 평판도체로 보고 시뮬레이션 한 결과의 오버랩 커패시턴스로 나타낼 수 있다. 따라서 아래층의 그라운드 된 경우의 위층의 실제적인 셀프커패시턴스는

$$C_{seff}(GND) \approx C_0(1-\eta) + \eta C_{fl} \quad (8)$$

이 된다.

반면 아래층에 직류전압 Vdd가 인가될 경우 위

층과 아래층사이에 전위차는 존재하지 않으며 교차된 부분의 위층의 라인이 느끼는 커패시턴스는 같은 넓이의 아래층의 셀프커패시턴스가 될 것이다. 따라서 이 커패시턴스도 역시 위의 라인의 셀프커패시턴스에 포함되어야 한다. 그러므로 식(6)의 C_f 는 다음과 같이 다시 쓸 수 있다. 즉,

$$C_{f2} = C_f + \sum_{j=1}^n C_{fj0} \quad (9)$$

여기서 C_{f0} 는 교차된 부분만큼의 아래층의 라인의 셀프커패시턴스으로써 역시 평판 도체로 감안한 경우의 시뮬레이션 결과에서 값을 구할 수 있다. 따라서 아래층에 Vdd가 인가된 경우의 위층의 라인의 실제적인 셀프커패시턴스는

$$C_{self} |_{Vdd} \approx C_o(1-\eta) + \eta C_{f2} \quad (10)$$

이 된다.

위에서 유도한 차폐효과를 고려한 위층 라인의 커패시턴스의 식을 살펴보면 아래층에 라인이 없는 것과 평판 도체로 있을 두가지 경우에 대해서만 파라미터를 구한다면 임의의 라인에 의해 차폐되는 위층 라인의 커패시턴스를 정확히 추출해낼 수 있다.

4. 시뮬레이션 및 검증

식(5)의 타당성을 검증하기 위해 그림(1)과 같은 구조를 고려하였다. 위층과 아래층의 라인의 폭은 각각 $1\mu\text{m}$ 이고 아래층의 라인 수를 변화시키며 3차원 필드솔버(field solver)로 커패시턴스를 추출하였다. 모델식 (5)와 3차원 필드솔버에 의한 결과가 그림(2)와 그림(3)에서 보듯이 셀프커패시턴스, 커플링 커패시턴스 모두 잘 일치함을 알 수 있다. 또한 아래층을 실제 라인으로 놓았을 경우 식(2)를 만족하는, 즉 $\eta=1$ 인 경우의 C_f 를 사용한 것과 평판 도체로 보았을 때의 C_f 를 사용한 경우의 커패시턴스 계산도 일치함을 알 수 있다.

차폐효과에 의한 위층 라인의 신호지연과 노이즈 분석을 위한 회로를 그림(4)에 나타내었다. 위층의 라인의 폭은 $10\mu\text{m}$, 길이는 $10000\mu\text{m}$ 이며, 아래층의 라인의 폭은 $50\mu\text{m}$ 로써 그림(5)와 같이 10개의 셀로 분할하여 범용회로 시뮬레이터인 HSPICE를 사용하여 시뮬레이션하였다. 그림(5)의 서브회로 S는 아래층의

조건에 따라, 즉 그라운드일 때와 Vdd일 때 그림(6)과 같이 입력된다. 신호의 지연을 분석하기 위해서 각각의 전원에 0→1로 스위칭 되도록 전압을 인가했으며, 크로스톡 노이즈를 보기 위해서 전원 V3에 0→0을 인가하였다. η 의 변화에 따른 신호지연과 크로스톡 노이즈를 그림 (7)과 그림(8)에서 나타내었다. 그림에서 보듯이 차폐효과에 의한 신호지연과 노이즈는 무시할 수 없을 정도로 영향을 미치고 있음을 알 수 있다.

5. 결론

위에서 점유계수를 도입하여 아래층의 차폐효과를 고려한 위층 라인의 커패시턴스를 모델하였다. 그리고 아래층의 조건에 따른 위층의 커패시턴스도 모델하였다. 유도된 식은 레이아웃에서 임의의 조건으로 차폐된 라인의 커패시턴스를 바로 구할 수 있기 때문에 신호선의 신호특성을 시뮬레이션하기 위해 사용되는 파라미터를 추출하기 위한 전처리 과정에 유용하게 사용될 수 있다.

6. 참고문헌

- [1] The National Technology Roadmap Semiconductor Technology Needs. SIA Report, 1997.
- [2] C. P. Yuan, "Modeling and Extraction of Interconnect Parameters in Very-Large-scale Integrated Circuits," Ph.D. Thesis, University of Illinois at Urbana-Champaign, 1983.
- [3] M. Lee, "A Multilevel Parasitic Interconnect Capacitance Modeling and Extraction for Reliable VLSI On-Chip Clock Delay Evaluation," IEEE JSSC, vol 33, No. 4, pp. 657-661, April, 1998.
- [4] D. Sylvester, J. C. Chen, and C. Hu, "Investigation of Interconnect Capacitance Characterization Using Charge-Based Capacitance Measurement(CBCM) Technique and Three-Dimensional Simulation," IEEE JSSC, vol. 33, No. 13, pp. 449-453, Mar., 1998.

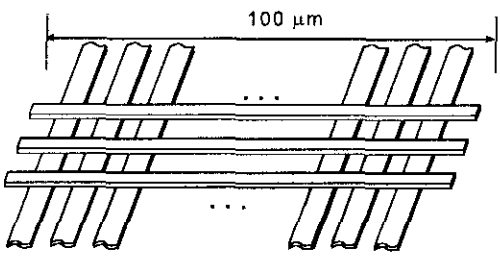


그림 1. 차폐효과를 고려하기 위한 구조

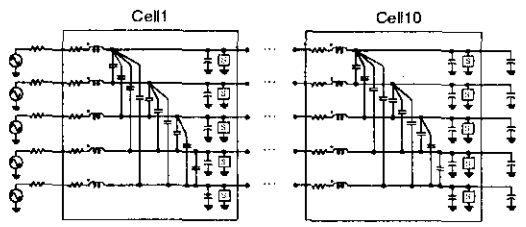


그림 5. 차폐효과 검증을 위한 등가회로

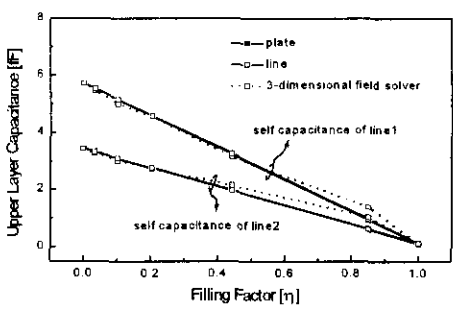


그림 2. 차폐효과를 고려한 위층 라인의 셸프 커패시턴스

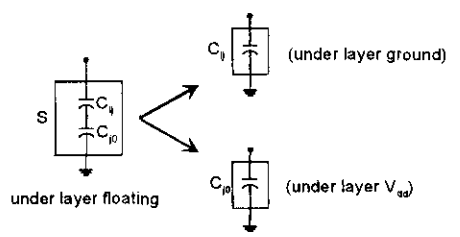


그림 3. 차폐효과를 위한 등가회로

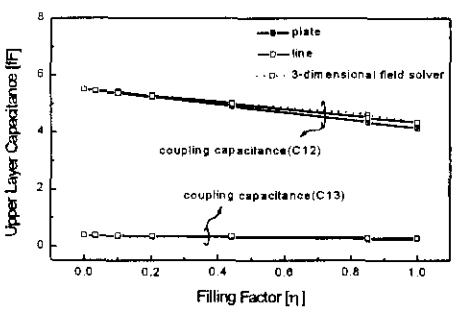


그림 3. 차폐효과에 고려한 위층 라인의 결합 커패시턴스

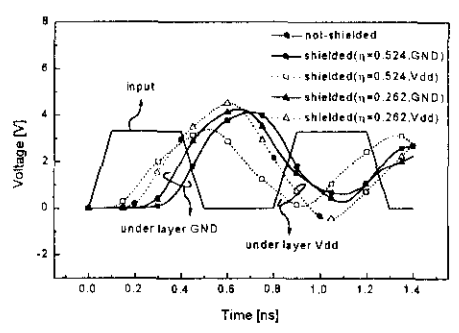


그림 6. 차폐효과가 있을 때와 없을 경우의 신호전이

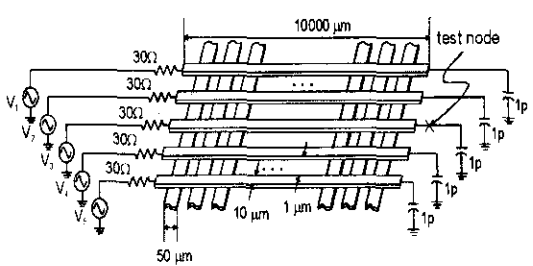


그림 4. 차폐효과 검증을 위한 회로

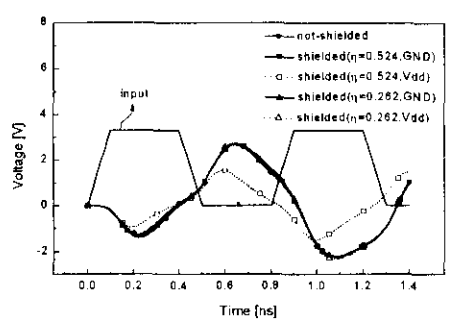


그림 7. 차폐효과가 있을 때와 없을 경우의 크로스톡 노이즈