

최적화이론의 입출력을 제어한 회로

한제섭*

대한전자공학회, 정회원

E-mail : hanjesup@hiweb.kornet.nm.kr

The Circuit of Input & Output - Control in optimization theory

Je Sup Han

MEMBER, THE INSTITUTE OF ELECTRONICS ENGINEERS OF KOREA

E-mail : hanjesup@hiweb.kornet.nm.kr

Abstract

The optimization theory in this paper was down a power consumption and a chip area that this paper use a low number of transistor and compare two circuits of the input-output control. the first, design a circuit of pipeline Multiplexor in sequence of invert. the second, operated a control of N numbers of MUX using a decoder. compare a number of transistor, a chip area in semiconductor and a power consumption of two circuit.

요 약

본 논문에서 최적화이론이란 이 논문에서 두 개의 회로를 비교하고 트랜지스터의 개수를 적게

사용하여 전력소비를 줄일 수 있었고, 면적을 적게 축소하였다. 그리고 입출력에서 사용하는 제어는 크게 두개로 나누었다. 첫 번째로 인버터를 사용해서 순차적으로 진행하도록 한 파이프라인의 회로를 설계하였고, 두 번째로 논리회로를 이용해서 n개의 MUX를 동시에 동작하도록 제어하였다. 두개의 회로에서 트랜지스터의 개수와 반도체 칩의 면적 그리고 소비전력을 비교하여본다.

I. 서론

CMOS소자를 이용해서 회로를 설계하여 분석하였다. circuit level, block level과 gate level을 이용한 분석된 내용을 가지고 전력에 미치는 영향과 제1회로와 제2회로의 설계방법론을 제시하게 된다. 또한 회로 동작을 설명하여 이해하고 분석하여 본다.

II. 입출력의 제 1 회로

그림1과 그림2에서 인버터를 이용하여 파이프라인 제어는 순차적으로 진행하는 것을 표현하고 있다. 아래의 그림5.에서 표현한 펄스신호인 시작신호(start)를 보내면 제1회로의 첫 번째인 출력(1Output1)이 나오고, 그 다음에 제 1회로의 두 번째 출력(1Output2)이 나오는 것을 볼 수 있다. 이 펄스신호의 진행방법은 시간적으로 MUX1이 동작하고, 그 다음에 MUX2가 진행된다. 그러면 N번째 되는 MUX가 처리하는 동안에 MUX1이 계속 동작하여 결과를 출력한다. 그래서 시스템 자체가 한 개의 신호만을 단계적으로 출력해서 단순히 대용량 처리를 수행하는데, 이 회로를 사용하게 되면 최적의 회로로 적합하다. n번째의 값을 처리하는 1번째의 값과 동시에 처리를 요구하는 것이라면, MUX1이 MUX N번까지 지연 시켜야 할 것이다. 만약 처리해야 할 신호수가 128개라면 지연시간은 얼마나 많이 해야 하는지를 예상 할 수 있을 것이다.

즉, 수치계산용을 사용할 경우 처음에 나온 값과 나중에 나온 값을 지연 시켜야 한다. 그리고 숫자를 계산해야한다. 그래서 이 회로는 수치계산처리에 부적합하여, 다음과 같은 입출력용의 제2회로를 설계하게 되었다.

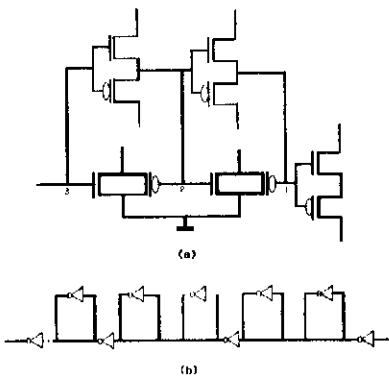


그림1. (a)인버터와 mux를 연결한 회로
(b)파이프라인 구조인 회로

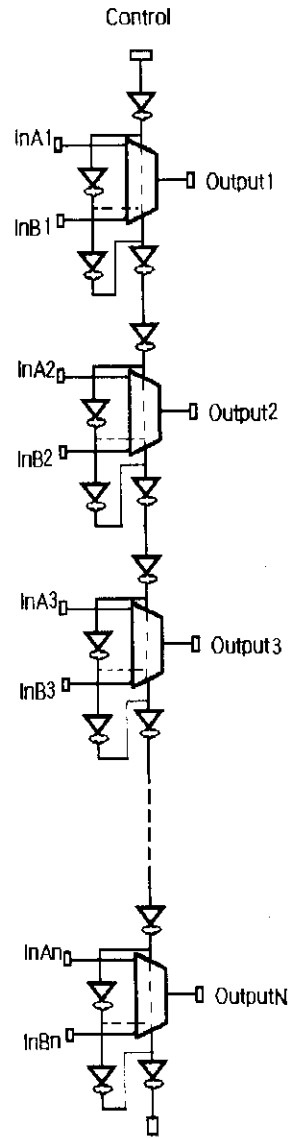


그림2. 파이프라인 인버터로 제어한 Multiplexor의 회로

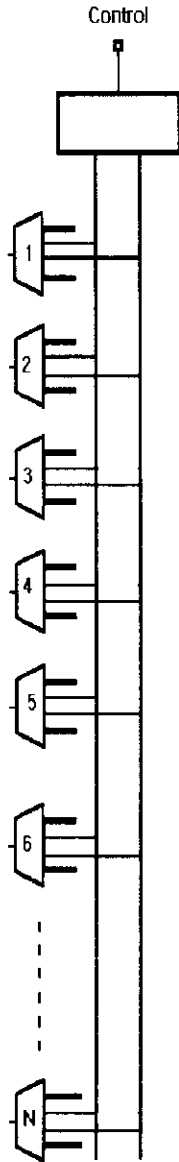


그림3. 단일 인버터 회로로 제어한 multiplexor 회로

III. 입출력의 제 2 회로

그림3. 1개의 입력 2개의 출력을 가진 회로는 0과1로 제어한다. 그림3에서 회로는 MUX을 제어하도록 설계하였다. n개의 숫자를 가진 멀티플렉서는 동시에 처리 할 수 있는 회로이며, 제어 신호를 1을 주면 입력(a)의 신호를 부하하며, 입력(b)신호는 쇼트 한다. 제어신호를 0을 주면 입력(a)은 쇼트하고, 신호(b)가 부하 된다. 제1회로는 지연시간이 길어져서 사용 못하던 단점을 제2회로에서 극복 할 수 있었다. 제2회로를 이용하여 n개의 신호를 동시에 처리 할 수 있는 회로를 설계하였다.

아래의 그림5. 안에 있는 제2회로에서 첫 번째인 멀티플렉서의 출력신호와 두 번째인 멀티플렉서의 출력신호는 서로가 지연요소가 거의 없는 것으로 나타났다. 바로 이러한 원리를 이용하여 회로를 설계하는데 적용하면 유용할 것이다. 대량의 데이터를 사용할 때 처리하는 회로를 사용하는 것과 쉬프트 처리를 할 때 사용하면 적합할 것이다. 멀티플렉서도 transistor - level을 이용해서 설계하였으며, logic level보다 더욱 빠르게 처리하며, 트랜지스터 숫자도 적게 사용할 수 있었다. 단점은 최악의 경우에 파형의 신호가 찌그러진 형태로 나타난다. 이것을 보완하기 위한 회로를 설계할 필요가 있다.

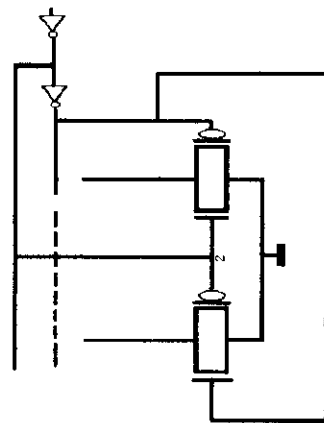


그림4. 단일 구조의 인버터와 MUX를 연결한 회로

그림4.에서 제1회로에서 인버터는 1개의 MUX을 제어하는데, 4개의 인버트를 사용해 야한다. 그러나 그림4에서 보는 바와 같이 2개의 인버터를 사용하면 제어하는데, 단순하게 회로를 구성할 수 있는 것을 알 수 있다. 이 회로에서 보는 것과 같이 아주 간단하게 제어하는 것을 볼 수가 있었다. 최적화 이론에 근거한 회로를 설계한 것에 대해 증명된 것이다.

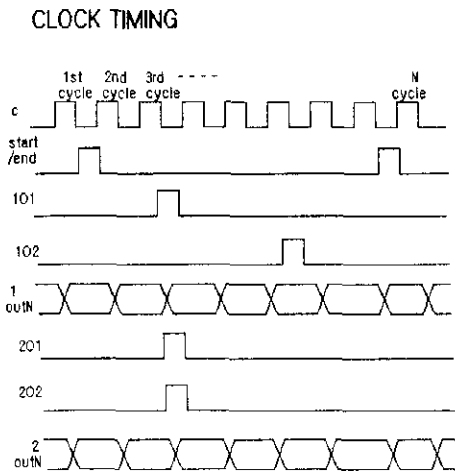


그림5. 입출력의 신호도표

IV. 결론

그림5인 두개의 회로는 펄스 신호를 분석한 도표다. 만약에 8개의 MUX를 제어한다면, 이론적으로 트랜지스터의 숫자가 제1회로에서 96개의 트랜지스터를 사용하였고, 제2회로에서 36개의 트랜지스터를 사용한다. 그리하면 약2.6배의 개수 감속을 했으며, 또한 소비전력도 감소한다. 레이아웃을 해 본 결과 면적도 2~3배의 비율로 축소되는 것을 관찰 할 수 있었다.

참고문헌

- [1] Anantha P. Chandrakasan, Samuel Sheng, and Robert W. Brodersen, Fellow, IEEE, "LOW POWER CMOS Digital Design," IEEE Journal of solid state circuits, vol. 27, NO. 4, APRIL 1992
- [2] West and Eshraghian, "PRINCIPLE OF CMOS VLSI DESIGN SECOND EDITION ADDISON WESLEY PUBLISHING COMPANY Copyright © 1993 by AT&T
- [3] 韓齊燮 "算術論理演算機 設計에 관한 研究," 崇實大學校 産業大學院 半導體共學科 碩士學位 請求論文 pp25~27, Feb. 1995
- [4] HIROAHI HATANO, KATSUYUKI DOI, AND JUN IWAMURA, "A 256-C2MOS LSI Time Switch Using Shift Register Pipeline Multiplexor," IEEE Journal of solid state Circuits, Vol. sc 22, NO.2, APRIL 1987
- [5] MASAKATSU MARUYAMA, HIROYUKI NAKAHIRA, TOSHIYUKI ARAKI, SHIROU SAKIYAMA, YOSHITAKA KITAO, KUNITOSHI AONO, HARUYASU YAMADA, "An Image Signal Multiprocessor on a single Chip," IEEE JOURNAL OF SOLID STATE CIRCUIT, VOL. 25, NO. 6, DECEMBER 1990.

저자소개

한제섭(正會員)

1969년 5월 17일생.

1993년 2월 관동대학교 전자공학과 졸업, 공학사.

1996년 2월 숭실대학교 산업대학원

반도체공학과 졸업, 공학석사.

주관심분야 ALU, 마이크로프로세서, DSP