

Redundant Binary 복소수 필터를 이용한 적응 결정귀환 등화기 모듈 설계

김 호하^o, 안 병규, 신 경욱
금오공과대학교 전자공학부

A Design of Adaptive Decision-Feedback Equalizer Module using Redundant Binary Complex Filter

Ho-Ha Kim^o, Byung-Gyu An, Kyung-Wook Shin
Dept. of Electronic Eng., Kumoh National Univ. of Technology
E-mail : hhkim@knut.kumoh.ac.kr

ABSTRACT

A new architecture for high-speed implementation of adaptive decision-feedback equalizer (ADFE) applicable to wide-band digital wireless modems is described. Rather than using conventional two's complement arithmetic, a novel complex-valued filter structure is devised, which is based on redundant binary (RB) arithmetic. The proposed RB complex-valued filter reduces the critical path delay of ADFE, as well as leads to a more compact implementation than conventional methods. Also, the carry-propagation free (CPF) operation of the RB arithmetic enhances its speed. To demonstrate the proposed method, a prototype chip set is designed. They are designed to contain two complex-valued filter taps along with their coefficient updating circuits, and can be cascaded to implement longer filter taps for high bit-rate applications.

I. 서 론

수 십 Mb/s 이상의 데이터 전송속도를 갖는 디지털 무선 통신 시스템에서 고속 데이터 전송을 저해하는 요인 중 대표적인 것으로 부호간 간섭 (Inter-Symbol Interference; ISI) 을 꼽을 수 있으며, 이를 제거하기 위해서는 수신단에 적응 신호처리 기법을 이용한 채널등화 과정이 필요하다.

ISI 제거를 위한 채널등화 방식은 크게 나누어 선형 등화기, 선형 귀환 등화기, 결정귀환 등화기 (Decision-Feedback Equalizer; DFE) 등으로 구분되며, 이들 중 DFE 방식의 성능이 가장 우수한 것으로 알려져 있다. 일반적으로, 선형 등화기는 채널 왜곡이 큰 경우에는 등화기를 구성하는 필터의 차수를 크게 증가시켜야 하는 단점을

갖는다. 반면에, DFE는 채널 왜곡이 심할수록 선형 등화기에 비해 성능개선이 우수하며 샘플러의 위상에 덜 민감하고 잡음에 대한 증폭 없이 ISI를 제거할 수 있다는 장점을 갖는다. 따라서, DFE는 차세대 광대역 디지털 무선통신 시스템 및 HDTV 등의 모뎀을 구성하는 핵심 기술로 부각되고 있다 [1].

오늘날 대부분의 디지털 통신 시스템에서는 in-phase 와 quadrature (I-Q) 채널의 복소수 데이터 처리가 요구되며, 이들 시스템의 DFE는 복소수 필터를 기본으로 하여 구성된다. 따라서, 고밀도/고속/저전력 DFE 칩의 구현을 위해서는 효율적인 복소수 필터의 구현이 필수적이다.

본 논문에서는 광대역 디지털 무선 모뎀용 DFE의 효율적인 구현을 위해 새로운 복소수 필터 구조를 제안한다. 제안된 복소수 필터는 기존의 2의 보수 연산 대신에 RB 연산을 바탕으로 하며, 이를 통해 전체적인 구조의 단순화와 동작속도의 향상이 얻어졌다. 제안된 방법을 적용하여 adaptive DFE (ADFE) 칩 set을 설계하였다. 설계된 칩 set은 선형 등화기 모듈 (LFEM)과 결정귀환 등화기 모듈 (DFEM)로 구성되며, QPSK, 16-, 64- 및 256-QAM 방식을 지원한다. 각각 2-tap의 복소수 필터와 sign-LMS 알고리즘에 의한 계수 update 회로를 내장하고 있으며, DFE를 구성하는 복소수 필터의 차수를 채널 특성에 따라 확장할 수 있도록 설계되었다.

II. ADFE 아키텍처

2.1 전체구조

ADFE는 그림 1과 같이 feedforward equalizer (FFE)와 DFE가 결합된 구조를 갖는다 [2]. 모든 데이터 및 계수는 복소수 형태이며, 따라서 등화기는 모두 복소수 필터로 구현된다. FFE는 ADFE의 앞단에 위치하여 pre-cursor ISI를 제거하는 기능을 수행하며, self-adopting 계수를 갖

는 FIR 형태의 복소수 필터와 sign-LMS 알고리즘을 이용한 계수 updating 블록으로 구성된다. DFE는 ADFE의 뒷단에 위치하여 post-cursor ISI를 제거하는 all-pole IIR 형태의 복소수 필터로 구성된다. sign-LMS 알고리즘에 의한 계수 updating 블록과 귀환경로에 비선형 symbol 결정 블록을 갖는다. 그림 1에서 symbol 결정회로는 변조 방식을 지정하는 제어신호에 따라 등화기 출력에 대한 심벌을 결정하고, 에러 데이터를 생성한다. 두 개의 블록을 사용하여 I-Q 채널이 동시에 처리되도록 한다.

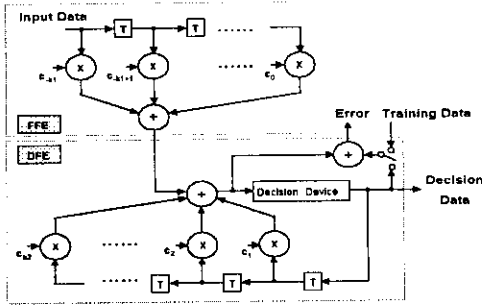


그림 1. ADFE 아키텍처

2.2 RB 복소수 필터

그림 1에서 FFE와 DFE는 in-phase와 quadrature (I-Q) 채널의 신호를 처리하는 복소수 필터로 구성되며, 따라서 고집적/고속 ADFE의 구현을 위해서는 복소수 필터를 효율적으로 구현할 수 있는 방법이 요구된다.

복소수 필터를 구현하는 가장 고전적인 방법은 그림 2와 같이 실수 승산기와 실수 가산기를 이용하는 것이다. 일반적으로, 복소수 승산은 4개의 실수 승산기와 2개의 실수 가산기를 사용하여 구현할 수 있으므로, 1-tap의 복소수 필터는 4개의 실수 승산기와 4개의 실수 가산기가 필요하다. 이와 같은 고전적인 방법에서는 실수 승산 결과에 대한 post-addition 과정을 필요로 하므로 필터 tap 내부의 구조가 복잡해지며, 따라서 배선에 의한 면적 및 지연시간의 증가를 초래한다. 그림 2의 복소수 필터 구조는 tap 당 $T_m + 2T_a$ (단, T_m 및 T_a 는 각각 실수 승산기 및 가산기의 지연시간을 나타냄)의 지연시간을 갖는다.

한편, 복소수 승산기의 구현을 위해 strength reduction 기법 [3]을 적용하면 3개의 실수 승산기와 7개의 실수 가산기를 사용하여 그림 3과 같이 복소수 필터를 구현할 수 있다. strength reduction 기법은 복소수 승산시 1개의 실수 승산기를 줄이는 대신에 3개의 실수 가산기를 추가로 사용하는 방법이며, 이는 가산기가 승산기보다 면적과 동작속도 측면에서 유리하다는 점을 이용하는 것이다. 이 방법은 tap 당 $T_m + 3T_a$ 의 지연시간을 가지므로 그림 2의 방법 보다 동작 속도가 느리고 가산기와 승산기 사이의 배선이 더욱 복잡해지는 단점을 갖는다.

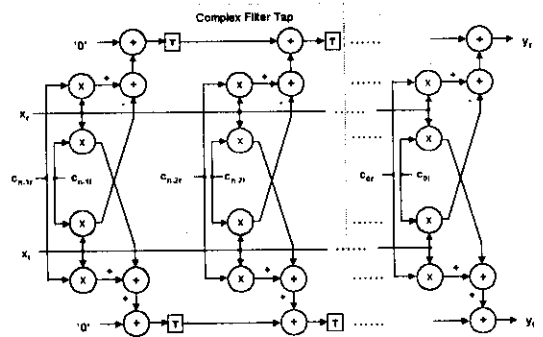


그림 2. 고전적인 복소수 필터 아키텍처

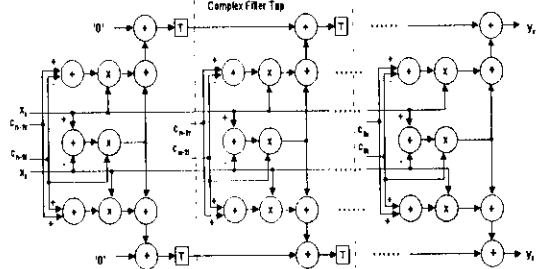


그림 3. Strength Reduction 복소수 필터 아키텍처

본 논문에서는 실수 승산기 및 가산기를 사용하는 기존의 방법 대신에 RB 연산을 이용한 새로운 복소수 필터 구현 방법을 제안하고자 한다. 제안된 복소수 필터 구조는 그림 4와 같이 2개의 RB 승산기와 2개의 RB 가산기로 1-tap의 필터가 구성된다. RB 승산기는 기존의 2진 수치계 연산 대신에 RB 수치계 연산을 사용하며, 승산의 연산량을 줄이기 위해 radix-4 Booth recoding 기법을 적용하여 구현된다[4]. 문헌 [4]에 언급된 바와 같이, RB 수치계 연산은 CPF 가산 특성을 가지므로 승산 및 가산과정을 고속으로 처리할 수 있다는 장점을 갖는다. 또한, 복소수 승산시 post-addition 과정이 필요 없어 전체적인 연산량의 감소와 함께 구조적인 단순화가 얻어지며, 따라서 고속/고밀도/저전력 복소수 필터의 구현이 가능하다. 그림 4에서 볼 수 있듯이, 본 논문의 방법은 N -tap의 복소수 필터가 $2N$ 개의 RB 승산기와 $2N-2$ 개의 RB 가산기로 구성되며, tap 당 $T_{m, RB} + T_{a, RB}$ 의 (단, $T_{m, RB}$, $T_{a, RB}$ 는 각각 RB 승산기 및 가산기의 지연시간) 지연시간을 가지므로 기존의 방법들에 비해 고속동작이 가능하다. 표 1은 본 논문에서 제안된 새로운 복소수 필터 구현방법과 기존의 방식을 비교한 것이다.

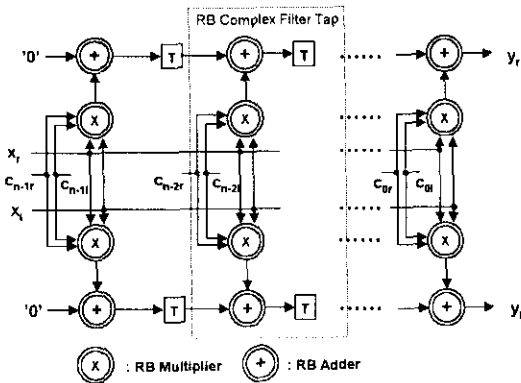


그림 4. 제안된 RB 복소수 필터 아키텍처

표 1. 복소수 필터 아키텍처 비교

Architecture	곱셈기 수	가산기 수	Critical Path
그림 2	4N	4N - 2	1Multi + 2Add
그림 3	3N	7N - 2	1Multi + 3Add
그림 4(Proposed*)	2N	2N - 2	1Multi + 1Add

N : the number of taps , * : Redundant Binary

III. ADFE의 ASIC 설계

3.1 확장 가능한 FFE 및 DFE 모듈 설계

II장에서 언급된 바와 같이, ADFE를 구성하는 FFE와 DFE는 복소수 필터, 계수 updating 회로 및 간단한 제어회로 등으로 구성된다. 일반적으로, FFE 및 DFE를 구성하는 복소수 필터의 tap 수는 채널의 특성, 변조방식, symbol rate, bit error rate (BER) 등 ADFE가 사용되는 시스템의 사양에 의해 결정된다. 본 논문에서는 제안된 복소수 필터 구조를 이용하여 ADFE 칩 set을 설계하였으며, 설계 시에 다음과 같은 요소들을 고려하였다. 첫째, FFE와 DFE를 구성하는 복소수 필터는 필요에 따라 tap 수를 확장할 수 있도록 확장 가능한 FFE 모듈과 DFE 모듈로 나누어 설계한다. 둘째, QPSK, 16-, 64- 및 256-QAM의 4가지 변조방식을 지원할 수 있도록 한다. 셋째, sign-LMS 알고리즘의 수렴특성을 최적화하기 위해 step size를 선택할 수 있도록 한다.

확장 가능하도록 설계된 DFE 모듈의 내부 구조는 그림 5와 같으며, 2-tap의 복소수 필터, sign-LMS 계수 updating 회로, symbol 결정 및 에리생성 회로, 파이프라인 레지스터 및 간단한 제어회로 등으로 구성된다. FFE 모듈도 유사한 내부 구조를 갖도록 설계된다. 한편, 칩

제작시 사용 가능한 I/O pin 및 게이트 수 등의 제한으로 인해 단일 DFE 및 FFE 모듈이 2-tap의 복소수 필터를 갖도록 설계되었다. 일반적으로, 연산과정에서 발생할 수 있는 overflow 현상은 심벌결정의 오류를 유발할 수 있으며, 잘못 결정된 심벌 값은 계수 updating 회로로 귀환되므로 등화기의 적응기능에 심각한 오류를 유발하게 된다. 이와 같은 현상은 DFE의 취약점으로 지적되고 있으며, 본 논문에서는 등화된 출력신호를 11-bit로 제한하는 saturation 회로를 삽입하여 이와 같은 현상을 방지하도록 하였다.

그림 6은 설계된 칩 set을 사용하여 ADFE를 구현하는 예이며, 채널특성과 시스템 사양에 따라 필요한 tap 수만큼 FFE 모듈과 DFE 모듈을 연결함으로써 ADFE를 쉽게 구현할 수 있다. 각 모듈은 외부에서 인가되는 칩 선택신호 (M/S)에 의해 master 모드 또는 slave 모드로 동작하며, 동작속도의 지하 없이 모듈의 종속연결이 가능하다.

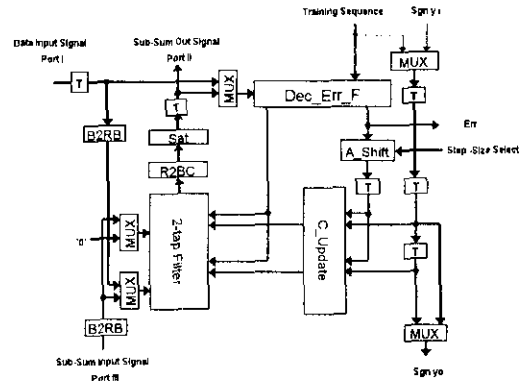


그림 5. 확장 가능한 2-tap DFE 모듈

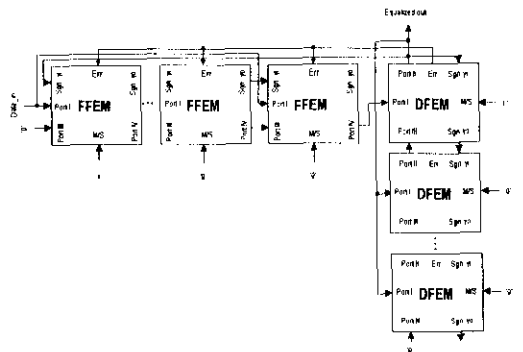


그림 6. 설계된 칩 set을 사용한 ADFE의 구현

3.2 알고리즘 시뮬레이션 및 회로 구현

ADFE의 설계를 위해서는 무선 채널에 대한 모델링

과 시뮬레이션을 통한 복소수 필터의 tap 수, 데이터 및 필터 계수의 비트 수, LMS 알고리즘의 step size 등의 등화가 파라미터를 결정해야 한다. 본 논문에서는 이와 같은 사양을 결정하기 위해 C-언어와 COSSAP을 이용한 알고리즘 레벨 시뮬레이션을 수행하였으며, 이중 경로를 갖는 무선 채널 [5, 6]을 가정하였다.

그림 7은 ADFE의 수렴 특성과 BER 특성을 시뮬레이션한 결과이고, 그림 8은 16-QAM에 대해 등화전의 신호 성상도 (constellation)와 등화후의 성상도를 나타낸 것이다. 그림 8에서 볼 수 있듯이, 등화전의 수신 신호는 심볼간 간섭으로 인해 신호검출이 불가능하나 ADFE에 의해 심볼간 간섭이 제거되어 신호의 성상도가 16개의 symbol 값 근처로 집중되었음을 알 수 있다.

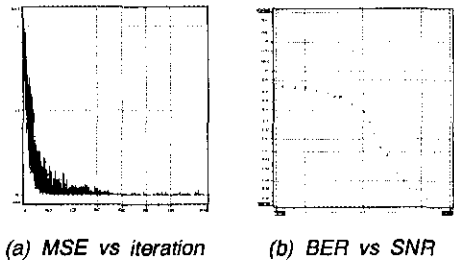


그림 7. ADFE의 수렴성과 BER

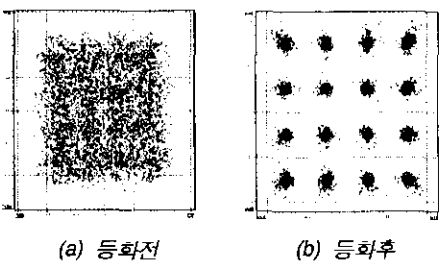


그림 8. 16-QAM 신호의 성상도

FFE 모듈과 DFE 모듈로 구성되는 ADFE 칩 set은 0.8-um SOG 라이브러리 (VTI사의 VGC450)를 이용하여 설계되었다. 각 모듈을 VHDL로 모델링한 후 Mentor의 QuickVHDL을 이용하여 기능레벨 검증을 수행하였으며, LODECAP을 이용하여 회로합성을 수행하고 합성 결과로부터 각 cell의 지연특성을 추출하여 회로의 타이밍 시뮬레이션을 하였다. 검증이 완료된 회로는 최종적으로 COMPASS를 이용하여 P&R을 수행하였다. 표 2는 설계된 FFE 모듈과 DFE 모듈의 기능블록별 회로합성 결과를 요약한 것이며, FFE 모듈의 전체 게이트 수는 23,570 개이며, DFE 모듈은 17,850개의 게이트로 구성된다. 본 논문에서 설계한 ADFE 칩 set은 IDEC MPW에서 제공하는 0.8-um SOG 공정으로 제작중이다

표 2. ADFE의 Gate Count

구분		Gate Count
FFEM	2-tap Filter부	15,098 Gates
	Sign-LMS부	6,150 Gates
	제어부	2,330 Gates
	합계	23,578 Gates
DFEM	2-tap Filter부	9,208 Gates
	결정/에러 생성부	257 Gates
	Sign-LMS부	6,162 Gates
	제어부	2,200 Gates
	합계	17,827 Gates

IV. 결 론

본 논문에서는 적용 결정귀환 등화기의 효율적인 구현에 적합한 새로운 복소수 필터 구조를 제안하고 이를 적용한 ADFE 칩 set을 설계하였다. 실수 송산기 및 가산기를 사용하는 기존의 방법 대신에 RB 수치계를 이용한 새로운 복소수 송산 방식을 적용함으로써 복소수 필터의 구조가 단순화되고 연산속도가 향상되어 고밀도/고속/저전력 구현이 가능하다는 장점을 갖는다. 0.8-um SOG 공정으로 설계된 FFE 모듈과 DFE 모듈은 각각 23,570개와 17,820개의 게이트로 구성되며, QPSK, 16-, 64- 및 256-QAM 변조방식을 지원하며, 채널 특성에 따라 성능 저하 없이 확장할 수 있도록 설계되었다. 본 논문에서 제안된 방법은 광대역 디지털 무선 모뎀용 단일 칩 ADFE의 설계에 적용 가능할 것으로 예상된다.

참 고 문 헌

- [1] H. Samuelli, "Digital Wireless Transceiver Architectures" *Introduction to Wireless Communications, Short Course of the 1994 IEEE ISSCC*, Feb., 1994.
- [2] J.G. Proakis, "Digital communications", 3rd Ed., New York, N.Y., McGraw-Hill, 1989.
- [3] R.E. Blahut, "Fast Algorithm for Digital Signal Processing", Addison-Wesley, 1987.
- [4] 김호하, 신경욱, "Radix-4 Booth Recoding과 RB 연산을 이용한 새로운 복소수 송산 알고리즘 및 10-bit CMAC 코어 설계", 대한전자공학회 논문지, C편, vol. 35, no. 9, pp. 11-20, Sep., 1998.
- [5] J. Bocuzzi, "Performance Evaluation of Non-Linear Transmit Power Amplifiers for North American Digital Cellular Portables", IEEE, 1995
- [6] W.P. Chou and P.J. McLane, "16-State Nonlinear Equalizer for IS-54 Digital Cellular Channels" IEEE, 1996