

1.9 GHz CMOS RF 대역통과 증폭기의 설계

류 제 우, 주 흥 일, 유 상 대
경북대학교 전자공학과, 경북대학교 전자공학과, 경북대학교 전자전기공학부
E-mail : jwryu@palgong.kyungpook.ac.kr
Tel : (053) 940-8837
Fax : (053) 950-5505

The Design of A 1.9 GHz CMOS RF Bandpass Amplifier

Jae-Woo Ryu, Hong-Il Ju, Sang-Dae Yu
Department of Electronics, Graduate School, Kyungpook Nat'l Univ.
Department of Electronics, Graduate School, Kyungpook Nat'l Univ.
School of Electronic and Electrical Engineering Kyungpook Nat'l Univ.
E-mail : jwryu@palgong.kyungpook.ac.kr
Tel : (053) 940-8837
Fax : (053) 950-5505

Abstract A CMOS RF bandpass amplifier which performs both functions of low-noise amplifier and bandpass filter is designed for the application of 1.9 GHz RF front-end in wireless receivers. The positive-feedback Q-enhancement technique is used to overcome the low gain and low Q factor of the bandpass amplifier. The designed bandpass amplifier is simulated with HSPICE and fabricated using HYUNDAI 0.8 μ m CMOS 2 poly 2-metal full custom process. Under 3 V supply voltage, results of simulation show that the CMOS bandpass amplifier provides the power gain 23 dB, noise figure 3.8 dB, and power dissipation 55 mW.

1. 서 론

최근 개인용 이동통신의 발달과 급속한 수요증가로 인하여 RFIC (radio frequency integrated circuits)의 중요성이 대두되고 있으며, 이동통신용 부품에 대한 관심이 높아짐에 따라 많은 연구 개발이 이루어지고 있다. 송수신단의 이동통신용 부품의 현재의 추세는 저전력화, 고집적화, 경량화, 그리고 낮은 설계비용 등을 절실히 요구하고 있다 [1]. 이런 요구조건을 만족하는 것이 GaAs 공성이다. 높은 동작속도, 저잡음 특성 등 장점이 많으나 silicon 공정에 비해 가격이 너무 비싼 단점이 있다. 반

면에 CMOS는 공정기술이 발달하여 차단주파수가 높아지고 회로 설계 기술의 발전으로 CMOS의 낮은 전단 컨덕턴스, 소자의 큰 기생 커패시턴스, 낮은 단위 인덕 주파수 등의 문제가 어느 정도 해결되어 이동 통신 분야에서 CMOS 공정을 이용하여 800 MHz에서 2 GHz 사이의 RF 소자를 설계하려는 연구가 활발히 이루어지고 있다.

본 논문에서는 무선 통신 수신부에서 중요한 기능을 하는 RF 전단 회로의 일부인 대역통과 필터와 저잡음 증폭기의 두 기능을 동시에 만족시키는 CMOS 대역통과 증폭기를 설계하였다. 이 대역 통과 증폭기의 사용으로 갖는 주된 장점은 외부적으로 연결되어야 하는 수동 필터나 표면음파필터 (SAW filter)가 필요 없게 되는 것이다. 또한 집적도를 최대화하기 위해 RF 구성요소들을 칩상에 설계해서 저비용 및 저전력 소모로 할 수 있고, 저잡음 증폭기와 대역통과 필터 사이에서 외부적으로 요구되는 정합조건들을 감소시킬 수 있다는 것이다.

설계한 증폭기는 기본적으로 cascode 구조를 가져 높은 이득을 얻고 출력단의 LC동조회로로 대역통과필터의 기능을 구현했다. LC동조회로와 정합에 사용되는 inductor를 정방형 나선형 인덕터로 구현 했으며 matlab 프로그램을 이용하여 원하는 인덕턴스를 찾기위한 반복적인 작업을 수행했다.

S21과 NF(noise figure)를 고려하여 트랜지스터의 channel length와 width를 결정했다. 증폭기의 시뮬레이션은 HSPICE를 사용했다.

II. CMOS 대역통과 증폭기의 설계

1. 전체적인 시스템 구조

그림 1은 본 논문에서 설계한 대역 통과 증폭기의 구성도이다.

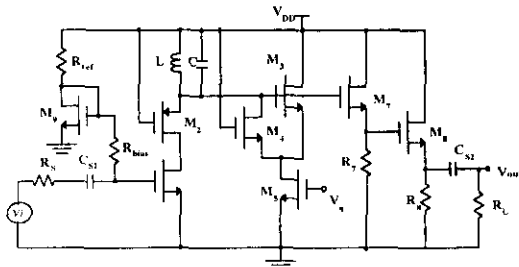


그림 1. 캐스코드 동조 증폭기를 사용한 대역통과 증폭기의 전체 회로도

증폭기는 회로의 적절한 동작점을 제공하기 위한 바이어스 회로, 입력의 전력을 최대한 전달받기 위한 입력 정합회로, 원하는 증폭도와 주파수 동조를 위한 동조 증폭회로, 동조 증폭회로의 손실을 보상하기 위한 Q-증가 회로, 50Ω을 구동하기 위한 출력버퍼로 이루어져 있다.

2. RF 동조 증폭기

Miller 효과를 피하고 높은 이득을 얻기 위해 캐스코드 구조로 구성되어 있으며, 출력 버퍼는 50Ω 부하를 구동한다. 그림 1의 증폭기에서 LC 동조기는 동조 주파수에서 캐스코드 단에 높은 임피던스로 작용하므로 높은 이득을 얻을 수 있다.

그림 2는 동조 증폭기의 소신호 등가회로를 나타낸 것이다.

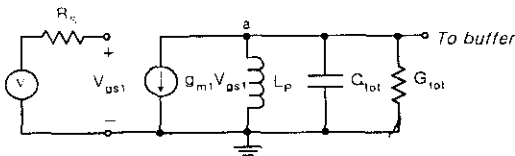


그림 2. 캐스코드 동조 증폭기의 간략화한 소신호 등가회로.

LC 동조기를 구성하는 인덕터는 평면 인덕터 (planar inductor)로 커패시터는 2-poly layer로 구현했다.

수 GHz 까지는 저항과 커패시터는 기생성분의 영향이 적어 이상적으로 생각할 수 있으나 인덕터는 기생성분을 무시할 수 없어 인덕터의 설계가 아주 중요하다.

높은 주파수대역에서 사용하기 위해 평면 인덕터를 사용했으나 평면 인덕터의 최대 단점인 직렬 저항과 기생 커패시턴스로 인해 인덕터의 quality factor가 매우 낮다.

대역 통과 증폭기의 전체 quality factor를 LC동조 증폭기가 결정하는데 평면 인덕터의 낮은 quality factor를 보상해야만 좋은 증폭기를 만들 수 있다.

제한된 수동 인덕터의 Q 값을 보상하기 위해 동조 증폭기의 LC 동조기와 병렬로 연결하는 Q-증가 회로를 사용하였다.

3. Q-증가 회로

다양한 실리콘 기술로 제조된 인덕터의 특성이 많이 보고되고 있는데, 이들 연구의 주된 관심 또한 결국은 인덕터의 Q값을 증가시키는데 있다. 즉 이러한 이유로 기판이나 인덕터를 구성하는 금속의 성질을 조절해 인덕터의 Q값을 향상 시킬 수 있다. 이러한 방법으로는 두꺼운 금속의 사용[2], 두꺼운 산화층의 이용[3], 고저항의 실리콘 기판으로 제조[2], 그리고 화학적인 에칭방법[4]으로 인덕터 구조 아래의 실리콘을 선택적으로 제거하는 기술 등이 사용되고 있다. 이러한 인덕터의 Q값이 전체 회로의 Q값을 결정하므로 인덕터의 직렬 저항 손실을 가능하면 줄여야 한다. 따라서 본 논문에서는 Q값을 증가시키기 위한 공정상의 추가적인 단계를 사용하지 않고도 직렬 저항의 손실을 보상할 수 있는 방법을 사용했다. 이러한 방법들은 음의 저항을 인덕터와 직렬로 연결하는 것이고 다른 하나는 음의 컨덕턴스를 인덕턴스와 병렬로 연결하는 방법이 있다. 본 논문에서는 후자를 선택했다.

음의 컨덕턴스 $-G_0$ 는 그림 3에서 보여주는 양극환 회로에 의해 얻을 수 있다.

이 회로는 공통 게이트단을 갖는 공통 드레인으로 구성되어 있으며, 여기서 구해지는 음의 컨덕턴스 $-G_0$ 는 식 1로 나타낼 수 있다.

$$-G_0 = -\frac{g_{m3}g_{m4}}{g_{m3} + g_{m4}} \quad (1)$$

식 1에서 g_{m3} 와 g_{m4} 는 각각 M_3 와 M_4 의 전달 컨덕턴스이다. 이들 전달 컨덕턴스의 크기는 M_5 의 바이어스 전류에 의해 결정되어진다. 따라서 M_5 의 게이트 전압

V_{gs} 에 의해 음의 컨덕턴스 $-G_0$ 의 조절이 가능하다.

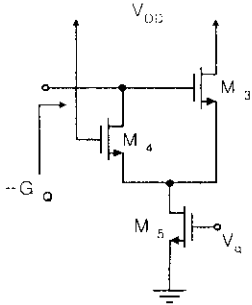


그림 3. 음의 컨덕턴스를 얻기 위한 회로

4. 평면 인덕터의 모델링 및 설계

무선통신 시스템의 전체적인 집적도가 중요한 사안으로 거론되고 있는 오늘날 평면 인덕터 (planar inductor)의 사용은 RFIC 설계에 굉장한 영향을 미칠 수 있다. 즉, 높은 동작 주파수에 이를 수 있고, 저전력 소모와 저전압의 사용을 가능하게 한다.

그림 4는 평면 나선형 인덕터의 레이아웃 형태이고 그림 5는 그림 4의 나선형 인덕터의 해석적인 모델이다.

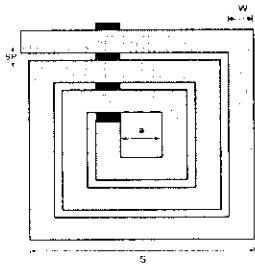


그림 4. 나선형 인덕터의 레이아웃

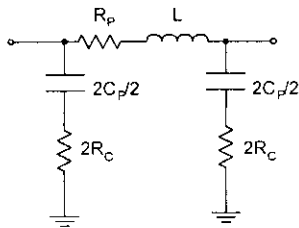


그림 5. 나선형 인덕터의 해석적 모델

해석적인 모델의 변수들은 수식 (2)-(5)로 구할 수 있다.[5]

$$L = K_L \cdot \frac{Ar^{3/2}}{W^2} \cdot \eta_{Ar}^{5/3} \cdot \eta_W^a \tag{2}$$

$$R_s = \frac{\rho_{metal}}{t_{metal}} \cdot \frac{Ar}{W} \cdot \left(\frac{1}{W} + \frac{1}{\delta} \right) \cdot \eta_{Ar} \tag{3}$$

$$\delta = \left(\frac{\delta_{metal}}{t_{metal}} \cdot \frac{K_R}{\omega_0} \right)^2 \tag{4}$$

$$C_p = \frac{\epsilon_{ox}}{t_{ox}} \cdot Ar \cdot \eta_{Ar} \tag{5}$$

여기서 K_L 은 $1.3 \times 10^{-7} H/m$ 의 값을 가진다.

본 설계에서는 기하학 구조가 정방형인 것을 사용했고, 현대전자의 $0.8 \mu m$ CMOS 2-poly 2-metal full custom 공정으로 설계했다. 인덕터를 구성하는 금속은 metal1보다는 빈저항(sheet resistance)이 낮은 metal2를 선택했다.

원하는 인덕턴스 값을 찾기 위해서는 많은 반복적인 작업이 요구되어 지는데, 특히 낮은 직렬 저항과 높은 Q값을 갖도록 여러 번 반복 작업이 필요했다. 이런 반복작업을 위해 matlab 프로그램을 이용했다.

본 논문에서 사용한 인덕터 모델을 사용하여 주파수에 따른 인덕터 quality factor의 변화를 그림 6에 나타내었다. 그림 6에서 보듯이 수동 인덕터의 낮은 Q로 인해 전체 회로의 Q의 저하를 가져온다.

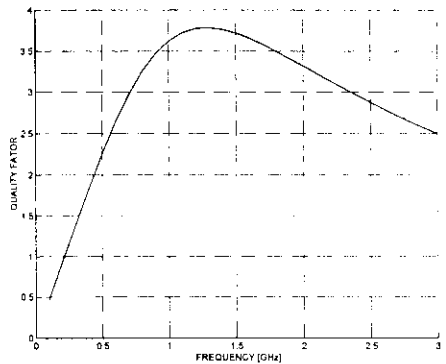


그림 6. $N=4$, $W/SP=10/2 (\mu m)$, $a=100\mu m$ 일때의 주파수에 따른 인덕터 Q의 변화

IV. 시뮬레이션 결과

본 논문에서 제안한 회로들은 HSPICE를 이용하여 설계하였고, 사용한 모델 파라미터는 현대전자의 $0.8 \mu m$ HSPICE 레벨 13 BSIM1 모델 파라미터를 사용했다.

그림 6은 임피던스 정합을 한 후 Q-증가 회로가 없을

때와 있을 때의 S21의 변화를 나타낸 것이다.

그림에서 알 수 있듯이 Q-증가 회로가 없을 때는 전압이특이 +3.58 dB 이던 것이 +21.3 dB까지 증가하였다. V_{q1} 가 증가함에 따라 S21이 커지나 거기에 따라 S11도 같이 변화하여 회로의 안정도에 좋지 않은 영향을 미칠 수 있으므로 주의해야 한다.

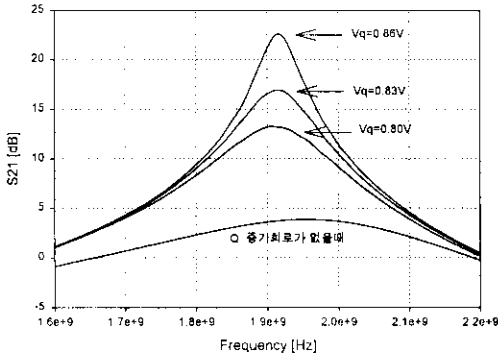


그림 7. V_{q1} 의 변화에 따른 S21의 변화

그림 8은 성함이 이루어진 증폭기 전체의 NF (noise figure)의 주파수에 따른 변화를 보여준다. 그림에서 보듯이 동작주파수 1.97 GHz에서 +3.8 dB 이다.

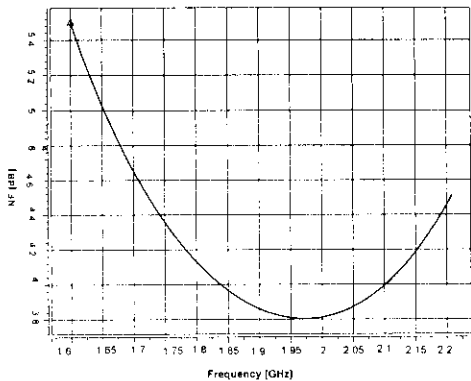


그림 8. Noise Figure

설계된 회로의 모의실험 결과는 표 1과 같다.

표 1. 설계한 대역통과 증폭기의 모의실험 결과

증폭기의 성능	설계한 대역통과 증폭기
공급전압 [V]	3
S11 [dB]	-18
S12 [dB]	-80
S21 [dB]	23
S22 [dB]	-23
중심주파수 [GHz]	1.97
진력소모 [mW]	55
NF [dB]	3.8

V. 결론

임피던스 정합을 맞추는데 시간이 많이 걸렸고, Q증가회로의 도입으로 회로전체의 Q증가를 가져왔으며 이에 비해 전체회로의 트랜지스터의 개수가 증가하여 잡음지수가 나빠졌으나 Q-증가회로의 잡음원의 이득이 작아 큰 영향은 없었다. NF가 3.8 dB이고 S-parameter들의 주파수 특성이 매우 좋다. RF 증폭기의 중요한 사양인 IMD3 혹은 IP3는 앞으로 측정할 계획이다.

참고 문헌

1. Robert G. Meyer, and William D. Mark, "A 1-GHz BiCMOS RF front-end IC," IEEE J. Solid-State Circuits, vol. 29, No. 3, pp. 350-355, Mar. 1994.
2. John R. Long, and Miles A. Copeland, "The modeling, characterization, and design of monolithic inductors for silicon RF IC's," IEEE J. Solid-State Circuits, vol. 32, No. 3, pp. 357-369, Apr. 1997.
3. K. B. Ashby, I. A. Koullias, W. C. Finley, J. J. Bastek, and S. Moinian, "High Q inductors for wireless applications in a complementary silicon bipolar process," IEEE J. Solid-State Circuits, vol. 31, pp. 4-9, Jan. 1996.
4. J. Y.-C. Chang, A. A. Abidi, and M. Gaitan, "Large suspended inductors on silicon and their use in a 2- μ m CMOS RF amplifier," IEEE Electron Device Lett., vol. 14, pp.246-248, May. 1993.
5. Jan Crols, Peter Kinget, Jan Craninckx and Michiel Steyaert, "An Analytical Model of Planar Inductors on Lowly Doped Silicon Substrates for High Frequency Analog Design up to 3 GHz," 1996 Symposium on VLSI Circuits Digest of Technical Papers, pp.28-29.1996.