

# 데이터 패스 메가셀을 위한 BIST 구조

김형주, 손일현

단국대학교 전자공학과

Tel 02-709-2591, Fax 02-709-2590

E-mail : ferrari@ns.dankook.ac.kr

## BIST Architecture for Datapath Megacells

Hyungjoo Kim, Ilhun Son

Department of Electronic Engineering, Dankook University

Tel 02-709-2591, Fax 02-709-2590

E mail : ferrari@ns.dankook.ac.kr

### Abstract

BIST architecture and circuit design are presented for the self test of various datapath megacells including embedded SRAM, barrel shifter, adder and multiplier. The BIST architecture is composed of VCO, ROM, comparator and other control logic to measure the megacells' performance up to 300MHz. PC interface and control logic are also implemented to perform the manual testing of each megacell with various test patterns.

The control logic was designed using VHDL and its circuit is synthesized using Synopsys for 0.6μ 1-poly, 3-metal CMOS technology.

### I. 서론

고속의 동작속도를 갖는 디지털 집적회로의 성능을 검증하려면 IC 외부에 높은 주파수의 클럭을 갖는 부가 회로를 구성하여야 한다. 이와 같은 회로를 별도로 구성하는 것은 쉬운 일이 아니기에 제작된 IC의 성능을 테스트하는 일 또한 쉽지 않을뿐더러 테스트 비용도 많이 소비된다. 이러한 문제를 해결할 수 있는 방안 중에 하나가 BIST(Built-in Self-Test) 기법이다. BIST 기법의 기본 개념은 하드웨어가 그 자신을 스스로 테스트하도록 하는 것이다. 즉 회로 자신의 테스트 가능성을 높이는 데 그 목적이 있다.

본 논문에서는 저전력, 고성능 마이크로 프로세서에 필요한 메가셀 라이브러리 개발 과정 중 일부분으로서 IV 전원 전압에서 설계된 160MHz에 동작하는 128kb SRAM[2], 웨이브 파이프라인 기법을 이용한 self-timed

초고속 병렬처리 덧셈기[3], 부쓰 인코딩과 wallace tree 병렬 구조를 4:2 덧셈회로를 이용하여 저전력으로 설계한 16비트 곱셈기[4], NORA 논리구조를 이용한 고성능 배럴 쉬프터[5]가 내장된 회로의 동작과 성능을 측정하기 위하여 자체시험회로를 구성하였다. 다양한 기능을 갖는 메가셀들의 성능을 측정할 수 있도록 300MHz까지 동작 가능한 VCO, ROM, 비교기등을 내장하였다. VCO에 의해 내부 클럭을 발생시키고, 이 클럭의 속도를 변화시키면서 각 메가셀의 성능을 측정한다. 또한 외부 PC와의 인터페이스 논리를 제공함으로써 PC에서 생성한 다양한 입력 패턴에 따른 동작 테스트를 수행할 수 있도록 회로를 구성하였다.

자체시험회로의 제어부는 VHDL로 모델링하였고 회로합성은 Synopsys tool을 사용하여 합성하였으며 0.6 μ 1-poly, 3-metal CMOS 공정 기술로 설계하였다.

### II. BIST의 구조 및 테스트 방법

설계된 각각의 메가셀들이 정상적으로 동작하는지의 여부를 알아보기 위해서 테스트 논리를 내장시킨다. 테스트 방법으로 성능 테스트를 위한 자동 테스트와 동작 테스트를 위한 수동 테스트의 두가지 방법이 제시된다.

BIST에 사용되는 명령어는 다음과 같이 구성된다.

CS1	CS0	MODE	S0	R/W
-----	-----	------	----	-----

처음 두 비트는 메가셀을 선택하는 비트이고(CS1,CS0) 00-덧셈기, 01-곱셈기, 10-배럴 쉬프터, 11-SRAM) MODE는 자동/수동 테스트를 나타내며 S0는 SRAM 테스트 모드 선택 비트이고 R/W는 수동 테스트에서 SRAM의 읽기/쓰기 동작을 나타낸다.

전체 시스템 구성은 그림 1에 나타내었고, 그림 2는 전체적인 테스트 과정을 보여주는 흐름도이다.

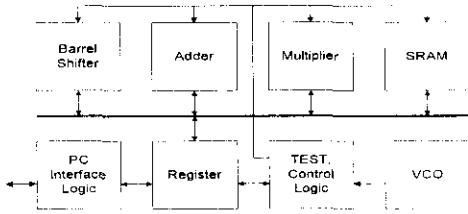


그림 1. 전체 시스템 구성도

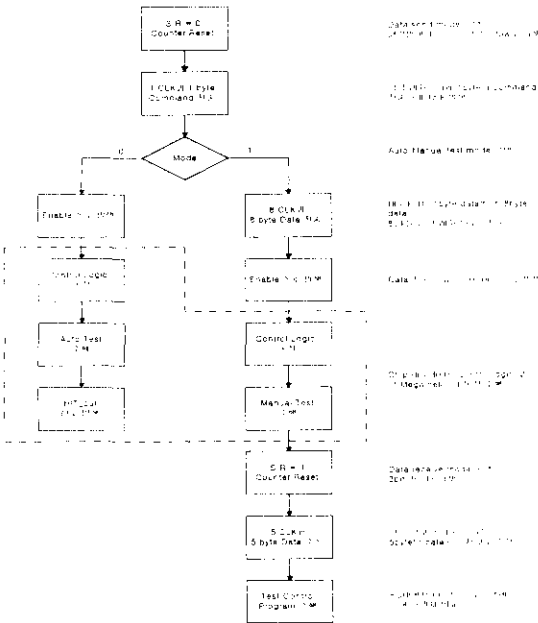


그림 2. BIST 동작의 흐름도

1. 자동 테스트(Automatic Test)

테스트 대상 회로부에 따라 각각 정해진 패턴에 의한 동작 테스트와 이 동작 테스트의 출력 주파수를 증가시키면서 성능 테스트를 수행한다.

PC로부터 1바이트의 명령어를 받아 제어를 동작시키면 제어 논리에서는 이 명령어를 바탕으로 메가셀을 선택하고 입력 데이터 롬으로부터 입력 패턴값을 메가셀에 제공하고 각 메가셀을 동작시킨 후 그 연산 결과를 가지고 결과 데이터 롬의 값과 비교하여 ERROR 신호를 발생시키는 동작 테스트를 수행한다.

(1) SRAM 테스트

SRAM 테스트는 두가지로 나뉜다. 셀 동작 테스트에서는 모든 셀들이 정상적으로 동작하는지의 여부를 판정한다. 테스트 알고리즘을 살펴보면, 먼저 메모리를 구성하고 있는 메모리 셀 어레이를 1로 초기화시킨 후 메모리 내의 모든 셀에 옴값으로 접근하여 올바른

값이 출력되는지 검증하고, 반대 값 0을 쓰는 동작을 수행한다. 이와 같이 1과 0을 교대로 쓰면서 위의 과정을 반복한다.

읽기/쓰기 테스트는 단위 셀의 읽기/쓰기 성능을 테스트하기 위한 방법으로 특정 셀에 일정 패턴값("0000h" 혹은 "FFFFh")을 쓰기한 후 다시 읽기 동작을 수행하여 올바른 데이터가 출력되는지 검증한다.

(2) 덧셈기, 곱셈기, 배럴 쉬프트 테스트

VCO의 출력 주파수를 변화시키면서 각 메가셀들이 정상적으로 동작하는 한계 주파수를 찾아내어 메가셀들의 성능을 측정한다.

Load 상태에서는 유효 데이터와 명령어가 입력에 인가된다. 동시에 이전 동작에 의한 결과 데이터를 출력 레지스터에 래치시킨다. Trigger 상태에는 현재 인가된 입력값을 가지고 인산한다. Compare 상태에서는 출력 결과가 저장된 레지스터 값과 출력 예상값을 비교하는 동작을 수행한다.

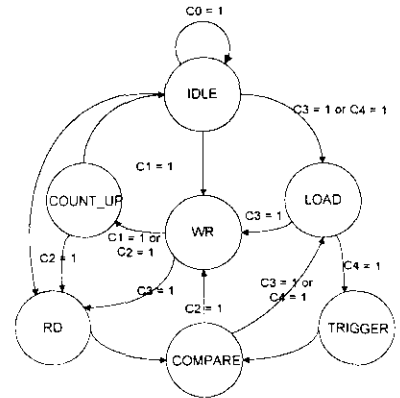


그림 3. 자동 테스트 상태도

2. 수동 테스트(Manual Test)

입력 ROM에 저장된 일정한 패턴에 의한 자동 테스트만으로는 메가셀의 동작을 완전히 검증할 수 없기 때문에 외부에서 각 메가셀의 기능을 검증하기 위해 PC와 인터페이스 논리를 사용한다. PC에서 생성한 다양한 입력 패턴을 각 메가셀에 제공하여 연산 결과를 다시 PC로 보내게 된다. PC에서는 준비된 테스트 제어 프로그램에 의해 예상 결과값과 연산 결과를 비교함으로써 각 메가셀의 논리 및 동작 테스트를 실행한다. 메가셀 선택과 메가셀의 동작에 필요한 제어신호들은 명령어를 바탕으로 제어기에서 생성한다.

III. BIST 회로의 설계

BIST 회로는 테스트 타이밍과 시작/종료 시점을 제어하는 제어부, 내부 데이터를 생성하는 VCO, 대상이 되

는 메모리 셀의 어드레스를 발생시키는 어드레스 발생부, 입력 패턴값과 예상 결과값이 저장되어 있는 ROM, 메가셀들의 연산 결과와 예상 결과값을 비교하여 정상 동작 여부를 판별하는 비교기, PC와의 인터페이스를 위한 논리부, 입·출력 레지스터로 구성된다(그림 4).

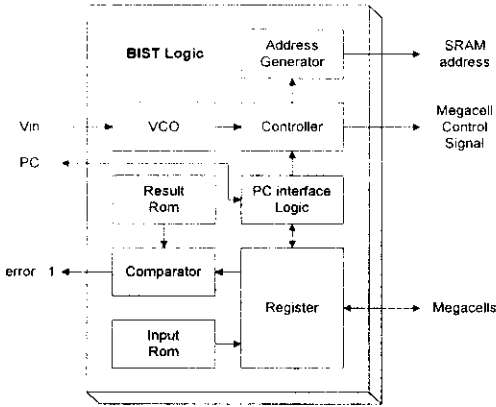


그림 4. BIST 회로의 기본 구조

1. 제어부

제어부에서는 테스트의 시작과 종료를 조정하고 테스트 알고리즘의 순서에 따라 각 부를 제어하며 각 메가셀들을 동작시키기 위한 인에이블 신호들을 발생시킨다. State 발생부와 제어신호 발생부로 나누어 계층적 구조로 설계하였다. 그림 5에 제어부에 대한 시뮬레이션 파형을 보였다. 메가셀의 각 테스트에 따른 제어신호들이 앞의 상태에서 제시된 순서대로 바뀌어 나오고 있음을 확인할 수 있다.

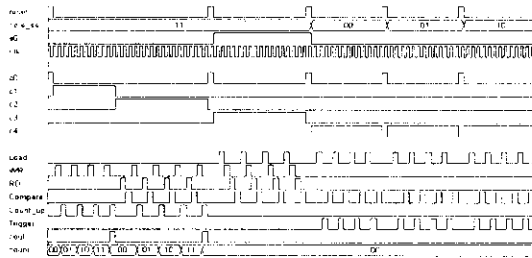


그림 5. 제어부에 대한 시뮬레이션 파형

2. Voltage Controlled Oscillator

고속의 자체 테스트를 위하여 내부에서 클럭을 생성한다. Chip 외부에서 DC 전압을 입력으로 받아 그에 상응하는 주파수를 갖는 주기적인 신호를 출력으로 보내주는 블록이다. VCO는 기본적으로 Current-Starved 인버터를 홀수 개 사용한 Ring Oscillator로 구성되며 각 인버터의 지연시간이 출력 신호의 주파수를 결정한다(그림 6).

3. Duty Cycle Buffer

VCO에서 나오는 출력은 duty cycle이 좋지 않은 특성을 가지고 있으므로 D-FF를 사용하여 주파수를 2분주 함으로써 duty cycle을 맞춘다.

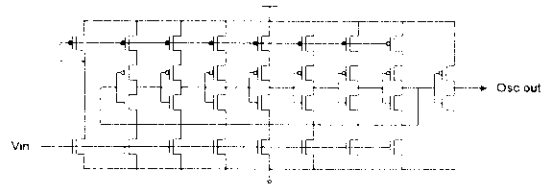


그림 6. Voltage Controlled Oscillator 회로

4. 비교기

비교기는 Pseudo NMOS와 NORA 논리구조를 이용하여 설계하였다. 32비트 비교기를 설계하는데 있어 비교기 내의 부하 배분을 위하여 4비트 비교기 8개를 병렬 처리하였으며 그 결과는 wired-OR로 연결하였다(그림 7). 두 입력 A, B의 각 비트값이 다를 경우에만 아래의 NMOS가 도통하게 되어 cout은 High 값을 내보내게 된다. 그림 8은 비교기 전체 시뮬레이션 결과이다. 클럭으로부터 출력까지의 지연시간은 약 0.5ns이다.

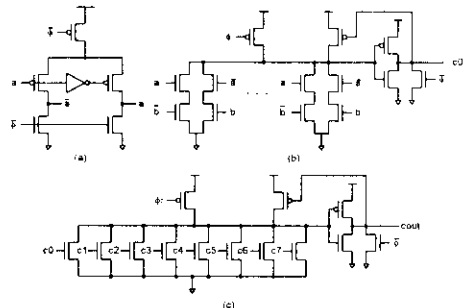


그림 7. 비교기 회로 (a) 입력버퍼 (b) 4비트비교기 (c) 8입력 wired-OR

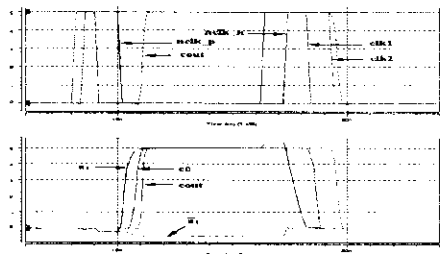


그림 8. 비교기 시뮬레이션 결과

5. PC 인터페이스 논리

PC 인터페이스부는 크게 데이터 송신부와 수신부로 나뉘며, 데이터 송신부는 9개의 8비트 레지스터, 클럭

발생기로 구성되고, 데이터 수신부는 8비트 passgate, 3bit 카운터, MUX로 구성된다. PC 패러렐 포트의 데이터 핀은 8개이므로 PC와 칩사이의 모든 데이터의 이동은 8비트 단위로 이루어진다.

PC에서 칩으로 데이터를 송신할 때는 메가셀의 출력을 High 임피던스로 만든 후에 클럭발생기의 모든 클럭을 Low로 리셋한 다음, PC의 CLK에서 할력을 발생시키면 클럭발생기는 0번부터 8번 출력까지 순서대로 하나씩 클럭을 생성하고, 9개의 레지스터에 차례로 필요한 데이터가 저장되게 된다. 모든 데이터를 레지스터로 보내고 나면, PC에서 enable 신호를 칩으로 보내주게 되고, 그와 동시에 메가셀의 세이 논리가 새로운 동작을 시작하게 된다.

PC에서 칩으로부터 데이터를 수신할 때는 3비트 카운터를 리셋시킨 후, PC의 CLK에서 할력을 발생시키면, 3비트 카운터가 한 클럭마다 카운트를 하면서 MUX는 첫번째부터 다섯번째까지의 입력을 순서대로 선택하며, 그때마다 PC에서 데이터를 읽어들이게 된다. 송수신 타이밍도는 그림 9에 나타내었다.



그림 9. 데이터 송·수신 타이밍도

LG 공정에 맞추어 설계하였다. 본 칩은 배럴 쉬프트, 덧셈기, 곱셈기와 SRAM으로 구성된 총 4개의 메가셀 블록과 입·출력 레지스터, 각 메가셀의 동작 및 성능 테스트를 위한 테스트 논리 및 메가셀들의 동작에 필요한 제어 신호를 발생시키는 제어 논리, PC와의 데이터 인터페이스를 위한 인터페이스 논리로 구성된다.

각 셀들의 입력은 64비트 레지스터, 출력 또한 32비트 레지스터에 공통으로 묶여 있어 core select 신호에 의해 선택된 셀로 입력 데이터 및 연산 결과값이 들어가게 된다. 전체 layout은 그림 11과 같다.

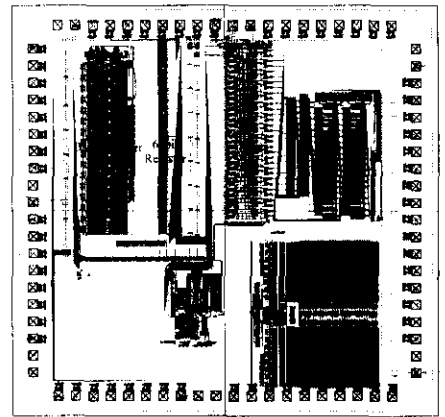


그림 11. 메가셀 및 BIST 의 layout

#### IV. 시뮬레이션 결과 및 layout

##### 1. BIST 회로의 동작분석

구현된 BIST 회로의 동작분석을 위해 SRAM에 대하여 고장이 발생한 경우에 대한 시뮬레이션을 수행하였다. 그림 8은 메모리의 (0, 5)에 위치한 셀에 SA0 고장이 발생한 경우로 메모리 셀 동작 테스트의 step2(C2=1)에서 출력 예상값은 '1'이고 (0, 5)의 셀이 항상 '0'을 출력시키므로 비교되는 데이터 값이 다르기 때문에 ERROR에서 '1' 신호를 출력하여 고장발생을 검출할 수 있음을 확인할 수 있다.

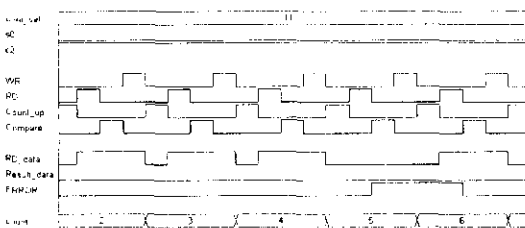


그림 10. 고장이 발생한 경우 BIST 회로의 시뮬레이션 결과

##### 2. 물리적 설계

실제 물리적 설계는 3-메탈, 1-폴리를 가지는 0.6 $\mu$ m

#### 참고문헌

- [1] ABRAMOVICI, BREUER, FRIEDMAN, "DIGITAL SYSTEMS TESTING AND TESTABLE DESIGN" pp. 457-476, IEEE PRESS
- [2] 정경아, 손일현, 명대진, 이영희, Low Power-High Performance Embedded SRAM Circuit Techniques with Enhanced Array Ground Potential," 제4회 한국반도체 학술대회, pp.559-562, 1997년 2월
- [3] 임정식, 손일현, 조재영, 이영희, 1V-2.7ns 32b Self-Timed Parallel Carry Look-Ahead Adder with Wave Pipelined Clock Control," 제 4회 한국반도체 학술대회, pp.555-558, 1997년 2월
- [4] 명대진, "저전력 고성능 병렬 곱셈기의 설계", 석사학위논문, 단국대학교 대학원 전자공학과, 1997
- [5] 조준식, 손일현, "서전압/저전력 고성능 배럴 쉬프트의 설계" 1998년 전자공학회 추계종합학술대회 발표예정
- [6] Neil H. E. Weste and Kamran Eshraghian, "Principles of CMOS VLSI design," Addison-Wesley, 1993.e Circuits, vol. 23, No.2, April 1988
- [7] 전병실 외, "초고집적 메모리의 효율적인 테스트를 위한 BIST 회로와 BICS의 설계" 2차년도 연구보고서, 반도체 분야 교육부 학술연구조성비 지원과제, 1996