

MC-CDMA 이동국의 하드웨어 복잡도를 줄이기 위한 다중경로 복조기의 설계

황상운, 이성주, 김재석
연세대학교 전자공학과 VLSI & CAD 연구실
서울시 서대문구 신촌동 134 번지
sea@cvtlsi13.yonsei.ac.kr

VLSI Design of Demodulating Fingers with Low Hardware Complexity for MC-CDMA Mobile System

Sangyun Hwang, Seongjoo Lee, Jaeseok Kim
VLSI & CAD Lab., Electronic Eng., Yonsei University.
134, Shinchon-dong, Seodaemun-gu, Seoul, 120-749
sea@cvtlsi13.yonsei.ac.kr

Abstract

This paper presents an efficient hardware architecture of demodulating fingers to demodulate the multi-path propagating signals in MC-CDMA Mobile System. We design a new architecture of demodulating fingers which share the single arithmetic unit to reduce the hardware complexity. This arithmetic unit performs MAC(Multiplication and Accumulation) operations of all demodulating fingers. The proposed architecture is suitable for IS-95 based CDMA PCS system. Three demodulating fingers for MC-CDMA which demodulate 7 channels contain about 42K logic gates. Our proposed system is shown to be very useful for Multi-Code CDMA system in which several channels are demodulated simultaneously

1. 서론

현재 이동 통신 시스템의 무선 접속 방식으로 제안되고 있는 CDMA(Code Division Multiple Access)기술은 다중경로 간섭과 대역 제한된 잡음에 강한 특징 이외에도, 통신상에서의 비밀보장과 한정된 주파수 대역에서 사용자의 용량을 증가시킬 수 있는 장점을 가지고 있다. 우리나라는 96년 1월부터 IS-95 규격에 기초를 둔 CDMA 상용화 서비스가 시작되었으며 이에 따라 CDMA 용 디지털 이동국의 수요는 계속 급증하고 있는 추세에 있다. 그러나 현재의 협대역 DS/CDMA 무선 접속 방식은 음성 정보와 같은 낮은 데이터 서비스를 제공하여 주고 있으므로 다양한 데이터 서비스를 제공하여 주지 못하는 단점을 가지고 있다.[1, 2]

MC-CDMA(Multi-Code CDMA)는 이러한 IS-95 CDMA 시스템에서 좀 더 높은 데이터 전송 서비스를 가질 수 있는 기술로 제안되고 있다.[3, 4] 이러한 MC-CDMA 시스템은 하나의 사용자가 다수의 채널을 사용함으로써 기존의 IS-95 CDMA 시스템보다 더 높은 데이터 시

비스를 제공할 수 있게 된다. 이러한 데이터 서비스를 제공받기 위해서는 기본적으로 CDMA 수신기는 다수의 트래픽 채널(Traffic channel)을 동시에 복조할 수 있는 구조로 되어 있어야 하며, 현재 이러한 CDMA 수신기에 대한 연구가 활발히 진행 중에 있다.[4]

가시국에서 전송되는 신호는 전송 환경의 반사, 굴절, 산란 등으로 인한 다중경로 감쇠 현상을 겪게 되므로, 전체 수신 신호의 SNR(Signal-to-noise ratio)을 높이기 위해서는 다중경로를 통한 복조가 이루어져야 한다. 그러므로, 이러한 다중경로 복조를 위한 CDMA 수신기는 PN 부호 탐색기(Searcher), 다수의 다중경로 복조기(Demodulating finger), 그리고 컴바이너(Combiner)로 구성되어 있다[5]. 일반적으로 CDMA 수신기는 시스템의 용량을 높이기 위하여 다수의 다중경로를 복조하게 되며, 보통 3-4 개의 다중경로를 복조하는 구조로 되어 있다. PN 부호 탐색기는 수신기의 PN 신호와 송신기로부터 수신되는 PN 신호의 초기 동기화 과정을 수행하게 되며, PN 부호 탐색기를 통해 탐색된 다중경로 신호는 다수의 다중경로 복조기에 할당되게 된다. 다중경로 복조기는 할당받은 다중경로 신호에 대한 복조를 수행하게 되며, 이와 동시에 시간과 주파수에 대한 미세한 동기 추적 과정을 수행하게 된다. 시간 동기 과정은 수신기의 PN 신호와 송신기로부터 수신되는 PN 신호의 위상차를 초기 동기 과정보다 더 미세하게 줄이는 과정이며, 주파수 동기 과정은 이동 통신 채널에서 발생할 수 있는 주파수 편이 현상을 보상해주는 과정을 말한다. 각각의 다중경로 복조기에서 복조된 신호는 컴바이너를 통하여 합하게 되며, 이 과정을 통하여 전체 신호의 SNR을 높이게 된다. MC-CDMA의 경우에는 다수의 트래픽 채널을 복조하여야 하므로, 다중경로 복조기에서 채널을 복조하는 블록이 트래픽 채널의 수만큼 증가하게 된다. 이러한 다수의 다중경로 복조기는 전체 CDMA 수신기 칩 면적의 큰 부분을

차지하고 있으며, 특히 다중경로 복조기의 갯수가 늘어나거나 또는 다수의 채널을 동시에 복조해야 되는 MC-CDMA 인 경우에는 전체 하드웨어 복잡도의 증가는 현저해 질 것이다. 그러므로 이러한 다중경로 복조기에 대한 효율적인 설계 기술이 확보된다면 실제 이동통신 모델의 하드웨어 복잡도를 줄일 수 있을 것이다.

본 논문에서는 기존의 IS-95 에 기초를 둔 MC-CDMA 용 단말기의 하드웨어 복잡도를 줄이기 위한 다중경로 복조기의 효율적인 하드웨어 설계를 제안한다. 각각의 다중경로 복조기에서는 수신된 신호의 복조와 동기 과정을 위하여 다수의 MAC(Multiplier and Adder Cell) 연산 과정이 필요하게 되는데, 이를 위한 조합 논리회로의 증가는 전체 하드웨어를 증가시키는 원인이 된다. 본 논문에서는 다수의 다중경로 복조기에서 사용되는 MAC 연산 블록을 하나의 공유 블록으로 설계함으로써, 전체 하드웨어의 복잡도를 줄일 수 있었다.

본 논문의 구성은 2 장에서 일반적인 다중경로 복조기에 대한 기능을 설명하고, 3 장에서는 공유 연산 블록을 가진 MC-CDMA 용 다중경로 복조기의 설계와 4 장에서는 설계된 구조에 대한 구현과 검증 결과에 대하여 언급하며, 마지막으로 5 장에서는 결론을 맺는다.

2. 다중경로 복조기의 기능

다중경로 복조기의 기능에는 역확산 기능, 시간 동기 추적 기능, 복조 기능, 에너지 탐색 기능, 주파수 오차 측정 기능 등이 있으며, 각 기능에 관련된 MAC 연산은 다음과 같다[5].

1) 시간 동기 추적 기능

$$s(t) = Early^2(t) - Late^2(t) \dots\dots\dots(1)$$

2) 동기 복조 기능

$$s(t) = I_S(t)I_{ON}(t) + Q_S(t)Q_{ON}(t) \dots\dots\dots(2)$$

3) 에너지 탐색 기능

$$s(t) = I_{ON}^2(t) + Q_{ON}^2(t) \dots\dots\dots(3)$$

4) 주파수 오차 측정 기능

$$s(t) = I_{IL}(t)Q_{ON}(t) + Q_{IL}(t)I_{ON}(t) \dots\dots\dots(4)$$

여기서 $Early(t)$ 와 $Late(t)$ 는 각각 수신된 파일럿 신호를 내부의 동기된 PN 신호보다 1/2 PN 칩 앞선 PN 신호와 1/2 PN 칩 늦은 PN 신호와 상관시킨 값을 의미하며, $I_{ON}(t)$, $Q_{ON}(t)$ 와 $I_S(t)$ 와 $Q_S(t)$ 는 각각 파일럿 신호의 I 채널과 Q 채널에 대해 PN 과 왈시(Walsh) 역확산 시킨 신호를 나타낸다. $I_{IL}(t)$ 와 $Q_{IL}(t)$ 는 $I_{ON}(t)$ 와 $Q_{ON}(t)$ 를 하나의 심볼 구간만큼 시연시킨 값을 의미한다.

위의 식 (1), (2), (3), (4)에서 볼 수 있듯이, 각각의 기능 블록에서는 기본적으로 MAC 연산과정이 필요함을 알 수 있으며, 이러한 연산을 하나의 공유된 연산 블록에서 모두 수행한다면, 전체 하드웨어의 복잡도를 상당히 줄일 수 있음을 알 수 있다.

3. 공유 연산 블록을 가진 MC-CDMA 용 다중경로 복조기의 설계

앞장에서 언급한 것과 같이, 하나의 다중경로 복조기에서 필요한 여러 MAC 연산 기능을 하나의 MAC

연산 블록에서 처리하도록 하고, 또한 이 MAC 연산 블록이 나머지 두 개의 다중경로 복조기에 대한 MAC 연산도 동시에 수행하게 한다면 전체 하드웨어 구조를 상당히 줄일 수 있게 된다. 3 개의 다중경로를 처리하기 위한 이 구조는 크게 3 개의 전처리 블록(Front-end Block), 하나의 MAC 연산 블록, 그리고 3 개의 후처리 블록(Back-end Block)으로 나눌 수 있다.[그림 1]

전처리 블록은 기본적으로 PN 발생기, 왈시 발생기, 적분기(ACC_A, ACC_B, and ACC_C), 슬루잉 제어기(Slewing control), 그리고 상관기(Correlator)로 구성되어 있다. 각각의 PN 발생기(I 채널, Q 채널)는 동기된 PN 신호뿐만 아니라 PN 신호보다 1/2 PN 칩이 앞선 신호(PN_EARLY)와 1/2 PN 칩이 늦은 신호(PN_LATE)를 동시에 발생하게 되며, 이 신호들은 상관기를 통하여 파일럿 신호(Pilot signal)와 곱해지고, 적분기를 통해 정해진 주기(64 PN 칩, 256 PN 칩)동안 적분되게 된다. ACC_A 적분기는 PN 역확산된 파일럿 신호를 저장하는 역할을 하며, ACC_C 적분기는 시간 오차 값을 발생하게 하기 위하여 PN_EARLY 및 PN_LATE 와 상관된 값들을 매 64 PN 칩마다 선택하여 하나의 심볼 구간 동안(64 PN 칩) 적분되게 된다. 왈시 발생기에 의하여 왈시 역확산된 N 개의 채널신호는 ACC_B 적분기를 통해 해당되는 심볼 주기 동안 적분되게 된다. 즉 다시 말해서 동기 채널(Sync-channel)의 경우에는 256 PN 칩 동안 적분되게 되며, 나머지 채널은 64 PN 칩 동안 적분되게 된다.

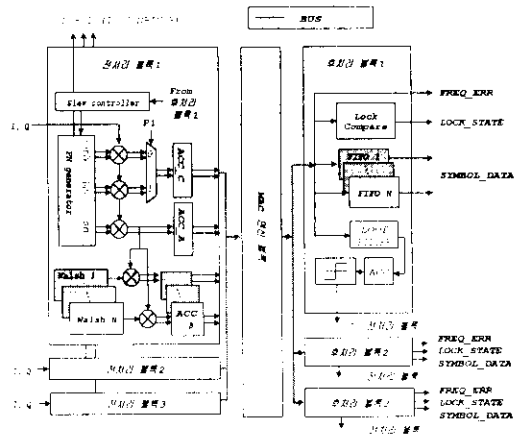


그림 1. 제안된 다중경로 복조기의 블록도

MAC 연산 블록은 3 개의 다중경로 복조기의 전처리 블록 중에서 순차적으로 하나를 선택하여, 선택된 다중경로 복조기에 대한 MAC 연산을 수행하게 되며, 모든 연산을 수행하기 위해 필요한 시간은 다음과 같다.

$$t_{total} = N \times (t_s + C \cdot t_s + t_e + t_f + t_{ac}) = N \times (2 \cdot C + 7) \dots\dots\dots(5)$$

N: 다중경로 복조기의 수

C: 복조하고자 하는 채널의 수

- t_1 : 시간 오차값을 계산하기 위해 필요한 시간
- t_2 : 동기 복조를 계산하기 위해 필요한 시간
- t_3 : 에너지값을 계산하기 위해 필요한 시간
- t_4 : 주파수 오차값을 계산하기 위해 필요한 시간
- t_{ave} : 에너지의 평균값을 계산하기 위해 필요한 시간

하나의 MAC 연산을 수행하기 위해서는 2 개의 PN 칩이 필요하며, 에너지의 평균값을 계산하기 위해서는 하나의 PN 칩이 사용되기 때문에 3 개의 다중경로를 복조하는 구조에서는 총 $3 \times (2 \cdot C + 7)$ 개의 PN 칩이 필요해 된다. MAC 연산 과정이 수행될 수 있도록 허용된 시간은 하나의 심볼 주기(64 PN 칩)이므로, 이러한 구조를 사용할 경우 하나의 MAC 연산 블록은 최대 7개의 채널을 복조할 수 있게 된다. 이러한 MAC 연산 블록은 8-bit의 곱셈기, 16-bit의 덧셈기와 결과값들을 저장하기 위한 레지스터 블록, 그리고 이를 제어하는 제어 블록으로 구성되며, [그림 2]는 이러한 MAC 연산 블록에서 사용되는 공유 연산자의 블록도를 보여 주고 있다.

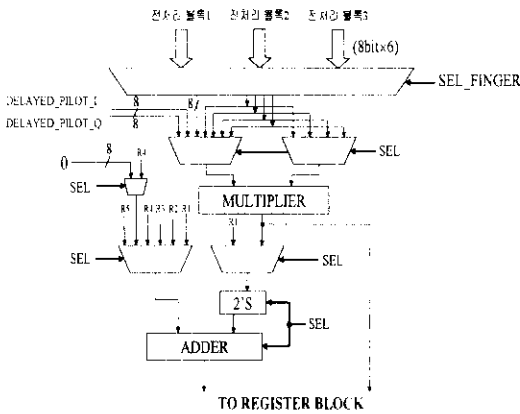


그림 2. 공유 연산자의 블록도

각각의 다중경로 복조기에 대한 MAC 연산을 수행하기 위해서는 먼저 SEL_FINGER 신호를 이용하여 $(2 \cdot C + 7)$ PN 칩마다 하나의 다중경로 복조기를 선택하게 되며, 선택된 다중경로 복조기에 대한 연산은 $(2 \cdot C + 7)$ PN 칩 안에 모두 이루어지게 된다. 수신되는 다중경로 중에서 3 개의 다중경로를 복조하고 있으므로 이러한 SEL_FINGER 신호는 하나의 심볼 주기인 64 PN 칩에서 처음 $3 \times (2 \cdot C + 7)$ PN 동안 유효하게 된다. 레지스터 블록은 공유 연산기에서 계산된 결과와 주파수 오차 값을 계산하기 위해서 전처리 블록에서 출력되는 PN 역확산된 파일럿 신호를 하나의 심볼 구간 동안 저장하는 역할을 하게 된다. SEL 신호는 매 칩마다 선택된 다중경로 복조기와 내부의 레지스터 블록으로부터 곱셈기와 덧셈기의 입력값을 선택하는 제어 신호이다.

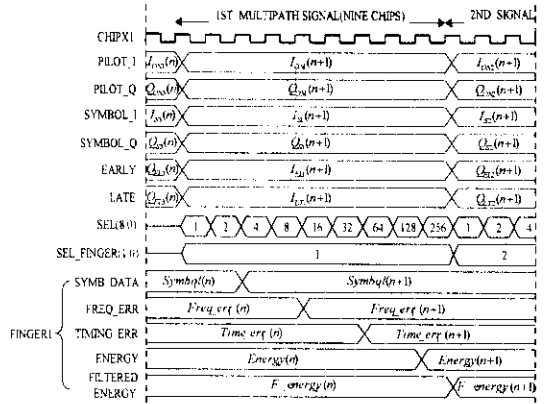


그림 3. MAC 연산 블록의 타이밍 다이어그램

[그림 3]은 MAC 연산자 블록의 타이밍 다이어그램을 나타내고 있다. 수신 신호의 동기 복조를 예로 들면, SEL_FINGER가 '1'일 때에는 첫 번째 다중경로에 대한 MAC 연산을 수행하게 된다. SEL 신호가 '1'일 경우에는 공유 연산기에 입력될 신호로 SYMBOL_I와 PILOT_I가 선택되며, 두 값에 대한 곱셈 연산을 수행하게 된다. 이렇게 계산된 값은 지정된 레지스터 블록에 저장되게 된다. SEL 신호가 '2'가 되었을 때에는 SYMBOL_Q와 PILOT_Q가 선택되며, 앞에서 계산된 값을 이용하여 식 (2)와 같은 MAC 연산이 수행되게 된다. 이와 같이 SEL 신호는 전처리 블록의 출력값과 내부의 레지스터 블록에서 공유 연산기에 입력될 신호를 선택하는 역할을 한다.

다중경로 복조기의 마지막 블록인 후처리 블록은 에너지 비교기(Energy comparator), N 개의 데이터 정렬기, 그리고 시간 동기 추적기로 구성된다. 에너지 비교기는 MAC 연산 블록에서 수신되는 평균 에너지 값과 마이크로프로세서에서 정한 에너지 값을 비교하여 지능 복조하고 있는 다중경로의 유효 유무를 판단하게 된다. 데이터 정렬기는 복조된 신호를 정렬하여 컴바이너에 전달하게 된다. 그리고 시간 동기 추적기는 MAC 연산 블록에서 전달되는 시간 오차 값을 이용하여 전처리 블록의 슬루잉 제어기에 PN 신호의 이동량을 전달하게 되고, 슬루잉 제어기는 이 값을 받아서 PN 발생기의 PN 신호의 위상을 이동시키게 된다. 그리고, 각각의 다중경로 복조기에서 출력되는 주파수 오차 값과 복조된 신호는 컴바이너단에 전달하게 된다.

4. 하드웨어 구현 및 검증

제안된 구조는 VHDL 을 사용하여 복조하고자 하는 채널의 수에 따라 내부 구조가 자동으로 변화되도록 설계하였으며, 0.6 μ m CMOS ASIC library 를 이용하여 합성한 경우 채널 수에 따른 논리 게이트의 수는 [표 1]과 같다.

표 1. 채널의 증가에 따른 다중경로 복조기의 게이트 수

구조	MC-CDMA 용 다중경로 복조기		
	내부블록		
다중경로 복조기의 수	N=3		
채널의 수	N=1	N=4	N=7
선치리 블록	4,091×3= 12,273	5,951×3= 17,853	7,811×3= 23,433
후처리 블록	2,482×3= 7,446	3,682×3= 11,046	4,882×3= 14,646
MAC 연산 블록	3,100	3,600	4,300
총 게이트 수	22,819	32,499	42,379

를 복조할 때, 하나의 MAC 연산블록으로 최대 7개까지의 채널을 동시에 복조할 수 있었다. 따라서 제안된 구조는 여러 개의 채널을 복조해야 하는 MC-CDMA 시스템에서 매우 효율적인 하드웨어 설계임을 보이고 있다.

참고문헌

- [1]. TIA TR45.5 Subcommittee, "An Overview of the Application of CDMA to Digital Cellular Systems and Personal Cellular Network", Qualcomm, Mar. 28, 1992.
- [2]. A.J. Viterbi, "CDMA Principles". Qualcomm, Jan. 16, 1992.
- [3]. TIA/EIA, "IS-95 : Mobile Station-Base Station Compatibility for Dual-Mode Wide-band Spread Cellular System", July 1993.
- [4]. Chih-Lin I, Charles A. Webb III, Howard C. Huang, Stephan ten Brink, Sanjiv Nanda, and Richard D. Gitlin, "IS-95 Enhancements for Multimedia Services" Bell labs Technical Journal, vol.1, No.2, pp. 60-87, Autumn 1996.
- [5]. S. Lee, S. Hwang, J. Kim, "VLSI Architecture of CDMA Rake Receiver with Low Hardware Complexity for PCS". Proceedings of the IEEE ICCE'98, pp. 160-162, June 1998.

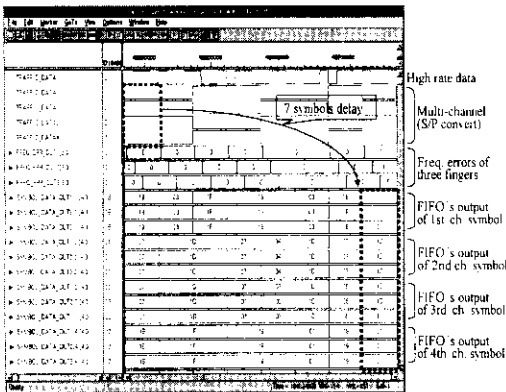


그림 4. 데이터 복조의 검증결과

[그림 4]는 4개의 채널을 동시에 복조하는 경우에 대한 검증 결과를 보여주고 있다. [그림 4]는 4개의 채널을 동시에 복조하는 경우의 데이터 복조에 대한 검증 결과를 보여주고 있다. 송신단에서는 기존의 데이터율보다 4배 빠른 데이터를 직병렬 변환(Parallel to serial conversion) 시켜서 4개의 채널을 통하여 전송하게 되며, 수신단에의 복조된 데이터는 적분기와 데이터 정렬기에 의하여 일곱 심볼 지연되어 출력됨을 알 수 있다. 그림에서 볼 수 있듯이 수신단에서 송신 신호의 정확한 동기 복조가 이루어졌음을 알 수 있으며, 채널상에서의 주파수 전이는 고려하지 않았으므로 주파수 오차값은 '0'이 출력되게 된다.

5. 결론

본 논문에서는 MC-CDMA 수신단에 적합한 다중경로 복조기의 효율적인 하드웨어 설계를 제안하였다. 제안된 다중경로 복조기를 사용하여 3개의 다중경로