

공유구조를 가지는 CDMA 이동국용 PN 부호 탐색기의 FPGA 구현

이장희, 이성주, 김재석, 이문기
연세대학교 전자공학과 VLSI & CAD 연구실
서울시 서대문구 신촌동 134번지
janghee@cvtls13.yonsei.ac.kr

FPGA Implementation of PN Code Searcher with a Shared Architecture for CDMA PCS mobile Station

Janghee Lee, Seongjoo Lee, Jaeseok Kim, Moonkey Lee
VLSI & CAD Lab., Electronic Eng., Yonsei University.
134, Shinchon-dong, Seodaemun-gu, Seoul, 120-749
janghee@cvtls13.yonsei.ac.kr

Abstract

In this paper, we propose a new architecture of the PN code acquisition system which has some shared blocks in order to reduce the hardware complexity. The proposed system has an energy calculation block which is shared by two active correlators. Our system is designed suitable for IS-95 based CDMA PCS. The new architecture was designed and simulated using VHDL. Also, We implemented it with Altera FPGA, and verified our system. The gate count is about 7,500. Our proposed architecture is also useful for multi-carrier system which uses the multiple searcher.

1. 서론

디지털 셀룰라 시스템과 개인 휴대 이동통신 시스템에서 널리 사용되고 있는 직접 확산 코드분할 다중 접속 방식(DS-SS : Direct Sequence Code Division Multiple Access)은 간섭 재거를 통해 용량을 증가 시킬 수 있고, 다중경로 페이닝에 강하며, 서로 다른 의사 잡음(Pseudo Noise) 부호를 사용하여 데이터를 전송하기 때문에 통화 내용이 누설되지 않는 장점을 가지고 있다[1]. 그러나 DS-SS는 송신기에서 전송되는 PN 부호의 위상이 수신기에서 발생시키는 PN 부호의 위상과 일치되지 않으면 데이터를 복원하는 것이 불가능하기 때문에 두 PN 부호의 동기화를 맞추는 것이 중요한 문제로 대두된다.

일반적인 동기과정은 수신기의 PN 부호와 송신기로부터 수신되는 PN 부호의 위상차를 1/2 칩 이내로 만드는 동기 획득 과정과 1/8 칩 이내로 미세동기를 유지하는 동기 추적 과정의 두 단계로 구성이 된다. 현재 상용화되고 있는 CDMA 시스템의 동기획득과정[2,3]을 보면, 동기 획득을 수행하기 위한 알고리즘은 소프트웨어를 통해 이루어지고, 실질적으로 수신되는

PN 부호의 위상을 탐색하는 것은 PN 부호 탐색기라는 하드웨어를 통해 이루어진다. 이동국에 있어서 하드웨어의 복잡도를 줄이는 것이 중요한 문제로 대두되기 때문에, 본 논문에서는 하드웨어 복잡도를 줄일 수 있는 새로운 하드웨어 설계에 중점을 두었다.

본 논문에서는 IS-95 에 기초를 둔 DS-SS 개인 휴대 이동통신 시스템에 근거를 두면서도 동기 획득 시스템의 하드웨어 부담을 줄일 수 있는 PN 부호 탐색기에 대한 새로운 하드웨어 구조 설계를 제안하였다. 제안된 PN 부호 탐색기는 VHDL 을 이용하여 설계되었고, 설계된 모델의 검증은 위해 현재의 동기 획득 알고리즘을 수행하는 마이크로 컨트롤러도 VHDL 로 설계 하였다. 또한 설계한 PN 부호 탐색기와 마이크로 컨트롤러를 Altera 의 FPGA 구현을 통해 테스트 베드에서 검증하였다.

2 장에서는 일반적인 PN 부호 탐색기에 대한 구조에 대해 설명하고, 낮은 하드웨어 복잡도를 가지는 PN 부호 탐색기의 새로운 하드웨어 구조를 제시한다. 3 장에서는 설계된 탐색기의 FPGA 구현과 검증 결과에 대하여 언급하고, 4 장에서는 결론을 맺는다

2. PN 부호 탐색기의 구조 설계

현재 상용화되고 있는 CDMA 시스템의 동기획득 알고리즘[2]을 보면, 이중에서 이중적분 직렬 동기획득 방식만 사용되는 것이 아니라 하이브리드 동기획득 방식도 조합되어 사용되고 있는 것을 알 수 있다. 이 방식은 이중적분 방식과 같이 PN 부호 위상에 대한 탐색이 끝날 때마다 동기여부를 확인하는 것이 아니라 탐색 윈도우라는 것을 두어 탐색기가 탐색 윈도우 내에서는 이중적분 방식으로 탐색을 수행하고, 윈도우에 대한 탐색이 끝나면 그 윈도우에 대한 결과를 가지고

마이크로 컨트롤러가 동기여부를 판단하도록 하고 있다. 또한, 다경로 신호에 대한 탐색이 동시에 수행되기 때문에 동기획득이 이루어질 때, 찾아낸 3개의 다경로 신호에 대한 정보가 펌퍼에 할당되게 된다. 이 방식의 장점은 여러 가지 페이딩이 심한 이동 통신 채널 환경에 강하고, 다경로 신호를 모두 찾아내어 펌퍼에 할당하는데 용이하다는 것이다. 또한, 탐색기뿐만 아니라 단말기에 있는 모든 모듈들이 마이크로 컨트롤러와 연계되어 동작하기 때문에 탐색기가 일정 기간 탐색을 수행하고 나서 마이크로 컨트롤러의 제어를 받도록 하면, 마이크로 컨트롤러가 단말기의 모든 기능을 효율적으로 제어할 수 있다는 잇점도 있다. 이 알고리즘을 적용한 PN 부호 탐색기의 하드웨어 구조는 그림 1에서 보여준다.

그림 1에서 보면, 탐색기가 2개의 상관기를 사용하고 있는데, 이것은 수신되는 파워렛 채널과 1/2 칩이 내로 동기획득을 이루어 내기위해 1/2 칩 단위로 탐색을 수행함으로써 늘어난 탐색위상 수를 보상하기 위한 것이다. 이것은 PN 부호 탐색기의 하드웨어를 증가시키는 요인이 된다. 따라서, 그림 1의 회색으로 칠해진 부분과 같이 PN 부호 탐색기의 하드웨어 복잡도가 매우 큰 제공기와 덧셈기 그리고 후치 적분기를 하나의 하드웨어 블록으로 설계할 필요가 생긴다. 제안된 PN 부호 탐색기에서는 이 블록들을 하나의 하드웨어 구조로 설계함은 물론 공유 블록으로 설계하였기 때문에 상관기의 수가 증가하더라도 늘어난 상관기에 대한 에너지 부분을 기존의 공유 블록에서 계산할 수 있다는 장점이 있다.

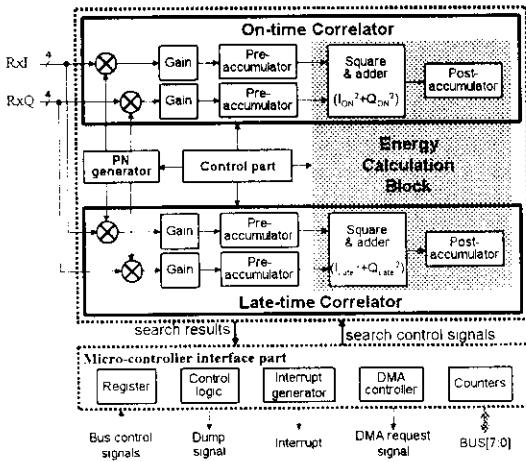


그림 1. PN 부호 탐색기의 구조

제안된 에너지 상관기는 기존의 시스템 클럭 속도(938304 MHz)내에서 최대 4개의 상관기에 대한 에너지 값을 계산해 낼 수 있다. 에너지 계산기의 하드웨어 구조는 그림 2에서 보여주고 있다. 그림 2에서 보여지듯이 4개의 적분 값은 먼저 레지스터에 저장이 되고, 저장된 값들은 제어 신호(sel_a)에 의해 7개의 부분 곱(partial product)을 발생시키게

된다. 발생된 7개의 부분 곱들은 제어 신호(sel_b)에 의해 순차적으로 2개의 레지스터에 누적이 된다. 레지스터는 on-time 과 late-time 의 에너지를 저장하기 위한 15-bit 에너지 레지스터 2개와 에너지를 누적하기 위한 16-bit 후치적분 레지스터 2개 등 총 4개가 필요하게 된다. 각 적분기에서 출력된 값이 에너지로 변환되기 위해서는 7개의 부분 곱들을 누적하기 위해 7 PN 칩이 소요되나 late-time 측의 에너지 값은 1/2 칩이 지연되어 출력되므로 on-time 과 late-time 의 에너지 값이 모두 유효하기 위해서는 총 8 PN 칩의 시간이 필요하게 된다.

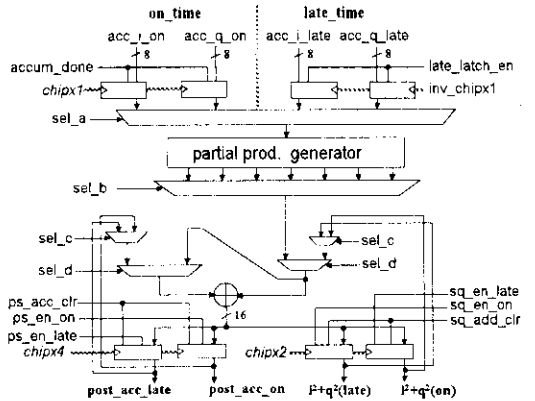


그림 2. 에너지 계산기의 구조

그림 3은 에너지 계산기의 타이밍 다이어그램을 보여준다. 그림 3에서 accum_done 신호는 4개의 적분기에서 정해진 기간 동안 적분이 완료되었음을 알리는 신호이다. 이 신호에 의해서 레지스터에 적분기의 값들이 저장되고, 에너지를 저장하는 레지스터는 초기화된다.

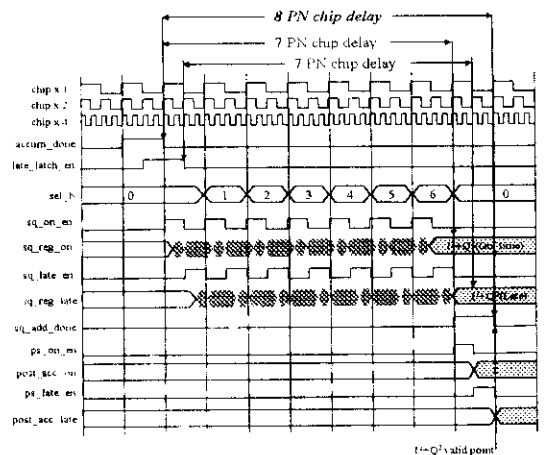
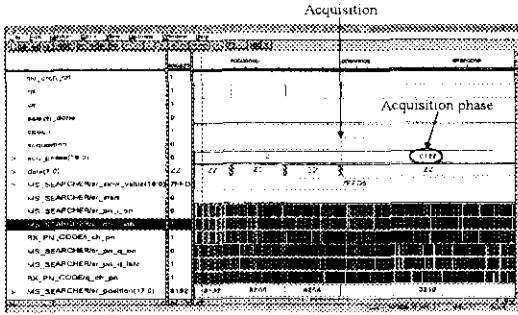


그림 3. 에너지 계산기의 타이밍도

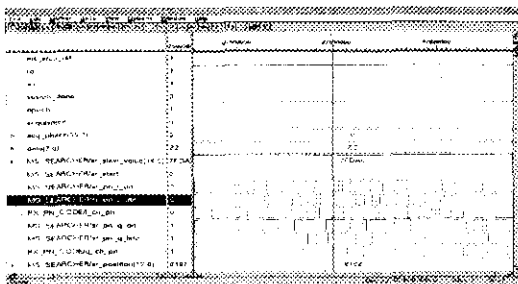
에너지 레지스터에 저장되는 값들의 순서는 sel_b 라는 혼합기 선택 제어 신호에 의해서 결정이 되고, 각 값들이 모두 에너지 레지스터에 누적이 되면 에너지 값이 계산됐음을 알리는 sq_add_done 신호가 발생하게 된다. 이 신호에 chipx1 클럭 신호(PN 칩 속도: 1.2288 MHz)가 동기 될 때, 에너지 값은 유효한 값을 가지게 된다.

3. FPGA 구현 및 검증

앞에서 제안된 PN 부호 탐색기는 VHDL 로 모델링 되었으며, 각 블록별로 시뮬레이션을 먼저 수행한 후에 전체적인 시뮬레이션을 수행하였다. PN 부호 탐색기의 검증을 위한 시뮬레이션 환경을 위해, 마이크로 컨트롤러, 다중 경로 페이딩에 대한 효과를 주는 채널 모델과 여러 개의 기지국도 VHDL 로 설계하였다. PN 부호 탐색기의 VHDL 시뮬레이션 결과는 그림 4 에서 보여진다.



a) 동기 획득과 동기 획득 위상



b) 동기 획득 위상에 대한 확인

그림 4. PN 부호 동기 획득에 대한 시뮬레이션 결과

그림 4의 a)에서는 탐색기의 동기 획득 결과를 보여 주고, b)에서는 동기 획득이 정확하게 이루어졌는가를 확인하고 있다.

앞에서 검증된 PN 부호 탐색기와 마이크로 컨트롤러, 그리고 세바 검증 환경에 대한 FPGA 의 구현은 Altera 사의 맥스플러스 툴을 이용하였다. FPGA 구현을

위해 위해 Synopsys 의 합성 툴을 이용하여 회로의 논리합성을 수행하였고, Altera 의 맥스플러스 툴을 이용해 배치 및 배선을 하였다. 그림 5 는 PN 부호 탐색기 및 검증환경에 대한 테스트 베드의 모습을 나타낸다.

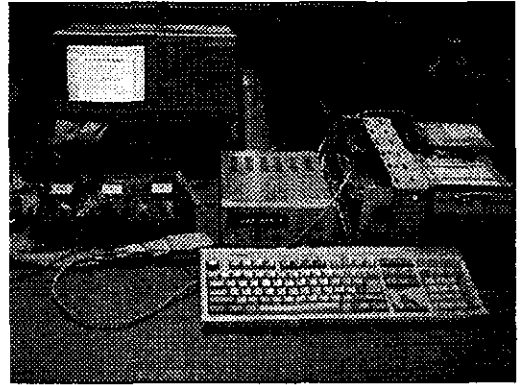


그림 5. PN 부호 탐색기의 FPGA 테스트 베드

그림 6~8 는 제안된 PN 부호 탐색기를 FPGA 를 통해 테스트 베드로 구현하고, 설계된 하드웨어 구조에 대해 logic analyzer 로 검증했을 때의 결과 파형을 나타낸다. 그림 6 에서 ①은 기지국의 PN 부호를 보여주고, ②는 탐색기의 PN 부호를, ③~⑤는 3 개의 핑거블록에서 발생하는 PN 부호를 보여준다. 그림 6 은 단말기가 처음 동작을 수행할 때의 상태를 보여준다. 그림 6 은 보여지듯이, 기지국에서 발생하는 PN 부호와 탐색기 및 핑거에서 발생하는 PN 부호사이의 위상이 다른 것을 알 수 있다. 그러나, 탐색기에서 발생하는 PN 부호와 핑거에서 발생하는 PN 부호들의 위상은 동일하게 유지되고 있음을 알 수 있다.

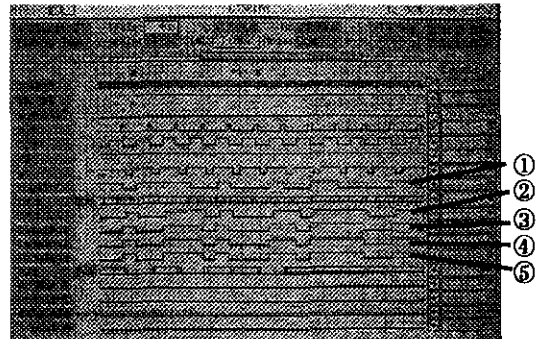


그림 6. PN 부호 탐색기의 탐색 시각 시 파형

그림 7 은 PN 부호 탐색기에서 동기가 이루어진 후의 파형을 보여준다. 그림 7 에서 보여지듯이, 기지국으로부터 발생하는 PN 부호와 탐색기의 PN 부호와의 위상이 일정 간격을 유지하면서 발생되고 있음을 알 수 있다

다. 이것은 탐색기가 윈도우를 사용하는 알고리즘을 적용하고 있기 때문에 탐색기의 PN 부호의 위상이 동기 획득을 이룬 윈도우의 마지막 위상에 고정되어 있기 때문이다. 평지에서 발생하는 PN 부호들은 탐색기에서 찾은 위상으로 slewing 하는 것을 알 수 있다.

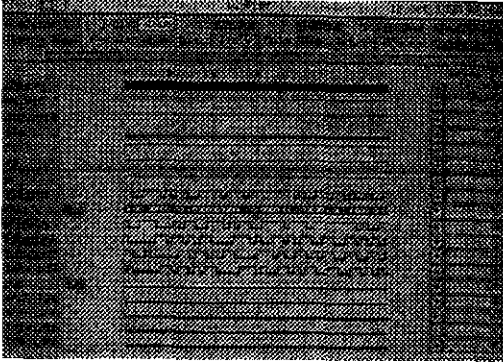


그림 7. 윈도우에 대한 탐색 후의 파형

그림 8 은 동기가 완전하게 이루어진 후의 결과 파형을 보여준다. 그림 8에서 보여지듯이, 탐색기에서 발생하는 PN 부호는 기지국에서 송신되는 PN 부호와 그림 7에서와 같이 동일한 위상차를 가지면서 발생되고 있음을 알 수 있다. 이것은 탐색기가 동기 획득을 수행하였기 때문에 더 이상 다른 위상에 대해 탐색을 수행하지 않기 때문이다. 만약, 다른 탐색 위상에 대해 탐색을 수행하고자 하면, 마이크로 컨트롤러가 탐색기에 탐색명령을 보내면 된다. 또한, 평지에서 발생하는 PN 부호들은 탐색기에 찾아낸 위상으로 이동하여 기지국에서 송신되는 PN 부호와 1/8 칩 이내로 동기를 유지하고 있음을 알 수 있다.

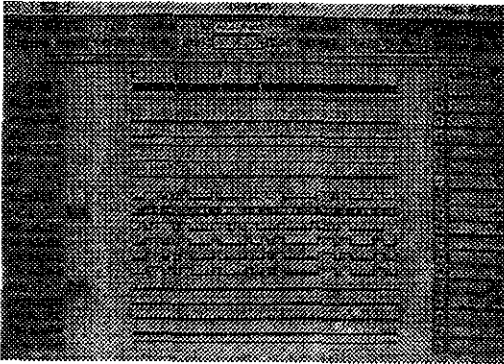


그림 8. 동기가 이루어진 후의 탐색기 결과 파형

본 논문에서는 IS_95 표준에 따른 DS-CDMA 이동통신 시스템의 이동국용 PN 부호 탐색기에 대한 새로운 하드웨어 구조를 제안하였다. 제안된 PN 부호 탐색기는 VHDL 을 이용하여 설계되었고, 이를 검증하기 위한 마이크로 컨트롤러와 검증환경도 VHDL 을 이용하여 설계하였다. 또한, 제안된 하드웨어 구조에 대한 검증을 위해 Altera 의 FPGA 를 통해 테스트 베드로 구현하였으며, logic analyzer 를 통해 성공적으로 동작하는 것을 확인하였다. 제안된 PN 부호 탐색기는 상관기중 하드웨어 복잡도가 매우 큰 에너지 계산 블록이 공유 블록으로 설계되었기 때문에 여러 개의 탐색기가 필요한 Multi-carrier 시스템에서도 유용하게 사용될 수 있는 것으로 기대된다 [4]

6. 참고 문헌

- [1] K. S. Gilhousen, et al., "On the Capacity of a Cellular CDMA System", IEEE Trans. on Vehicular Tech., VT-40, No 2, pp.303-312, May 1991.
- [2] 연광일, 광계달, "CDMA 이동국용 PN 부호 탐색기 설계 및 구현", 전자공학회 논문지, 제 34 권 S 편 제 8 호, pp.825-832, 1997. 8
- [3] Jurg Hinderling, Time Rueth, Ken Easton, Dawn Eagleson, Jeff Levin, and Richard Kerr, "CDMA Mobile Station Modem ASIC", in Proc. of the IEEE CICC'92, pp10.2.1-10.2.5, 1992. 5.
- [4] Shinsuke Hara and Pamjee Prasad, "DS-CDMA, MC-CDMA, and MT-CDMA for Mobile Multi-Media Communications", in Proc. of VTC'96, pp.1106-1110, 1996.

5. 결 론