

# VSF 전송방식 HDTV 수신기의 위상 추적 루프 설계

정중완, 이재홍, 김정호  
대전산업대학교 전자계산학과  
대전광역시 동구 삼성2동 305-3  
jwjeong@hyunam.tnut.ac.kr

## A Design of Phase Tracking Loop in VSB Transmission Receiver

Jung-Wan Jeong, Jae-Heung Lee  
Department of Computer Science, Taeyeon National University of Technology

### 요약

본 논문은 VSB 전송방식의 HDTV 수신기에 입력되는 신호의 위상잡음 및 이득오차를 없애주는 위상 추적 루프를 설계하였다. 위상 추적 루프는 VSB 신호가 가지는 신호점과 입력된 I 채널의 표본화된 데이터를 이용하여 신호점들의 Q 채널 성분을 추정한 다음 복소곱셈기를 이용하여 입력신호와 곱함으로써 위상의 에러값을 보상하는 구조로 되어 있다. 위상오차를 검출하는 알고리즘으로 시그널 함수를 이용함으로써 하드웨어의 부담을 줄이면서 넓은 선형영역을 가진 수 있게 되어 우수한 추적 성능을 가지는 위상 추적 루프를 구현하였고 소프트웨어 시뮬레이션을 통하여 제시한 알고리즘의 효율성을 입증한 후 ASIC으로 구현하였다.

### I. 서론

HDTV는 화질의 해상도가 높을뿐만 아니라 데이터를 디지털화하는 기술을 포함하고 있어 단순한 가전에 그치지 않고 컴퓨터를 비롯한 디지털 기기와 호환이 가능, 정보고속도로의 핵심기술이 될 것으로 전망되고 있다. 디지털 방송에 있어서 세계 표준 규격은 크게

미국 방식과 유럽방식을 양대축으로 하여 기존의 아날로그 TV 방식중 NTSC 방식을 사용하고 있는 지역은 미국 방식을 PAL 이나 SECAM을 사용하고 있는 지역은 유럽 방식을 채택하는 경향이 있다. 본 논문에서는 미국 표준 방식인 GA(Grand Alliance) HDTV에서 표준안으로 결정한 VSB 디지털 전송시스템을 바탕으로 위상 추적 루프를 설계하였다. 위상오차를 검출하는 과정이 수신신호의 전폭에 독립적임을 이용하여 DPLL(Digital Phase Locked Loop)과 AGC(Auto Gain Control)로 구성했다.[1] DPLL은 디지털 필터, 복소곱셈기, 위상오차 판정기로 구성되어 있다. AGC는 위상 추적 루프 내에서 PLL를 포함하게 되며 입력신호의 이득 오차를 없애주는 기능용이다. 구성된 위상 추적 루프의 선단부 설계는 LODECAP을 사용하였고 COMPASS를 이용하여 레이아웃 하였다.

### II. 회로의 전체구성 및 설계

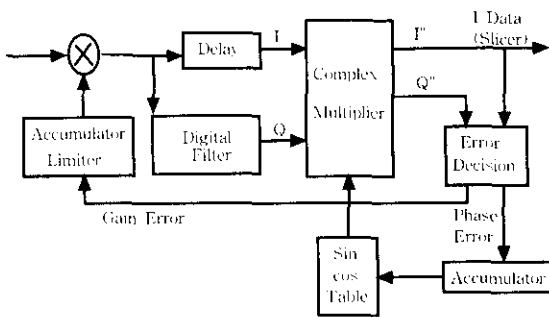
#### 2-1. 위상 추적 루프의 전체 블록도

송신단에서 일정한 주파수로 송신하였을 경우에도 수신단에서 같은 주파수로 복조가 불가능한 경우가 발생하게 된다. 실제로 채널상에는 여러 가지 원인에 의하여 일정한 또는 불규칙한 주파수 및 위상 편이가 발

생한다. 따라서 이러한 오차를 지속적으로 추적 보상하여 줄 수 있는 반송파 복원 부가가 필요하게 된다.

GA 규격에서 제안된 VSB 수신기는 FPLL(Frequency Phase Locked Loop)과 PTL(Phase Tracking Loop)을 이용하여 2단계로 주파수 및 위상을 동기한다.[2] 첫 번째 단계로 FPLL에서는 파일릿 신호를 이용하여 반송파 성분을 복원한다. 이것은 약 2KHz의 좁은 대역을 가진다. 그리고 파일릿 신호의 주파수에 Locked 되기 때문에 완전히 복원되지 못한 위상의 에러가 포함되어 있다. 두 번째 단계는 PTL이다. 이것의 루프 대역폭은 60KHz 이상이므로 FPLL에서 제거되지 않은 잔여 위상에러를 제거한다. PTL은 1차루프를 사용함으로써 Tracking Bandwidth를 최대화시킬 수 있다.

PTL회로의 블록도는 그림 1과 같다.



(그림 1) 위상 추적 루프

심벌 시간단위로 표분화된 I 채널의 심벌들은 등화기를 통과한 후 10.76 Msymbol/sec의 속도로 PTL에 입력된 후 AGC에 의하여 이득조정이 된다. [1]

수신기 구성요소 중 FPLL을 제외한 나머지 부분에서는 I 채널 신호만을 이용하고 있다. I 채널에는 실제 전달하고자 하는 정보가 포함되어 있고 Q 채널에는 실제 정보전달의 기능은 없지만 변조신호의 스펙트럼을 감소시키는 역할을 한다. 복조시 위상에러가 있는 경우 I 채널 표분화 데이터에는 송신기의 I 채널 데이터뿐만 아니라 Q 채널의 신호도 혼합되어 들어가기 때문에 PTL에서는 위상에러를 검출하기 위해서 Q 채널을 복원해야한다. 따라서 PTL은 힐버트(Hilbert) 변환의 특성과 유사한 디지털 필터를 이용하여 신호검출의 회전성분(Q 채널 신호)을 추정한다.

I 채널 및 Q 채널의 신호를 보대로 하여 입력신호와 추정위상사이의 에러값을 계산하고 이 값을 Loop Filter를 통과한 다음 sin, cos 테이블에 입력되어 신호 크기에 비례하는 sin, cos 신호를 발생시키고 이 신호들이 PTL의 입력신호와 곱하여져서 출력신호로부터 결정제된 방식에 의해 송신신호를 추정하게 된다.

### 2-2. 디지털 필터(Digital Filter)

수신기의 입력신호는 다음의 수식과 같다.

$$I_n = x_i[n] \cos(\theta[n]) - x_q[n] \sin(\theta[n])$$

위 수식에서  $x_i[n]$  및  $x_q[n]$ 의 값이 0 이 아닌 값을 가지므로,  $I[n]$  단독으로는 위상에러를 추정할 수 없다. 그러나 실제 PTL의 입력은  $I[n]$ 만이 사용되므로 PTL에서는 직교(quadrature) 성분  $Q[n]$ 을  $I[n]$ 으로부터 추정하여 사용한다. 실제 직역분과 신호의 in-phase 성분과 quadrature 성분은 다음과 같은 관계를 가진다.

$$x_{4m} * h_{VSB} = x_{4m}$$

여기서,  $h_{VSB}[n]$ 는 Hilbert transformer  $h_H[n]$ 와 고역(highpass)필터를 직렬 연결한 필터의 응답과 같다. 고역(highpass)필터는 변조신호의 스펙트럼에서 잔류(vestige)대역이 존재하도록 하는 기능으로 이 대역은 매우 미세한 영역을 차지하므로  $h_{VSB}[n]$ 은  $h_H[n]$ 로 근사화시킬 수 있다. Hilbert transformer는 90°의 위상을 쉬프트 시키는 기능으로 다음과 같은 관계를 가진다.[3][4]

$$x_{4m} * h_H[n] = x_i[n]$$

$$x_{4m} * h_{Hm} = -x_q[n]$$

$I[n]$ 에서  $\theta[n]$ 의 변화가  $x_i[n]$  및  $x_q[n]$ 의 변화에 비하여 매우 느리다는 가정하에서는 다음 식을 만족한다.

$$x_i[n] \cos(\theta[n]) * h_H[n] = x_i[n] \cos(\theta[n])$$

$$-x_q[n] \sin(\theta[n]) * h_H[n] = x_q[n] \sin(\theta[n])$$

그러므로 이 결과들을 종합하면 다음과 같은 결과를 얻을 수 있다.

$$I[n] * h_H[n] = Q[n]$$

2.3. 복소곱셈기(Complex Multiplier)

복소곱셈기의 입출력에 대하여 살펴보면 n번째 송신 신호에  $\theta[n]$  만큼의 위상이 더해진다면 CM의 입력 신호는 다음과 같다.

$$m_{in}[n] = I[n] + jQ[n]e^{j\theta[n]}$$

위상추정기의 n번째 추정 값을  $\hat{\theta}^*(n)$  라고 하면 CM의 n번째 출력 신호  $m_{out}(n)$ 은 다음과 같다.

$$m_{out}(n) = (I[n] + jQ[n])e^{j(\theta[n] - \hat{\theta}^*(n))} \\ = (I[n] + jQ[n])e^{j\phi[n]}$$

그러므로 n 번째 복소곱셈기의 출력은 각각 다음과 같이 나타낼 수 있다.

$$I^* = I[n]\cos(\phi[n]) - Q[n]\sin(\phi[n])$$

$$Q^* = I[n]\sin(\phi[n]) + Q[n]\cos(\phi[n])$$

2.4. 위상 오차 판정기 (Phase Error Detector)

복소곱셈기의 출력신호  $I^*[n], Q^*[n]$ 으로부터 위상오차  $\phi(n)$ 으로 전개하면 Phase Detector의 식은 다음과 같다.

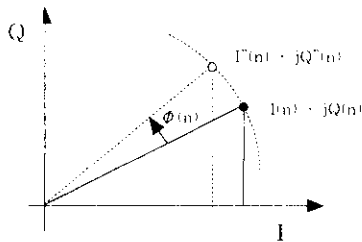
$$\phi[n] = ATAN\left(\frac{I_c[n]}{Q_c[n]}\right)$$

$I_c$  : 복소곱셈기의 I 신호 - 실제송신된 I 신호

그러나 ATAN PD 알고리즘은 부정확한  $Q^*[n]$ 을 이용함으로써 하드웨어에 대한 부담이 커지므로 본 논문은 부호만 결정하는 방식으로 시그널 함수(SGN(x))를 이용하여 PD 알고리즘으로 사용하였다.

$$\phi[n] = I_c[n]SGN(Q^*[n])$$

$SGN(x)$  : x 가 양수이면 1, 음수이면 -1 이다.



(그림 2) 위상오차  $\phi(n)$

그림 2는 위상오차의 특성을 나타내고 있다.  $I^*(n) + jQ^*(n)$ 은 복소곱셈기의 출력신호를  $I(n) + jQ(n)$ 는 실제 전송 신호이다. 그림 2에서 추정 위상 오차 갱신식을 다음과 같이 정의 할 수 있다.

$$\theta(n+1) = \theta(n) + K\phi(n)$$

여기서 K는 추정위상 갱신의 스텝 크기를 나타내는 상수이며 1차시스템에 있어서는  $P(s) = 1$  이므로 루프 이득 K가 클수록, 다시 말하면 동기범위가 넓을수록 SN비가 나빠진다.[4]

2.5. 이득 제어 루프 (Gain Control Loop)

위상 추적 루프에 이득 오차가 존재할 경우에는  $x_r[n]$  과 추정된 신호  $x_c[n]$ 는 다르게 되어 PLL은 계속적으로 위상오차의 추정을 반복하게 된다. 따라서 이득오차는 PLL의 앞단에서 제거되어야 한다.

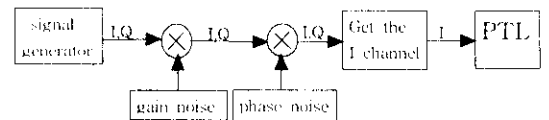
이득 제어 루프는 제한적 범위 (1.2 ~ 0.8)에서 동작하는 특징을 가지며 I 채널의 error값으로만 동작하고, gain error를 발생할 수 있는 심변은 -7, 7 심변위이다. 그리고 본 설계에서 사용한 갱신식은 다음과 같다.

$$gain(n+1) = gain(n) - \alpha(I_c \cdot SGN(I^*[n]))$$

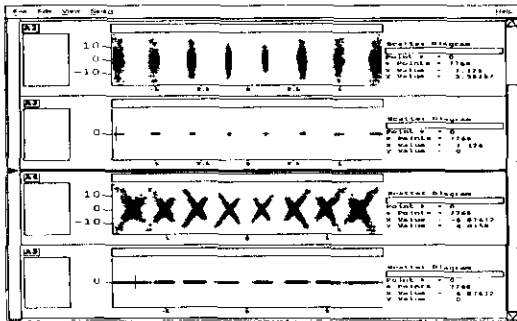
여기에서  $\alpha$ 는 이득갱신 스텝의 크기 조절 상수이다. 이득 추적 루우프 내역쪽은 위상 추적 루우프의 내역쪽 보다 매우 작다.

III. 레이아웃 및 시뮬레이션

본 논문에서 제시한 알고리즘은 그림 3과 같은 시스템을 바탕으로 시스템 레벨 설계용 틀인 SPW를 이용하여 Floating Point와 Fixed Point 시뮬레이션을 수행하였으며 하드웨어 설계는 SPW VIDS를 통하여 얻어진 파라메타값들과 비트수를 바탕으로 LODECAP 설계 환경에서 VHDL을 이용하여 설계 하였으며 ETRI의 0.8  $\mu$ m VGC400186 SOG 라이브러리를 이용하여 ASIC으로 구현하였다.

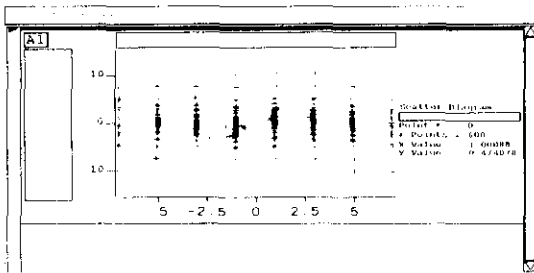


(그림 3) 시뮬레이션 시스템도



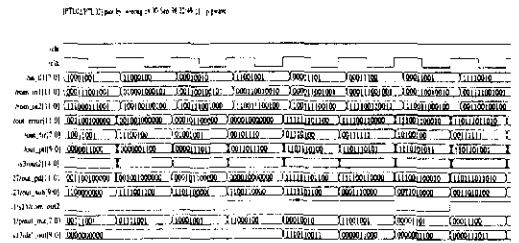
(그림 4) 위상 및 이득 잡음

그림 4는 8-리벨 송신신호에 이득잡음과 위상 잡음이 더해진 후의 신호를 보여준다. 그림 5는 시뮬레이션 결과에 대한 Scatter Diagram이다. 본 논문에서는 FPLL에서 일차적으로 위상잡음을 제거했다는 가정에서 위상잡음의 크기를 작게 시뮬레이션 하였으며 실험 결과 대부분 위상잡음이 제거되는 것을 확인하였다.

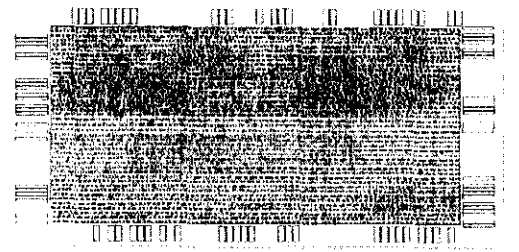


(그림 5) 시뮬레이션 결과

그림 6은 LODECAP을 이용하여 VHDL로 시뮬레이션 한 결과이다. 입력 주파수는 GA 표준안을 바탕으로 10.76MHz로 하였고 곱셈기와 덧셈기는 각각 Radix-4 알고리즘과 Carry-Save adder를 효과적으로 이용하였다. 전단부 설계에서 구현된 게이트 로직 회로는 한국전자통신연구소(ETRD)에서 제공된 0.8 $\mu$ m Design Rule에 따라 Compass틀을 이용하여 레이아웃 하였으며, 레이아웃 한 후 DRC(Design Rule Check)와 LVS(Layout Versus Schematic)를 수행하여 레이아웃 과정에서 발생할 수 있는 디자인 오류를 검증하였다. 설계된 회로의 전체 레이아웃은 그림 7과 같다.



(그림 6) LODECAP 시뮬레이션



(그림 7) PTL layout

#### IV. 결론

본 논문은 VSB 전송방식 디지털 수신기에 입력되는 신호의 위상오차 및 이득오차를 없애주는 위상 추적 루프를 설계하였다. 본 논문에서는 FPLL에서 일차적으로 위상오차를 보상한다는 점과 디지털 필터로 추정된 신호가 불안정함을 착안하여 추정된 신호의 부호값만을 이용하는 알고리즘을 이용하여 하드웨어 복잡성을 감소시킬 수 있었다.

#### 참고 문헌

- [1] "VSB Modulation used for Terrestrial and Cable Broadcasts" IEEE Transactions on Consumer Electronics, Vol.41, No.3, AUGUST 1995.
- [2] W.Lee, M. Jung, W. Lee, K. Choi, "A Hardware Efficient Algorithm for the Phase Tracking Loop in Grand Alliance VSB HDTV System", IEEE International Conference on Consumer Electronics, Vol. 1, pp. 306-307, Chicago, IL, USA 1996.
- [3] Dan H. Wolaver, "Phase-Locked Loop Circuit Design", Prentice-Hall, Inc, 1991.
- [4] 최형진, "동기방식 디지털 통신", 교학사, 7월 1995.