

# 저전압, 고속동작을 하는 위상 동기 루프(PLL)의 설계

조 용 덕, 윤 영 승, 유 상 대  
대구시 북구 산격동 1370번지 경북대학교 전자전기공학부 E10-610  
TEL : 053-940-8837  
FAX : 053-950-5505  
E-mail : ydcho@palgong.kyungpook.ac.kr

## Design of PLL for Low Voltage and High Speed Operation

Cho Yong Deok, Yun Young Seung, Yu Sang Dae  
School of Electronic & Electrical Engineering, Kyungpook National University  
TEL : 053-940-8837  
FAX : 053-950-5505  
E-mail : ydcho@palgong.kyungpook.ac.kr

### Abstract

In this paper, the PLL(Phase-Locked Loops) for low voltage and high speed operation is described. In other to obtaining above objects, new CMOS circuit technologies have been used in the each block circuit of PLL. It operates with a lock range from 110 up to 700 MHz and has a peak to peak jitter of 50 ps at operating frequency of 250 MHz. It was fabricated in a 0.6 $\mu$ m CMOS technology and dissipated 45 mW from a single 3.3 V.

### 1. 서 론

위상 동기 루프(Phase-Locked Loops)는 통신 시스템에서 클럭복구 회로나 마이크로프로세스, 주문형 반도체(ASIC)등에서 주파수 합성기로 널리 사용되고 있다. 특히 집적회로 상에서 클럭의 속도가 현저히 빨라짐에 따라 PLL을 사용한 클럭의 생성 및 분배는 플립플롭의 동기와 클럭 스퀴를 줄이기 위해 필수적이다.<sup>[1]</sup> 본 논문에서는 외부에서 들어오는 디지털 클럭 신호에 대해 집적회로 내부에서 정확히 동기가 되는 클럭을 생성하는 디지털 위상 동기 루프(이하 PLL)에 대

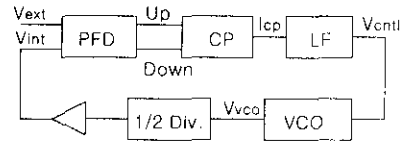


그림 1. 위상 동기 루프의 기능도  
Fig. 1. Functional block diagram of PLL.

해 설명한다. 그림 1은 전하 펌프를 가지는 PLL의 기본적인 구조이다. 위상/주파수 검출기(Phase Frequency Detector)는 두 입력 신호의 위상차와 주파수차이를 Up, Down 펄스로 변환하고 전하펌프(Charge Pump)는 Up, Down 펄스폭에 비례하여 루프 필터에 전하를 각각 충전, 방전시킨다. 따라서 루프 필터는 전압 제어 발진기(Voltage Controlled Oscillator)의 출력 주파수를 제어하는 전압인 Vcntl을 발생시킨다. 전압 제어 발진기는 Vcntl의 크기에 비례하여 Vvco의 주파수를 조절한다.

고속동작으로 인한 동적 전력 소비를 줄이기 위해 각 블록회로들은 3.3 V의 저전압에서 동작하도록 설계했다. 각 블록회로와 소자들은 CMOS 공정으로 집

적화가 가능하다. 본 논문은 II.1에서 dynamic logic을 사용한 새로운 위상/주파수 검출기를 보이고 II.2에서는 차동 모드 전하펌프를 II.3에서는 넓은 동작 주파수 범위에서 고속으로 동작하는 전압 제어 발진기에 대해서 설명한다. III에서는 제안하는 PLL의 전체 모의 실험 결과를 정리하고 마지막으로 IV에서 결론을 맺는다.

## II. PLL의 구성회로

### 1. 위상/주파수 검출기

위상/주파수 검출기는 기본적으로 리셋단자를 가지는 2개의 D Flip-Flop으로 구성된다. 그림 2. (a)는 기존의 위상/주파수 검출기로서 static 게이트로 구성되어 있으며 Reset의 임계경로(Critical path)가 길어서 고속으로 동작을 할 수 없다. 또한 4-input NAND위의 Reset이 충분히 지연되지 않으면 dead-zone을 유발하게 된다. 이것은 두 입력 신호의 미세한 위상차를 인식하지 못하게 되어 PLL에 지터잡음을 초래한다. 따라서 위상/주파수 검출기에서 dead-zone은 제거되어야 한다.<sup>[1][2]</sup> 그림 2. (b)에서와 같이 제안하는 위상/주파수 검출기는 TSPC(True Single-Phase-Clock) dynamic logic을 사용하여 회로를 새롭게 설계했다. Reset의 경로가 단순히 3개의 게이트만 지나므로 지연 시간이 줄어들어 고속동작에 유리하다. 또한 PLL이 locking 할때(두 입력 신호의 위상차가 없을 때) Up, Down 펄스의 폭이 매우 좁고 동일하게 유지되므로 dead-zone이 매우 작게 된다. 모의실험 결과 제안하는 위상/주파수 검출기는 최대 900 MHz에서 동작한다.

### 2. 전하펌프와 루프필터

전하펌프(Charge Pump)는 기본적으로 2개의 Up, Down 스위치와 2개의 전류원으로 구성된다. Up신호가 High로 될 때 루프필터를  $I_{up}$ 으로 충전시키고 Down신호가 High로 되면  $I_{dn}$ 으로 방전시킨다. PLL이 Lock-in 되면 짧은 순간 동안 Up, Down신호가 모두 High로 된다. 이 순간  $I_{up}$ ,  $I_{dn}$  전류가 동시에 흐르게 되고  $I_{up}$ 과  $I_{dn}$ 의 전류량이 같다면 루프필터에 공급되는 순수한 전하량은 없다. 만일 두 전류가 정확하게 정합이 되지 않으면 Jitter를 일으키게 된다. 또한 두 전류원은 공급전압, 온도 그리고 공정변화에 둔감하도록 설계해야 한다. 그림 3은 넓은 전압스윙을 갖는 캐스코드 전류거울(wide swing cascode current mirror)을 사용하여 전압스윙을 크게 하여 저전압에서도 동작

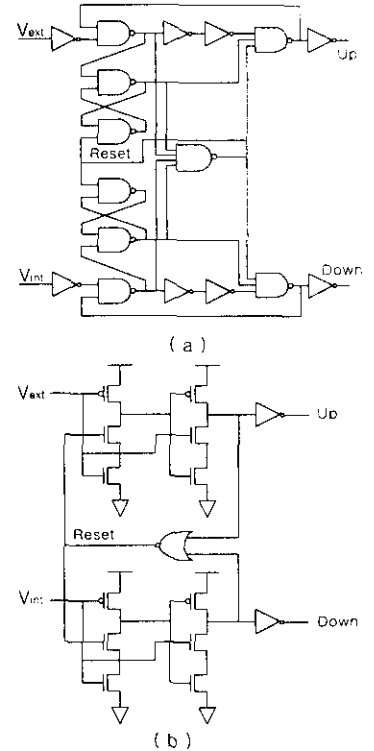


그림 2. (a) 기존의 위상/주파수 검출기  
(b) 제안하는 위상/주파수 검출기  
Fig. 2. (a) Conventional PFD.  
(b) Proposed PFD.

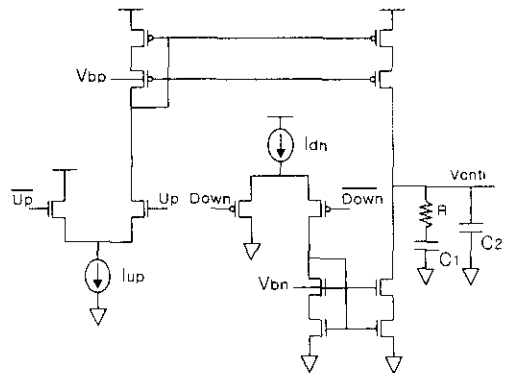


그림 3. 차동 입력쌍을 가지는 전하펌프와 루프필터  
Fig. 3. differential charge pump and loop filter.

하고 출력저항도 크게 하였다. 단순한 전류거울을 사용할 경우 짧은 채널효과(short channel effect)에 의한 전류 부정합을 줄이기 위해 전류거울을 이루고 있는 소자들의 채널길이를 최소 채널길이보다 더 길게 해



안하는 VCO는 최대 발진 주파수가 586 MHz에서 740 MHz로 향상되었다.

### III. 모의실험 결과

0.6 $\mu$ m CMOS 공정 모델 파라미터를 이용하여 HSPICE로 모의실험 한 결과 110 MHz로부터 700 MHz까지 위상이 동기 되는 것을 보였다. 250 MHz 동작 주파수에 대해 lock-in 시간이 1.8 $\mu$ s이고 이때 45 mW의 전력을 소비했다. 본 논문에서 설계한 PLL의 최종 모의실험 결과를 아래의 표 1에 제시하였다.

표 1. 설계된 PLL의 최종 모의실험 결과

Process Technology	0.6 $\mu$ m CMOS
Locking Range	110 MHz-700 MHz
Power Dissipation	45 mW@250 MHz, 3.3 V
Peak to peak Jitter	50ps
Lock in time	1.8 $\mu$ s @250 MHz
Simulation Tool	HSPICE

### IV. 결 론

본 논문에서 설계된 PLL은 3.3 V의 저전압에서 110 MHz에서 700 MHz까지 위상이 동기 되는 넓은 동작 주파수 범위를 가진다. 새로이 설계된 위상/주파수 검출기는 dynamic logic을 사용하여 소자 수를 현저히 줄였으며 고속동작을 할 수 있게 하였다. 전하펌프는 저전압에서 유리하게 동작하도록 wide swing 전류거울을 사용하여 전류의 정합이 잘 되도록 하고 아울러 고속 동작을 할 수 있게 하였다. VCO를 구성하는 지연선의 경우 자동 입력단에서 사용된 출력스윙 제한기로서 다이오드 연결된 NMOS를 사용한 결과 기존의 그러치 않은 VCO보다 최대 동작 주파수를 향상시킬 수 있었고 출력 파형도 보다 부드러운 정현파형을 얻을 수 있었다. 따라서 본 논문에서 설계된 PLL은 저전압에서 고속으로 동작함을 확인할 수 있었다.

### 참 고 문 헌

[ 1 ] Ian A. Young, "A PLL clock Generator with 5 to 110 MHz of Lock range for

microprocessors," *IEEE J. Solid-State Circuits*, Vol. 27, No. 11, pp. 1599-1606, Nov 1992.

[ 2 ] Henrik O. Johansson, "A Simple precharged CMOS Phase Frequency Detector," *IEEE J. Solid-State Circuits*, Vol. 33, No. 2, pp. 295-299, Feb 1998.

[ 3 ] David Reynolds, "A 320 MHz CMOS Tripple DAC with On-Chip PLL and Hardware Cursor," *IEEE J. Solid-State Circuits*, Vol. 29, No. 12, pp. 1545-1551, Dec 1994.

[ 4 ] F. M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE J. Solid-State Circuits*, Vol. 28, No. 11, pp. 1849-1858, Nov 1990.

[ 5 ] J. Maneatis, "Low-jitter Process-independent DLL and PLL Based on Self-Biased Techniques," *IEEE J. Solid-State Circuits*, Vol. 31, No. 11, pp. 1723-1732, Nov 1996.

[ 6 ] Howard C. Yang, "A Low Jitter 0.3-165 MHz CMOS PLL Frequency Synthesizer for 3 V/5 V Operation," *IEEE J. Solid-State Circuits*, Vol. 32, No. 4, pp. 582-586, Apr 1997.

[ 7 ] Shing-Tak Yan, "A 3 V 1.3-to-1.8 GHz CMOS Voltage-controlled Oscillator with 0.3 ps-jitter," *IEEE International Symposium on Circuits and Systems*, Jun 1997.