

# 저전압/저전력 고성능 배럴 쉬프터의 설계

조훈식, 손일헌

단국대학교 전자공학과

Tel. : 02-709-2591, Fax. : 02-709-2590, E-mail : elite@dankook.ac.kr

## Design of Low Voltage/Low Power High performance Barrel Shifter

Hunsik Cho, Ilhun Son

Department of Electronic Engineering, Dankook University

Tel. : 02-709-2591, Fax. : 02-709-2590, E-mail : elite@dankook.ac.kr

### Abstract

The architecture and circuit design of low voltage, high performance barrel shifter is proposed in this paper. The proposed architecture consists of two arrays for byte and bit rotate/shift to perform 32-bit operation and is preferred for even bigger data length as it can be adapted for 64-bit extension with no increase of number of stages.

NORA logic structure was used for circuit implementation to achieve the best performance in terms of speed, power and area. The complicated clocking control has been resolved with the ingenious design of clock driver. The circuit simulation results in 3.05ns delay, 9.37mW power consumption at 1V, 160MHz operation when its implemented in low power 0.5μm CMOS technology.

### I. 서 론

고속의 데이터 처리와 DSP응용을 위하여 배럴 쉬프터는 논리 연산 회로에서 매우 중요한 부분이다. 클럭 주파수가 높아지면서 저전력, 적은 회로 면적에서 높은 성능으로 동작하기 위한 설계가 되어왔다.

지금까지는 2 to 1 MUX 또는 배럴 스위치를 이용한 설계를 하였다[1], [2]. 2 to 1 MUX만을 이용하여 설계를 하면, 32비트인 경우 어레이가 5단이 되고, 64비트인 경우에는 6단이 되어서 고속의 데이터 처리에는 부적합하다[1]. 배럴 스위치를 이용하고 단수를 줄이기 위해 오른쪽, 왼쪽의 양방향 어레이를 이용한 설계는 32비트인 경우에 4단의 어레이가 필요하므로 속

도나 면적에서 큰 이득을 볼 수가 없다[2].

본 논문의 설계는 바이트 회전/평이동 어레이와 비트 회전/평이동 어레이를 병렬로 배열함으로써 2단의 어레이만으로 32비트 배럴 쉬프터의 구현이 가능하고, 바이트 회전/평이동 어레이의 셀 교체만으로 단 수의 증가 없이 64비트로의 확장이 가능하며, 데이터의 길이가 길수록 속도와 면적에서 기존 설계에 비하여 크게 유리하다는 장점을 가지고 있다. 본 논문의 배럴 쉬프터는 NORA 논리 회로[3]를 이용하여 설계하여 속도와 면적에서 유리하며, 기존의 CMOS 기술에서 큰 변화 없이 저전력 시스템에 적합하고 실용적인 0.5μm CMOS 기술로서[4] 1V의 전원 전압에 160MHz로 동작시에 총 지연시간은 3ns 정도 되며, 소비전력은 약 9.37mW 정도 소모하였다.

### II. 배럴 쉬프터 구조와 동작원리

배럴 쉬프터는 그림 1에 보인 것과 같이 회전/평이동 어레이(Rotate/Shift Array)와 제어 논리부로 이루어져 있다.

회전/평이동 어레이는 1비트 회전 어레이, 바이트 회전/평이동 어레이(byte rotate/shift array)와 비트 회전/평이동 어레이(bit rotate/shift array)로 이루어져 있고, 제어 논리부는 2×4 디코더, 3×8 디코더, 보간 회로(Fillin), 내부 신호 발생회로(Signal Generator), 5비트 XOR, 클럭 드라이버로 구성되어 있다.

회전/평이동 어레이는 바이트 평이동 어레이(0-3 byte rotate/shift array)는 기본적으로 32개의 4 to 1 MUX(그림 2)가 병렬로 구성되어 있으며 바이트 평이동 어레이에서는 1칸을 회전/평이동하면 실제로는 1바이트 단위로 회전/평이동하는 것이다. 비트 평이동 어

레이(0-7 bit rotate/shift array)는 32개의 8 to 1 MUX가 병렬로 구성되어 있으며 비트 평이동 어레이는 1비트 단위로 회전/평이동하게 되어있다.

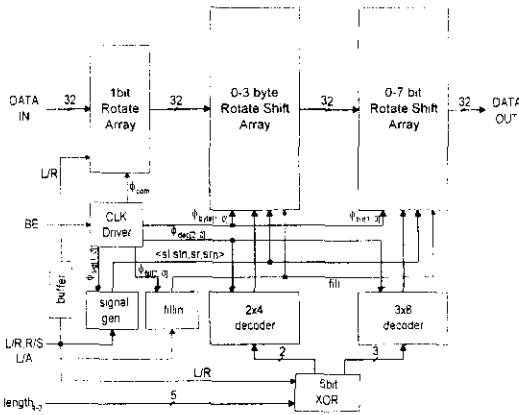


그림 1. 배럴 쉬프터 전체 구성도

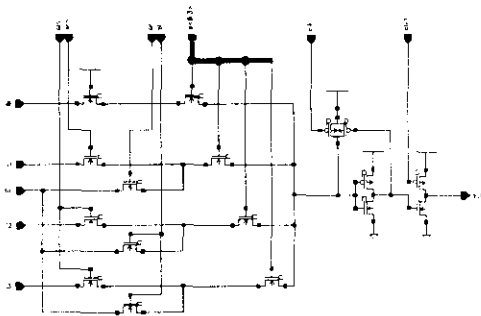


그림 2. 4 to 1 MUX

여기서 제안한 배럴 쉬프터는 32비트이므로 필요한 회전/평이동 구간은 5비트가 된다. 그림 3에 나타난 것과 같이 배럴 쉬프터 동작원리는 5비트 중에서 상위

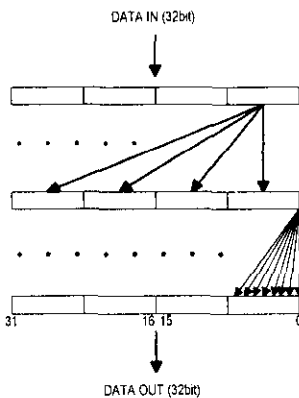


그림 3. 배럴 쉬프터의 동작 원리

2비트를 이용하여 최소 0에서 최대 3바이트까지 회전/평이동을 할 수 있으며, 하위 3비트를 가지고, 최소 0에서 최대 7비트까지 회전/평이동을 할 수 있으므로, 바이트 평이동 어레이와 비트 평이동 어레이 2단을 구성하였다.

이 2단을 이용하면 최소 0에서 최대 31비트까지 모든 구간을 다 회전/평이동 할 수가 있으며, 앞에서 언급한 바와 같이 64비트로 확장하는 경우에도 어레이 단수의 증가 없이 바이트 어레이 셀을 8 to 1 MUX로의 교체만으로 확장이 가능하므로 대용량과 고속의 데이터 처리에 적합하다.

회로의 면적과 트랜지스터의 갯수를 줄이기 위하여 본 배럴 쉬프터의 회전/평이동 어레이는 왼쪽방향으로만 회전/평이동하도록 구성되어있다. 왼쪽방향으로의 어레이에서 오른쪽 방향으로의 회전/평이동 명령을 정확히 수행하기 위하여 회전/평이동 어레이에 2 to 1 MUX를 기본 셀로 하는 1비트 회전 어레이가 추가된 것이다.

왼쪽 방향으로의 어레이에서 오른쪽으로 회전/평이동하는 방법을 살펴보면, 어떤 데이터가 k 만큼 오른쪽 방향으로 회전을 수행한 결과는 32 - k 만큼 왼쪽으로 회전을 한 것과 같은 결과를 얻을 수 있다. 여기서 32 - k 는 k의 2의 보수이며, 그 값은 (k의 1의 보수 + 1)의 값과 동일하다. 1의 보수를 취하는 방법은 간단하게 평이동 구간의 각각의 비트를 인버팅하므로써 얻을 수 있고, 더하기 1을 해준다는 것은 왼쪽으로 1비트 더 회전되는 것이므로 1비트 회전 어레이를 이용하였다.

### III. 제어 논리 회로부의 설계

제어 논리부는 앞에서 설명한 바와 같이 제안된 배럴 쉬프터는 32비트이므로 회전/평이동 구간은 5비트가 요구되며, 이 5비트를 상위 2비트와 하위 3비트로 나누어서 각각 2x4 디코더와 3x8 디코더의 입력으로 들어가게 된다. 논리부 2개의 디코더를 이용하여 4 to 1 MUX와 8 to 1 MUX의 어떤 평이동 경로를 통해서 데이터가 옮겨갈지를 결정해준다. 디코더는 NMOS 논리 부분에 중복되는 트랜지스터를 제거함으로써 subthreshold 누설 전류와 지연시간을 최소화하였다 [4].

보간 회로(fillin)은 회전명령이 동작될 때는 사용되지 않고, 평이동명령이 동작될 때만 사용되는 블록이고, 그림 4에 나타난 것처럼 기본적으로는 2 to 1 MUX로 구성되어 있다. 평이동명령을 수행할 때 평이동되고 난 빈자리를 어떤 값으로 채워줘야만 하며, 그 동작이 논리 평이동이면 0으로 채워주고, 연산 평

이동이면 MSB의 값으로 채워주도록 하였다. 그러므로 어떤 평이동 동작을 수행하는지에 따라 보간 회로의 출력 값은 그에 직결한 값으로 정해지게 되어있다.

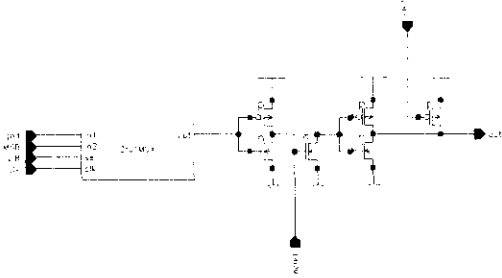


그림 4. 보간 블록

내부 신호 발생회로(signal generator)는 외부에서 명령어를 받아 회전/평이동 명령을 수행하는데 있어서 실제 어레이내부에서 필요한 몇 가지 제어 신호들(sl, sln, sr, srn)을 생성시켜주는 블록이다. 그림 5에 내부 신호 발생 회로를 나타내었다.

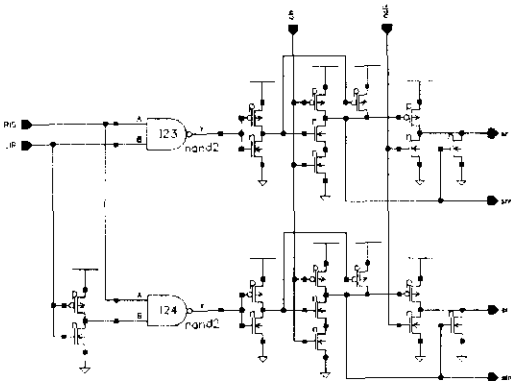


그림 5. 내부 신호 발생회로

5비트 XOR은 앞에서 말한 2의 보수를 취하기 전 단계로써 1의 보수를 취하기 위한 블록이다. 왼쪽으로의 회전/평이동 명령이 수행될 때는 회전/평이동 구간을 그대로 디코더의 입력으로 들어가게 되고, 오른쪽으로의 회전/평이동 명령이 수행될 때는 인버팅된 값 즉 1의 보수의 값이 디코더의 입력으로 들어가게 되는 것이다.

배럴 쉬프트터의 명령어는 다음과 같은 내용으로 구성하였다.

L/R	R/S	L/A	L <sub>4</sub>	L <sub>3</sub>	L <sub>2</sub>	L <sub>1</sub>	L <sub>0</sub>
-----	-----	-----	----------------	----------------	----------------	----------------	----------------

여기서 L/R은 좌/우 방향을 나타내는 비트이고, R/S는 회전/평이동 명령 형태를 나타내고, L/A는 평이동

명령을 수행할 때 논리/연산인지를 나타내주는 비트이고, 마지막으로 L<sub>4-0</sub>는 얼마만큼 회전/평이동할 것인지를 나타내는 값이다.

예를 들어서, 왼쪽으로 8비트 연산 평이동 동작을 수행하려면 명령어는 01101000과 같이 된다.

#### IV. 회로 시뮬레이션 결과 및 검토

배럴 쉬프트터 각 블록들은 빠른 회로 동작을 위하여 다이내믹 게이트로 구성하였으며 NORA논리 구조에서 예비충전(precharge)시에 과전류가 흐르는 것을 방지해 주기 위해서 앞 단의 다이내믹 게이트가 먼저 예비충전이 끝난 후에 뒷 단의 다이내믹 게이트가 예비충전이 되어야 한다[5]. 이를 위해 그림 2의 4 to 1 MUX는 clk과 clk1이 그림 6의 F와 같은 조건을 만족하여야 하고, 디코더의 출력이 먼저 예비충전된 이후에 회전/평이동 어레이를 예비충전해야 하므로 디코더 클럭과는 E와 같은 조건을 만족하여야 하고, 디코더내의 클럭은 그림 6의 C, D의 조건을 갖는다. 그림 4의 보간 블록의 clk, clk1, nclk1은 그림 6의 A와 B의 관계를 갖는다. 논리 실행(evaluation)시에는 회전/평이동 어레이의 값이 논리 실행되기전에 세이블록의 모든 필요한 값들이 먼저 정해져 있어야 하므로 그림 6의 G와 같은 관계를 가지며, 예비충전때와는 달리 논리 실행때는 회로의 속도를 제약하지 않기 위하여 각 클럭간의 폭이 짧아져야 한다.

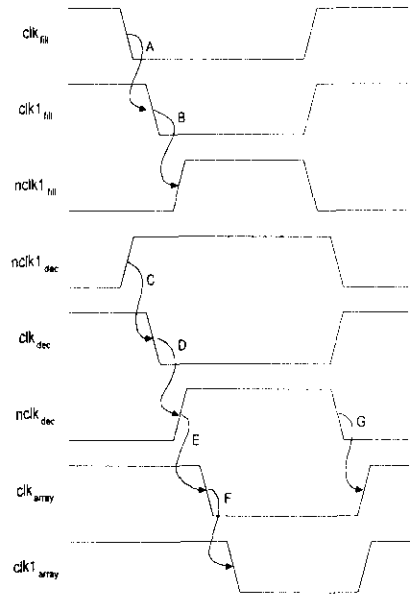


그림 6. 각 블록의 클럭 타이밍도

이러한 펄스폭이 서로 다른 클럭을 만들어내기 위해

여 그림 7과 같은 클럭 발생기를 사용하였다. 클럭 CLK1은 하강이 빠르고, 상승이 느린 반면, nCLK1은 상승이 빠르고, 하강이 느린 클럭 발생회로이다.

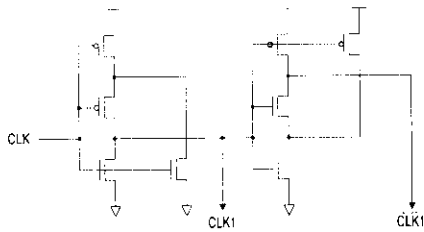


그림 7. 클럭 발생 회로

회로 시뮬레이션 결과는 그림 8에 보인 것과 같으며, It은 데이터가 래치된 때를 나타낸다. e1은 바이트 회전/평이동 어레이를 위한 디코더 출력이고, e2은 비트 회전/평이동 어레이를 위한 디코더의 출력이고, sl은 내부신호. 발생회로에서 생성된 내부 신호이고, mid1은 1비트 회전 어레이에서의 중간 출력이고, mid2는 바이트 회전/평이동 어레이에서의 중간 출력이고, out은 배럴 쉬프트의 최종 출력이다. 그림 6에서 보는 것과 같이 먼저 제어 블록이 예비충전되고 난 후에 회전/평이동 어레이를 예비충전을 시작함을 보여주고 있으며, 각 제어 블록과 회전/평이동 어레이내에서도 앞단의 다이내믹 게이트를 먼저 예비충전 되도록 클럭을 생성하였다. 논리실행 기간(evaluation period)에 각 블록내에서는 과전류가 흐름 염려가 없으므로 클럭의 타이밍이 예비 충전시보다는 복잡하지가 않다. 그러나 빠른 회로 동작을 위해서는 논리실행 클럭 타이밍 또한 매우 중요하다. 논리실행 클럭 타이밍은 보간 블록의 출력 fill의 지연이 크므로 먼저 논리실행을 하고, 다음으로 디코더의 논리실행을 하기 전에 디코더의 입력 즉, XOR의 출력 값은 이미 나와 있어야 하고, mid1과 mid2 값이 나오기 전에 디코더의 출력과 내부 신호는 이미 나와 있어야 한다. 그 다음으로 어레이를 논리실행 한다.

NORA 구조로 설계된 본 배럴 쉬프트를 160MHz에서 동작시킬 때 총 3.05ns의 지연시간을 가지며, 9.37mW의 소비전력을 갖으며, 동일한 알고리즘을 이용하여 Static회로로 설계시에는 3.8ns의 지연시간과 12.59mW의 전력을 소비하였다.

이 배럴 쉬프트의 성능을 향상시키기 위해서는 제어 블록의 주요 신호 경로를 최적화하여, 데이터가 제어 블록의 신호를 기다려야하는 상황을 최대한 줄여서 제어 블록의 지연시간과 회전/평이동 어레이의 지연시간을 서로 상쇄시켜야 하겠다.

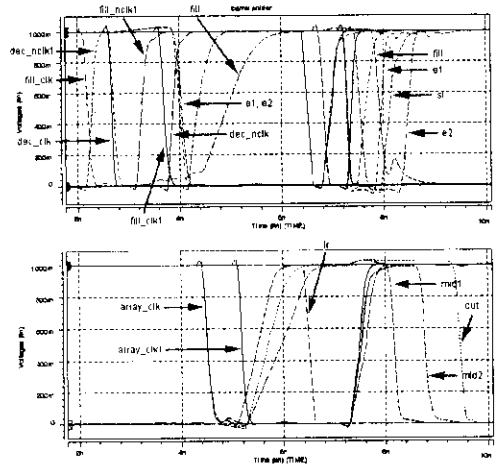


그림 8. 시뮬레이션 결과

### 참고문헌

- [1] R. Pereira, J. A. Michell, and J. M. Solana, IEEE J. Solid-State Circuits, vol. 30, pp. 686-690, Jun. 1995.
- [2] G. M. Tharakan and S. M. Kang, IEEE J. Solid-State Circuits, vol. 27, pp. 217-221, Feb. 1992.
- [3] N.F. Goncalves and H.J.De Man, IEEE J. Solid-State Circuits, vol. 18, pp. 261-266, 1983.
- [4] 정경아, 손일현, 명대진, 이영희, 제 4 회 한국 반도체 학술대회 논문집, pp. 559-561, 1997.
- [5] 임정식, 손일현, 조제영, 이영희, 제 4 회 한국 반도체 학술대회 논문집, pp. 555-557, 1997.
- [6] Masakazu Shoji, "CMOS digital circuit technology," Prentice-hall, Inc., 1988.
- [7] Neil H. E. Weste and Kamran Eshraghian, "Principles of CMOS VLSI design," Addison-Wesley, 1993.