

테스트 포인트 삽입에 의한 내장형 자체 테스트 구현

장 윤석 이 정한 김 동욱
 광운대학교 전자재료공학과
 서울시 노원구 월계동 447-1

Tel:940-5167, Fax:919-3940, E-mail :saurus@explore.kwangwoon.ac.kr

BIST implemetation with test points insertion

Yoon suck Jang Jung harn Lee Dong Wook Kim
 Dept. of Electronic Materials Engineering Kwangwoon University
 447-1 Wolgye-Dong Nowon-Gu Seoul, 139-701
 Tel:940-5167, Fax:919-3940, E-mail : saurus@explore.kwangwoon.ac.kr

Abstract

Recently the development of design and automation technology and manufacturing method, has reduced the cost of chip, but it becomes more difficult to test IC chip because test technique doesn't keep up with these techniques. In case of IC testing, obtaining test vectors to be able to detect good chip or bad one is very important, but according to increasing complexity, it is very complex and difficult. Another problem is that during testing, there could be capability of physical and electrical damage on chip. Also there is difficulty in synchronization between CUT (circuit under test) and Test equipment^[1]. Because of these difficulties, built in self test has been proposed. Not only obtaining test vectors but also reducing test time becomes hot issues nowadays. This paper presents a new test BIST(built in self test) method. Proposed BIST implementation reduces test time and obtains high fault coverage. By searching internal nodes in which are inserted test_point_cells^[2] and allocating TPG(test pattern generation) stages, test length becomes much shorter.

I. 서론

설계기술의 발달과 자동화 그리고 제조기술의 발달로 초고집적회로의 칩의 생산가격은 계속 떨어지는 추세이나 테스트는 점점 더 어려워지고 테스트 기술은 그에 상응하지 못하고 있다. 따라서 초고집적 회로의 가격중 테스트비용이 차지하는 비율이 절반을 넘어서게 됨에 따라 최근 고집적회로의 테스트가 매우 중요한 문제로 대두되기 시작되었다. IC 테스트의 경우 불량 IC를 가려낼수 있는 테스트 벡터를 구하는 일이 중요하며, 테스트의 질을 결정한다. 그러나 회로의 복잡도가 증가함에 따라 테스트 벡터를 구하는 것이 매우 어려워지고있다. 다른 초고집적 회로 칩의 테스트의 문제점은 소자의 크기가 매우 작으므로 테스트 탐침을 사용하기가 매우 힘들 뿐아니라 테스트 도중 물리적,전기적 손상을 줄 가능성이 있다. 또한 테스트 대상칩과 테스트 장비의 동작시간을 동기화하는 것도 어려움 중에 하나이다.이런 어려운 점 때문에 제안된 방법이 설계 시 테스트를 고려한 설계(DFT)이다. 앞으로 회로의 복잡화와, 고집적화가 증가함에 따라 테스트 용이도를 향상시키지 않으면 테스트하기가 매우 힘들어질 것이다. 일반적으로 테스트할 때의 속도는 칩의 정상속도와 동일하게 하는 것이 바람직하며, 따라서

고성능 고속 칩의 경우 고속 ATE를 필요로 하게 되는데, 이런 고가의 ATE를 사용하게 되면 결과적으로 테스트비용의 증가를 초래한다. 이런 비용을 절감하기 위해 내장된 자체 테스트(BIST)가 대두하였다.

본 논문은 BIST를 구현함에 있어, 근간에 hot issue가 되고있는 테스트 시간 (test length)절감에 초점을 맞추고 있다. 아무리 고장 검출률이 높다 하더라도 너무 많은 시간을 테스트에 소비하는것은 테스트비용이 많이 들 뿐 아니라 시장성에 있어서도 문제가 되기 때문이다. BIST는 테스트 대상회로에 부가적인 테스트용 회로를 삽입함으로써 테스트 용이화와 고장정보를 제시하기 때문에 Test 분야에서 각광받고있다.

본 논문에서 제시한 내장형 자체 테스트는 테스트 패턴 생성기(TPG), 다중 입력 테스트 데이터 수집기(MISR), 테스트 포인트 셀(test_point_cell)이라 명명한 부가회로를 대상회로에 부가하여 테스트 시간을 줄이는 데 역점을 두었다. TPG의 경우 ROM에 저장된 값에 의해 seed를 바꿀 수도 있도록 구현했으며 각 stage를 테스트 길이를 줄이기 위해 Fanout과 할당 기법을 사용하여 적절한 배치를 이루도록 하였다.

MISR은 scan에 의해 내부의 test_point_cell의 output과 primary output에서의 테스트 데이터를 선택적으로 출력할수 있도록 하였다. test_point_cell은 테스트 벡터를 삽입시키고 데이터를 압축하여 출력하는 기능을 수행한다. 제안된 BIST는 테스트 제어용 핀이 총 4개로 구성된다. Test, clk, scansel, view_enable,scansel 이며 두개의 MISR을 병합 시키면 view_enable은 필요가 없어진다.

II.고장 검출 및 테스트 길이

본 논문에서 단일 Stuck at 고장에 대해 테스트를 수행하였다. 고장을 감지하기위해서는 어떤 테스트 벡터에 대해서 고장이 발생했을 경우와 발생하지 않은 경우 출력의 논리값이 달라야 한다. 간단한 식에 의해 표현하면 다음과 같다.

$$Z(x) \oplus Z_0(x) = 1 \tag{1}$$

Z(x)는 고장이 없을 경우의 함수값이고 Z₀(x)는 고장 발생시의 함수값이다. 테스트 패턴 발생기의 경우 의

사 무작위(pseudorandom)형태로 테스트 벡터들이 형성되고 생성된 패턴들이 대상회로의 입력단을 통해서 인가된다¹⁾. 테스트 용도로 사용되는 테스트 패턴 발생기는 LFSR(linear feedback shift register), CA(cellular automata) 등이 사용되며, LFSR의 경우 primitive polynomial equation에 의해 귀환과 XOR(exclusive)나 XNOR 위치가 결정되고, 모든 스테이지에서 논리값이 전부 '0'이 나오는 경우를 제외한 모든 경우의 의사 무작위 패턴이 나온다. 본 논문에서는 외부형(external type) LFSR이 사용되었으며, 다중 입력 테스트 데이터 압축기 역시 LFSR이 사용하였다. 의사 무작위의 경우 결정 패턴(deterministic pattern)을 구하는데 따른 복잡성과 구하기 위해 걸리는 시간을 감축할 수 있는 장점이 있다²⁾. 입력수가 많을 경우, 예로 17개의 주입력이 있다면, 의사 무작위일 경우, $2^{17} - 1$ (131071)개의 패턴이 생성되고 2개의 주입력이 추가될 때는 $2^{19} - 1$ (524287)개로 단지 2개의 입력이 추가됨에 따라 테스트 패턴이 기하급수적으로 증가함을 알 수 있다. 따라서 정상 동작일 때에는 회로의 동작에 오동작을 시키지 않으면서 테스트 동작에는 회로 분할(circuit segmentation)에 의해 입력의 개수를 감소시키면 테스트 시간을 크게 줄일 수 있다는 것을 알 수 있다.

III. 제안된 내장형 자체 테스트(BIST)

본 논문에서 제안하는 테스트 방법은 크게 두개의 분류로 나눌 수 있다. 첫번째는 테스트 패턴 발생기(TPG) 스테이지에 대한 대상회로의 각각의 입력들에 대한 할당 및 분배에 대한 것이고 다른 하나는 테스트 포인트 셀이라 명명한 부가회로를 삽입할 내부노드를 찾는 알고리즘에 대한 것이다. 아래 그림은 본 논문이 제시한 자체 내장형 테스트의 블록도이다.

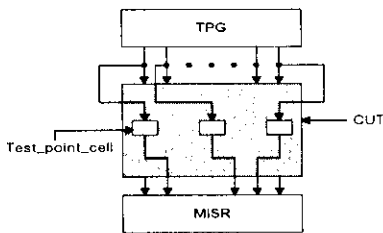


그림 1. 제안된 BIST 구조

그림 1에서 테스트 포인트 셀을 축으로 해서 TPG로부터 나온 테스트 벡터들은 주입력과 테스트 포인트 셀로 패턴들을 인가하는 동시에 테스트 포인트 셀 이전 게이트군과 주출력(PO)의 테스트 데이터를 MISR로 보낸다.

A. 테스트 패턴 발생기의 스테이지 할당

자체 내장형 테스트(Built in self test)의 경우 의사 무작위 패턴의 경우에 TPG의 스테이지 단의 수가 N개일 경우 $2^N - 1$ 개의 테스트 벡터가 생긴다. 따라서 고장을 검출할 패턴을 생성하는 확률은 다음과 같다.

$$P(X) = 2^X - 1 / 2^X \quad (X; \text{The number of stage}) \quad (2)$$

따라서 고장을 검출하지 못하는 확률은 $1 - 2^X - 1 / 2^X$ 임을 알 수 있다. 따라서 입력(PI)이 많은 회로에 대해서 일반적인 의사 무작위 형태의 테스트 패턴 발생기의 경우에는 고장을 감지하지 못하는 확률이 훨씬 적어진다는 것을 알 수 있다. 그러나 한 개의 패턴이 생성되어지는 것은 한 주기의 테스트 클럭이 소요되기 때문에 대상회로의 입력수가 많은 경우에는 테스트에 소요하는 시간이 과도하게 소요되게 된다. 또한 PI가 과도하게 많은 경우, 한 개의 PI 증가에 의해 테스트 Length는 지수 함수적으로 증가한다.

본 논문에서는 이러한 특성에 기인해서 테스트 동작 때에는 강압적인 함수 논리 분할(functional logic segmentation)에 의해 대상 회로의 입력 수를 감소 시킴으로써 테스트 Length를 줄였다.

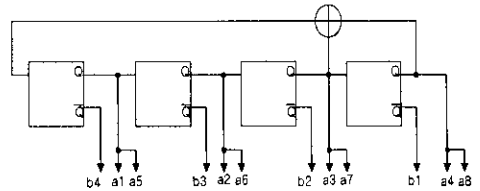


그림 2. 주입력들에 대한 TPG stage 할당

테스트 패턴 발생기의 스테이지 할당은 그림 3에 나타나 있다. 대상 회로의 입력들이 $PI = \{a1, a2, a3, a4, a5, a6, a7, a8, b1, b2, b3, b4\}$ 라 할 때, (a1, a6), (a2, a5), (a3, a8), (a4, a7), (b4, b3), (b2, b1)의 상관 관계는 주입력(Primary Input) 단으로부터 대상 회로의 첫번째 게이트의 출력에 종속적인 입력(dependent Input)들이다. 따라서 그림 3처럼 스테이지 할당을 할 경우 첫 번째 게이트들의 입력은 고갈 패턴이 나오게 되게, 팬아웃을 이용해 테스트 포인트 셀로 입력되는 테스트 입력을 할당한다. 그림 3의 경우에는 a1~a4의 입력군이 의사무작위 패턴이 형성되고 마찬가지로 a5~a8 입력군과 b1~b4 입력군도 의사 무작위 패턴이 생성된다. 아래 그림은 본 논문이 제안한 TPG를 구현한 것이다.

그림 3. 테스트 패턴 발생기용 LFSR

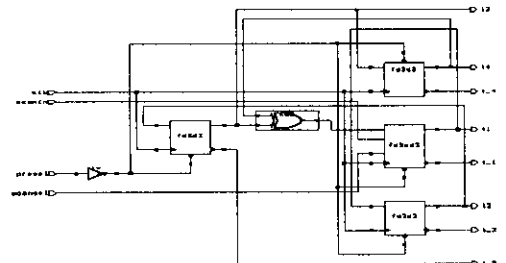


그림 3에서 TPG에 사용되는 테스트용 제어핀은 총 3개이며 그 명칭과 기능은 다음과 같다.

CLK: TPG의 플립-플롭에 연결되어 한 주기마다 테스트 벡터를 하나씩 출력한다.

Preset: 초기 Seed 값을 인가한다. 초기 Seed 값과 귀환에 의해 패턴이 의사 무작위형이 된다. 테스트 시작과 동시에 논리 '0'에서 논리 '1'로 반주기 동안만 유지된다.

Scansel: 테스트 도중 deterministic 패턴을 인가하기 위해 Seed 값을 바꿀 필요가 있을 때 사용되며 의사무작위의 경우 1개의 패턴, 일반적으로 테스트 벡터의 모든 비트(Bit)가 모든 논리 '0'인 경우가 출력되지 않지만 이 scansel 핀에 의해 롬(ROM), (그림에서 scanin 이 ROM의 출력),에 저장된 논리 '0'인 저장값을 직렬로 전송(serial transmission)시켜 TPG의 출력 비트가 모두 논리 '0'이 되도록 할 수 있다. 그림 3의 TPG에서는 사용되지 않았지만, 그밖에 2개의 제어용 핀이 있다.

TEST 핀은 정상 모드와 테스트 모드를 구분 지어 주는 핀으로 정상 동작시는 논리 '0', 테스트 동작에는 논리 '1'로 여기된다. 기능은 입력단에서 MUX를 통해서 정상 동작(논리 '0')에는 대상 회로의 PI와 PO를 도통시켜주고 테스트 동작시에는(논리 '1') TPG의 출력단과 대상 회로를 도통 시키는 기능을 한다. 그 외의 기능은 테스트 포인트 셀에서 다루기로 한다.

B. 테스트 포인트 셀 선정

테스트 포인트 셀은 대상 회로의 내부에 삽입되는 부가 회로이다. 테스트 포인트 셀의 역할은 정상 동작시에는 테스트 포인트 셀 이전 단의 정보를 Bypass 시키며 테스트 동작에는 테스트 포인트 셀을 통해 TPG의 출력을 셀을 통해서 대상 회로의 테스트 포인트 셀이 삽입되는 노드를 논리값으로 고정 및 변화시키는 역할을 한다. 한편 테스트 동작에는 테스트 포인트 셀 선정 노드의 데이터 값을 MISR로 전송한다.

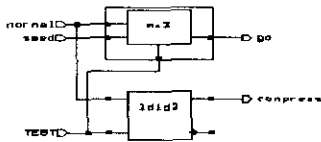
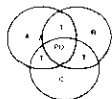


그림 4. 테스트 포인트 셀

그림 4의 셀의 normal 입력은 이전 단 게이트의 출력이며 대상 회로의 테스트 포인트 셀 선정 노드가 된다.

Seed는 TPG로부터의 테스트 벡터 출력이다. Bypass 동작은 TEST 입력이 논리 '0'일때, 그림 5 상단의 MUX를 통해서 normal과 go를 도통시킨다. Compress는 MISR 입력으로 들어가는 노드이다.

테스트 포인트로 선정되는 노드를 아래의 벤다이어그램으로 나타냈다.



A,B,C 게이트에 대해 종속적인 입력변수들의 집합
그림 5. Test_point_cell 선정 벤다이어그램

그림 5에 의하면 T 영역이 테스트 포인트 삽입 노드

가 될 수 있는 노드들의 집합이다. 가운데 PO는 출력, 또는 모든 입력에 대해 종속적인 내부 노드이다(T도 물론 PO가 될 수 있다). 따라서 테스트 포인트 선정의 기준은 각각 그룹화한 입력들이 그림 2를 예로 들 때 a1~a4의 정보들이 a5~a8, 또는 b4~b8의 정보들과 병합되는 노드가, 즉 입력들의 정보가 대상 회로 내부의 한 게이트의 출력으로 될 때 그 출력노드가 바로 테스트 포인트 셀이 삽입될 노드가 된다는 의미이다. 그러나 그런 노드들은 상당히 많이 있을 수 있고 거기 에다 테스트 포인트 셀을 전부 삽입한다면 상당한 오버헤드를 감수해야 한다. 따라서 TPG 할당시에도 분류된 입력군들을 PI에서부터의 정보가 많은 게이트를 pass 하도록 고려해서 할당해야 한다.

또한 controllability 관점에서는 테스트 포인트 셀의 삽입 노드 선정 우선 순위는 controllability에 의해 선정된다. 그림 6과 같이 이전 게이트 배열(Gate Array)에서의 출력되는 노드는 점선으로 표시된 부분의 게이트 배열의 4개의 게이트의 입력이 된다. 이때 이 점선 내의 게이트의 입력이 되는 A,B,C,D,E,F를 테스트 포인트 셀 선정 노드라는 관점이 내려졌을 때, 1개를 테스트 포인트 셀 노드에서 제외해야만 한다면, 우선 순위에 의해 첫번째로 선정될 노드는 B 노드가 된다. 즉 테스트 포인트 선정시의 최상위 우선 순위(maximum Priority)가 된다. 만약 E 노드에 S-A-1(stuck at 1)고장이 발생했다면, B 노드와 F 노드는 논리 '1'의 값을 가져야 3 입력 NAND 게이트 출력으로 고장 정보를 보낼 수 있다. 그런데 front gate array의 function에 의해 노드 B가 논리 '0'이 될 확률이 95%이고 논리 '1'이 될 확률이 5% 라면 고장을 검출할 확률이 아주 작아진다.^[7]

실제로 74 ALU의 경우 특정 노드들이 이전 게이트들의 function에 의해 고갈벡터에도 논리벡터(1,0)이 나오지 않는 2 입력 게이트 노드가 존재한다. 따라서 테스트 포인트의 최상 우선 순위는 위의 조건을 만족하는 fan out 노드를 가지는 stem line이 된다.

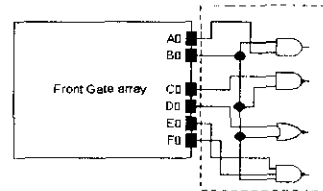


그림 6. 테스트 포인트 우선 순위

C. MISR 과 테스트 데이터 출력

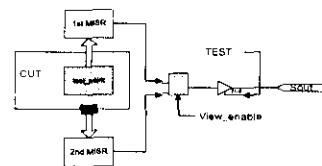


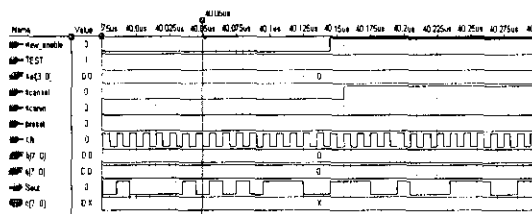
그림 7 MISR 동작 및 테스트 출력단

그림 7은 2개의 MISR 과 테스트 데이터 출력에 관한 것을 개략적인 블록도로 나타낸 것이다.

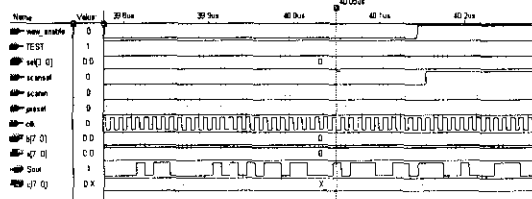
view_enable 핀은 테스트 포인트 셀 노드로부터의 테스트 정보를 1st MISR 에 압축시켜서 출력단 MUX 에 보낸 데이터를 논리 '0'일 때에는 Sout 을 통해 출력하고, 논리 '1'일때는 CUT 출력(PO)단의 2nd MISR 에서 출력되어 나온 정보를 Sout 을 통해서 선택적으로 출력한다. Test 핀은 정상 동작시에는 'high impedance' 상태이고 테스트 동작에는 2개의 MISR 의 정보를 선택적으로 출력시킨다. 그러나 본 논문에서 제시한 예 중 하나인 C499 회로에 대해서는 두 개의 MISR 을 사용하지 않았다. 하나의 MISR 에 의해 테스트 포인트 셀로부터의 테스트 데이터를 입력 받고 PO 로부터 테스트 데이터를 받아 하나의 MISR 에 압축 저장하여 스캔에 의해 테스트 데이터를 출력하도록 하였다. 즉 그림 7 의 1st MISR 과 2nd MISR 을 병합 시킨 효과를 가진다 할 수 있다^[1]. 테스트 알고리즘은 동일하나, 이 방법의 장점은 정보 소실 확률(alias probability)을 감소 시킬 뿐 아니라 테스트 제어용 핀 중에 하나인 view_enable 을 추가하지 않아도 된다는데 있다.

IV. BIST 구현 및 시뮬레이션

BIST 와 대상 회로의 구현은 VHDL 에 의해서 구현했으며 로직 합성(synthesis)은 Synopsys 로 실현 했고 시뮬레이션은 ALTERA 로 수행하였다. 대상 회로의 VHDL 코드를 작성후, 행위 레벨(behavioral level)일 경우 Synopsys 를 통한 구조적 표현(structural level)으로 변환을 수행하였다. 또 테스트 컴파일러를 통한 고장 리스트(fault List)를 출력, 리스트를 통한 fault simulation 을 수행하였다.



(a) 고장이 없는 경우



(b) 고장이 있는 경우

그림 8. 시뮬레이션 결과

그림 8은 테스트 동작시 40.05us 때 고장이 있는 경우와 없는 경우 논리값이 다르다는 것을 알 수 있다.

그림 8의 시뮬레이션 파형을 보면 테스트 동작시에는 정상 출력이 'unknown value' (X)로 나타나고,

40.145us에서 view_enable 신호가 논리 '1'로 되면서 PO의 테스트 데이터를 스캔에 의해 출력한다. 40.155us에서는 scansel 신호가 여기 되면서 일반적인 의사 무작위 패턴에서는 나오지 않는 테스트 벡터 (0,0, . . . 0)를 CUT 에 인가 해준다. 다음 표는 본 논문에서 제시한 테스트 알고리즘과 거기에 따른 BIST를 통한 결과 데이터이다.

표 1. CUT 에 대한 test length 비교 및 fault coverage

	Proposed case	Classical case	Fault coverage(%)
C17	9	31	100
C499	65536	2 ¹¹ - 1	100
74 ALU	1024	16384	100
8bit-comparator	2048	524287	97.69
8bit-ALU	4096	1048575	100

V. 결론

본 논문에서 제안한 테스트 기법과 그에 부합되도록 고안된 BIST는 test length를 현저히 줄였으며, fault coverage도 만족할 만한 결과가 나왔다. 본 논문에서는 (C499 제외) 2개의 MISR 을 사용했지만 이것을 직렬로 병합시키면 aliasing probability도 현저하게 줄어들 것이다(본 논문에서 실험한 대상 회로들에서는 alias가 일어나지 않았다.). 테스트 포인트 삽입으로 인한 하드웨어 오버헤드가 증가한 거 같지만 이것은 기존의 TPG의 스테이지를 현저히 감소시킴으로 하드웨어 오버헤드가 증가 시키지는 않는다. 따라서 하드웨어 오버헤드(hardware overhead)면에서도 만족할 만하다.

참고 문헌

[1] Nur A.Touba, Edward J.McClusky "Transformed Pseudo-random pattern for BIST", CRC Technical Report No.94-10, 1994
 [2] Nur A.Touba and Edward J.McClusky "Test Point Insertion for Non_Feedback Bridging Faults" CSL-TR-96-703, 1996
 [3] Nur A.Touba "Synthesis Techiques for Pseudo-random Built-IN Self-Test" A dissertation submitted to the department of electrical engineering and the committee of graduate studies of stanford university, 1996
 [4] Abramovici, Breuer, Frideman "Digital systems and testing and testable design", Computer science press, 1990
 [5] Chih-Ang Chen, Chen Sandeep k.Gupta "Design of Efficient BIST test pattern Generator for Delay Testing" IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems vol.15.NO.12, pp1568-1575, 1996
 [6] Dhiren Xavier, Robert C. Aitken, Andre Inanov, vinod K.Agarwal, "Usinf ans Asymmetric Error Model to study Aliasing in Signature Analysis Registers" IEEE Transaction on Computer-Aided design, vol.11, NO, pp16-24 1992
 [7] Jacob savir. "Shrinking Wide compressors" IEEE Transaction on Computer-Aided Design of Integrated circuit and Systems, Vol.14, NO, 11, pp1397-1387. 1995
 [8] F.F Tusi "LSI/VLSI Testability Design" McGraw-Hill Book pub, 1986