

CMOS 인버터의 최대 전력소모 예측을 위한 모델링

정 병권, 김 동욱

광운대학교 전자재료공학과

Tel:(02) 940-5167 Fax:(02) 919-3940

bkjung@explore.kwangwoon.ac.kr

A Modeling of CMOS Inverter for Maximum Power Dissipation Prediction

Byoung-Kweon Jung, Doung-wook Kim

Dept. of Electronic Material Engineering, Kwangwoon University

Tel:(02) 940-5167 Fax:(02) 919-3940

bkjung@explore.kwangwoon.ac.kr

Abstract

Power Dissipation and circuit speed become the most importance parameters in VLSI system design. The purpose of this paper is to estimate maximum power dissipation for VLSI system design. We remodeled CMOS inverter according to the operating region, saturation region or linear region, and calculate maximum power dissipation point of CMOS inverter. The result of proposed maximum power dissipation model compared with those from SPICE simulation which results that the proposed maximum power dissipation model has the error rate within 10% to SPICE simulation.

I. 서론

최근 VLSI 시스템 설계에서 저전력 CMOS 설계가 중요한 역할을 하고 있다. 이러한 저전력 CMOS 설계를 위해서 설계 전에 미리 소모 전력을 예측하면 시간과 노력을 절약할 수 있다.

근래의 반도체 산업의 발전은 IC의 집적도면에서 급격한 발전을 유도하였으며, 집적도의 증가는 동일 함수의 수행을 위한 동작속도의 증가를 초래하여 고속 동작의 수행을 가능케 하였다. 그러나 이와는 상반되게 한 시스템에서 사용되는 유틸리티를 증가시키기 위해 대량의 회로를 포함시킴으로서 한 시스템에서 사용되는 전력이 급격히 증가되고 있다. 이에 최근에는 저전력 소모를 위한 회로 설계기술에 대한 연구가 진행되고 있는 등 다각도의 전력소모를 줄이고자 하는 노력

들이 경주되고 있다.

CMOS 게이트 회로에서 소모 전력은 크게 3가지로 구성된다.^{[1][2][3][4]} 1) 집합 누설전류에 의한 소모 전력 2)동적 소모 전력 3)단락-회로 소모 전력. 이중 집합 누설전류는 기생 요소에 의한 것으로 대부분 연구에서는 무시한다. 동적 소모 전력은 부하 커패시터가 존재할 때 발생하는 소모 전력으로 이는 부하 커패시터의 크기에 비례한다. 반면에 단락-회로 전력소모는 입력 천이 신호, MOSFET의 크기등의 영향을 받기 때문에 기존에 논문에서 많은 연구를 하고 있다.^{[5][6][7]} 하지만 이러한 소모 전력들은 CMOS 게이트 회로의 전체 소모 전력중에서 극히 적게 영향을 주는 한 요소를 나타낸 것으로 전체 소모 전력을 예측한다는 것은 어렵다.

본 논문에서는 CMOS 회로에서 소모되는 전력중 최대일 때 최대 전력과 시간에 계산하기 위해 우선 MOSFET를 동작 영역에 따라 재모델링한 후, 가장 간단한 CMOS 인버터를 가지고 최대 소모 전력을 예측한다.

II. MOSFET 특성 곡선과 입력 신호의 재모델링

II-1. MOSFET의 특성 곡선

일반적으로 MOSFET의 특성 곡선은 비선형적인 특성을 가지고 있다. 이러한 비선형적인 특성을 가지고 최대 소모 전력을 예측한다면 매우 복잡하게 된다. 따라서 본 논문에서는 그림 1과 같이 선형적으로 재모델링하였다.

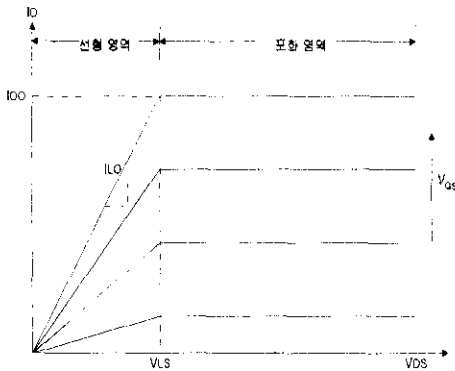


그림 1. 모델링된 MOSFET 특성 곡선

그림 1에서는 포화 영역은 일정한 전류 I_{D0} 가 흐르는 것으로, 선형 영역에서는 드레인-소오스 전압이 증가함에 따라 전류가 선형적으로 증가하는 것으로 재모델링하였다.

II-2. 입력 신호의 모델

여러 개의 게이트가 연결되어 있는 경우 한 게이트의 출력이 다른 게이트의 입력이 된다. 따라서 입력 신호는 선형적일 수 없다. 하지만 비선형적인 입력 신호는 최대 소모 전력을 계산하는데 복잡성을 증가시키므로 본 논문에서는 선형적인 것으로 모델링한다. 그림 2는 선형적으로 모델링한 입력 신호를 나타낸 것이다. 그림 2(a)는 상승 입력에 대한 재모델링한 것을 나타낸 것이며, 그림 2(b)는 하강 천이하는 입력에 대한 재모델링한 것을 나타낸다.

그림 2(a)의 상승 신호 천이와 그림 2(b)의 하강 신호 천이에 대한 천이 시간을 t_r 과 t_f 라고 하면 시간에 대한 입력 신호는

$$V_{in}(t) = (V_{DD} - t/T) \quad (1)$$

$$V_{in} = t/T, \quad (2)$$

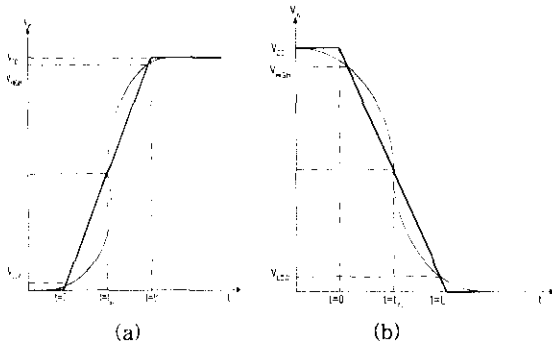


그림 2. 입력 천이 신호 모델
(a) 상승 천이 (b) 하강 천이

로 나타낸다. 본 논문에서는 PMOSFET와 NMOSFET의 포화 전류는 Schockley모델을 사용하였으며, 이를 하강 입력 신호에서 시간에 대해 나타내면

$$I_{DSp} = B_p T_f^2 \left(t - \frac{|V_{thp}|}{T_f} \right)^2 \quad (3)$$

$$I_{DSn} = B_n T_f^2 \left(\frac{V_{DD} - V_{thn}}{T_f} - t \right)^2 \quad (4)$$

와 같이 나타낼 수 있다. 그림 2에서 V_{inv} 는 인버터의 반전 전압을 나타내며 이 때의 시간을 t_{inv} 로 정의한다.

III. 소모 전력 모델링

III-1. 인버터의 모델링

인버터의 상승 입력과 하강 입력 천이는 서로 상대적인 특징을 가지고 있기 때문에 본 논문에서 상승 입력 신호 천이를 중심으로 설명한다.

인버터가 상승 입력 천이인 경우 시간이 증가함에 따라 인버터의 PMOSFET와 NMOSFET는 동작 영역이 변하게 된다. 즉 MOSFET는 시간에 따라 포화 영역과 선형 영역에서 동작하게된다. MOSFET가 그림 1과 같이 선형화된 특성 곡선에서 포화 영역에서 동작하면 일정한 전류를 흐르게 하는 전류원으로, 선형 영역에서 동작하면 저항으로 재모델링한다.

인버터는 입력 단과 출력 단의 관계에 따라 PMOSFET와 NMOSFET의 동작 영역을 결정할 수 있는데, 그림 3은 입력 천이 시간에 따라 인버터를 재모델링한 결과를 나타내고 있다.

I_p 와 I_n 는 PMOSFET와 NMOSFET의 포화 전류를 나타낸다.

우선 인버터의 상승 입력일 때 PMOSFET와 NMOSFET가 선형 영역에 존재할 수 있는데 이때 저항 R_p , R_n 으로 재모델링하며 시간 t 에 따라

$$R_n = \begin{cases} R_{LSn}: t \leq t_{inv} (V_{in} \geq V_{inv}) \\ \infty: t > t_{inv} (V_{in} < V_{inv}) \end{cases} \quad (5)$$

$$R_p = \begin{cases} R_{LSp}: t \geq t_{inv} (V_{in} \leq V_{inv}) \\ \infty: t < t_{inv} (V_{in} > V_{inv}) \end{cases} \quad (6)$$

로 표현 된다. 여기서 R_{LSp} 와 R_{LSn} 는

$$R_p = \frac{V_{LSp}}{I_{DSp}} \quad (7)$$

$$R_n = \frac{V_{LSn}}{I_{DSn}} \quad (8)$$

와 같이 정의한다.

인버터의 PMOSFET와 NMOSFET가 포화 영역에 존재할 때 일정한 전류가 흐르기 때문에 전류원으로 재모델링하며 이때 흐르는 전류는 I_p 와 I_n 라 하며 시간 t 에 따라

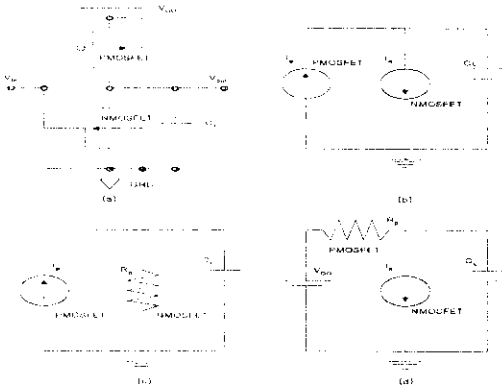


그림 3. CMOS 인버터의 재모델링

- (a) CMOS 인버터
- (b) 포화영역의 PMOSFET와 포화영역의 NMOSFET
- (c) 포화영역의 PMOSFET와 선형영역의 NMOSFET
- (d) 선형영역의 PMOSFET와 포화영역의 NMOSFET

$$I_p = \begin{cases} I_{DSp}: t \geq V_{THp} / T_f \\ 0: t < V_{THp} / T_f \end{cases} \quad (9)$$

$$I_n = \begin{cases} I_{DSn}: t \leq (V_{DD} - V_{THn}) / T_f \\ 0: t > (V_{DD} - V_{THn}) / T_f \end{cases} \quad (10)$$

로 표현된다. 여기서 I_{DSp} 와 I_{DSn} 는

$$I_{DSp} = B_p T_f^2 \left(t - \frac{|V_{thp}|}{T_f} \right)^2 \quad (11)$$

$$I_{DSn} = B_n T_f^2 \left(\frac{V_{DD} - V_{thn}}{T_f} - t \right)^2 \quad (12)$$

로 정의한다. 인버터의 차단 영역은 포화 영역에서 차단 영역으로 동작할 때는 전류를 0으로 선형 영역에서 차단 영역으로 동작할 때는 저항을 ∞ 으로 모델링함으로써 따로 모델링할 필요 없다.

III-2. 최대 소모 전력

인버터의 최대 소모 전력은 전원으로부터 흐르는 전류에 의해 소모되는 전력으로 정의한다. 본 논문에서 최대 소모 전력을 계산하기 위해 인버터의 흐르는 최대 전류를 구하여 최대 전력을 구한다. 즉 최대 소모 전류를 I_{max} 라 하면 이때는 P_{max} 는

$$P_{max} = V_{DD} \times I_{max} \quad (13)$$

표현한다. 여기서 V_{DD} 는 전원을 나타낸다.

인버터는 입력 신호 천이에 따라 동작 상태는 6개의 상태를 가진다. 여기서 6개의 동작 상태는 입력 신호에 따라 모든 상태가 거치는 것은 아니라 가능한 모든 상태를 나타낸 것이다. 인버터에 최대 소모 전류가 흐를 때 PMOSFET와 NMOSFET의 동작 영역은 6개의 상태 중에서 입력 천이 시간에 따라 두가지 동작 영역에 존재하게 된다. 하강 천이에서 천이 시간에 따

라 $t_{LSn} \geq t_f - V_{THn} / T_f$ 이면 입력 신호 천이가 작은 것으로, $t_{LSn} < t_f - V_{THn} / T_f$ 는 큰 것으로 정의한다.

상승 입력 천이일 때 천이 시간이 작은 경우 최대 전류를 I_{n1} 로, 천이 시간이 큰 경우는 I_{n2} 로 정의하고 하강 입력 천이 시간일 때 최대 소모 전류를 I_{n1} , I_{n2} 로 정의한다. 인버터는 입력 천이 시간이 작은 경우 최대 소모 전류는 PMOSFET는 선형 영역에 동작하여 R_p 로 모델링하며, NMOSFET는 차단 영역에 존재하여 $I_n=0$ 로 모델링한다. 그림 5는 상승/하강 입력 천이 일 때 최대 소모 전류가 흐를 때 인버터의 모델링을 나타낸 것이다. 인버터의 상승 천이인 경우의 최대 소모 전류 I_{n1} , I_{n2} 와 이때 시간 t_{max} 는

$$t_{max} = (V_{DD} - V_{THp}) / 2 T_f \quad (14)$$

$$I_{n1} = \frac{Q e^{-a_1 t_{max} / R_{LSp} C_L}}{R_{LSp} T_f^2} \quad (15)$$

$$P = (V_{DD} - V_{THn}) / T_f \quad (15-1)$$

$$Q = V_{DD} - V_{LSp} - A_1 \quad (15-4)$$

$$I_{n2} = I_n(t_{max}) - I_{CL}(t_{max}) \quad (16)$$

$$I_n(t_{max}) = B_n T_f^2 \left(\frac{t_{max} - V_{THn}}{T_f} \right)^2 \quad (17)$$

$$I_{CL}(t_{max}) = a_2 A_2 C_L \left(t_{max} - \frac{V_{THn}}{T_f} \right) + A_3 C_L - \frac{Q}{R_{LSp}} e^{-\frac{t_{max} - \frac{V_{THn}}{T_f}}{R_{LSp} C_L}} \quad (17-1)$$

$$A_1 = V_{DD} - B_n T_f^2 R_{LSp} [2 R_{LSp} C_L (R_{LSp} C_L + P) + P^2] \quad (17-2)$$

$$A_2 = -B_n T_f^2 R_{LSp} \quad (17-3)$$

$$A_3 = 2 B_n T_f^2 R_{LSp} (R_{LSp} C_L + P) \quad (17-4)$$

표현되며, 하강 천이의 최대 소모 전력과 이 때 시간 t_{max} 는

$$t_{max} = (V_{DD} - V_{THp}) / T_f \quad (16)$$

$$I_{n1} = \frac{Q e^{-a_1 t_{max} / R_{LSp} C_L}}{R_{LSp} T_f^2} \quad (17)$$

$$I_{n2} = I_n(t_{max}) + I_{CL}(t_{max}) \quad (18)$$

로 표현한다.

IV. Simulation 결과

본 논문은 SPICE와 비교하기 위해 입력 천이 시간의 변화를 고려하였다. 그림 5(a)는 상승 입력 천이 시간에 따라 SPICE의 결과와 제안된 모델을 나타내며,

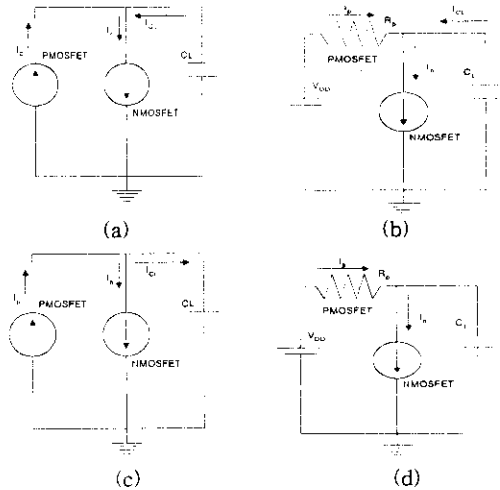


그림 4 입력 천이에 따른 최대 소모 전류 모델

- (a),(b) : 상승 입력 천이에 따른 인버터 모델
- (c),(d) : 하강 입력 천이에 따른 인버터 모델

그림 5(b)는 SPICE에 대한 상대 오차율을 나타낸다. 그림 6(a)는 하강 입력 천이 시간에 따라 SPICE의 결과와 제안된 모델을 나타내며, 그림 6(b)는 SPICE에 대한 상대 오차율을 나타낸다.

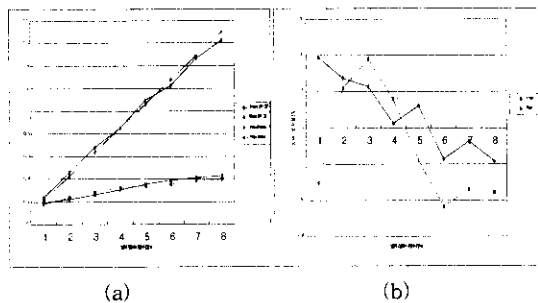


그림 5. 상승 입력에 대한 인버터의 최대 소모 전력
(a) SPICE의 비교 (b) 상대 오차율

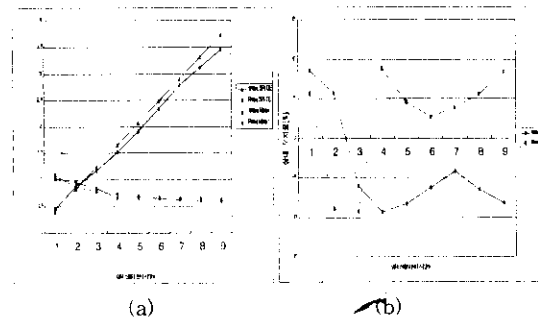


그림 6. 하강 입력에 대한 인버터의 최대 소모 전력
(a) SPICE의 비교 (b) 상대 오차율

V. 결론

본 논문에서 인버터를 기준으로 전원으로로부터 흐르는 전류에 의한 최고 소모 전력을 계산하기 위해 입력 천이 시간에 따라 MOSFET의 동작 상태를 나누고 이에 최고 소모 전력이 해당되는 영역에서 최대 소모 전력을 계산하였다. 본 논문에서 제시한 인버터의 최대 소모 전력의 모델과 SPICE의 결과의 상대적인 오차는 10%이하의 비교적 정확한 결과를 얻을 수 있었다.

본 논문이후 진행해야할 과제는 CMOS 인버터의 최대 전력 모델을 다 입력 게이트로 확장시켜 최대 소모 전력을 예측하는 것이다.

참고 문헌

- [1] Masakazu Shoji, Theory of CMOS Digital Circuit and Failures, Princeton University Press, Princeton, 1992.
- [2] John P. Uyemura, Circuit Design for CMOS VLSI, Kluwer Academic Publishers, Massachusetts, 1992.
- [3] Anantha P.Chandrakasan, Samuel Sheng, and Robert W. Brodersen, "Low-Power CMOS Digital Design," IEEE Jour Of Solid State Circuit, pp. 473-484, April 1992.
- [4] Neil H.E.Weste and Kamran Eshraghian, Principles of CMOS VLSI Design, Addison Wesley, 1993.
- [5] H.J.Veendrick, "Short-circuit dissipation of static CMOS circuit and its impact on the buffer circuit," IEEE Jour. Of Solid-State Circuit. vol. SC-19, no. 4, pp.468-473. 1984.
- [6] T.Sakurai, "Alpha-power low MOSFET model and its application to CMOS inverter delay and other formulas," IEEE Jour. Of Solid-State Circuit, vol. SC-25, no. 2, pp. 584-593, Apr. 1990.
- [7] S.Vermum and N.Scheinberg, "short-circuit power dissipation estimation for CMOS logic gates," IEEE Trans. Circuit and System, vol. 41, no. 11, pp. 762-765, Nov. 1994.