

RF 패키지 특성화 및 등가 회로 모델

이 동훈, 어 영선
한양대학교 전자공학과

RF Package Characterization and Equivalent Circuit Model

Dong-hun Lee and Yungseon Eo
Dept. of Electronic Engineering, Hanyang University
E-mail : egmn@iel.hanyang.ac.kr
eo@iel.hanyang.ac.kr

Abstract

Package structures for RF circuit design are characterized and their equivalent circuits are developed. The circuit parameters are extracted by using the commercial 3-dimensional field solver. The circuit models are verified by using the full-wave analysis in the RF region. It is demonstrated with the developed circuit models that the packages have substantial effects on the RF circuit performances.

I. 서론

최근 급증하는 통신수요에 부응하기 위하여 시스템의 소형화 및 경량화의 실현이 가능한 RF 회로에 대한 연구가 활발히 진행되고 있다. 특히, 실리콘 CMOS 기술을 RF 회로 설계에 적용함에 있어서 RF 회로 자체의 설계도 중요하지만 패키지에 의한 전자기적 기생 효과 등으로 인하여 성능에 상당한 제약을 받기 때문에 패키지 효과를 설계의 초기 단계에서부터 고려하지 않는다면 보다 높은 주파수 대역에서 동작시키기 위한 RF 회로 설계에 상당한 문제가 된다[1]-[6]. 하지만 패키지에 기인한 기생 성분을 보다 정확한 설계를 위해 RF 회로 설계에 반영하지 않으면 RF 영역에서 RF 회로 설계에 심각한 문제가 된다[2]. 특히 RF 영역에서는 많은 부품들이 플라스틱 패키지에 장착되어 사용되고 있으나 이들 부품은 패키지에 대한 정확한 모델 없이 설계되어 사용 가능한 주파수 범위를 확장할 때 심각

한 문제점이 된다. 또한 full-wave 시뮬레이션에 의존하여 이들의 성능을 평가하는 것은 상당한 계산시간을 요하며 시스템의 복잡성 증가로 인해 사실상 불가능하다. 따라서 효과적으로 시뮬레이션 할 수 있는 등가 회로의 개발은 필수적이다.

II. RF 패키지 모델 및 등가회로

본 논문에서는 RF 패키지에서 많이 사용하고 있으며 회로 기판의 표면에 장착하여 사용하는 플라스틱 SOP 8 패키지 모델을 개발하여 이를 16 핀으로 확장하였다. 플라스틱 SOP 패키지는 RF 영역에서 저가의 패키지로 널리 사용되어지고 있으며 물리적인 구조는 그림 1에 나타내었다. 이러한 SOP 8 패키지의 불연속한 각 부분에서 발생하는 기생 현상을 정확히 모델하기 위하여 리드 배열(lead array), 패들(paddle), 그리고 패들과 리드 사이의 연결 부분으로 나누었다.

1.1 리드 배열의 등가 회로

리드의 불연속한 구조로 인하여 실제 회로 기판의 그라운드와 이루는 거리가 달라지므로 각각의 리드에 대한 자체 커패시턴스 값은 C_1 과 C_2 로 나누어 모델하였다. 그림 1에서 보듯이 SOP 8 패키지는 좌, 우측에 하나의 리드 배열이 존재하고 각 배열은 4개의 불연속한 구조를 갖는 리드들로 이루어져 있다. 리드와 리드 사이의 커플링은 상호 커패시턴스(C_m)와 상호 인덕턴스(M)를 사용하여 모델하였으며 서로 이웃하지

않는 리드간의 커플링에 의한 영향은 매우 미약하기 때문에 무시하였다.

1.2 패들 모델

구조적으로 SOP 패키지에서 패들은 실제 그라운드(회로 기판의 그라운드)로부터 거리를 두고 떨어져 있는 구조를 갖기 때문에 패키지 내부 회로에 이상적인 그라운드로서의 역할을 하지 못하고 전위의 변동을 발생시킨다. 이는 패들 위에 놓인 다이(die) 상의 회로 패턴의 전류 흐름에 의하여 영상 전류(image current)가 패들 표면에 유기 되기 때문이다[3][5]. 신호 리드에 의해 유기된 영상 전류는 패들의 그라운드 리드쪽으로 흘러가며 이러한 현상을 인덕턴스 망으로 모델하였다.

1.3 전체 RF 패키지 회로 모델

SOP 패키지에서 전류의 흐름은 패키지 외부로부터 인가되는 신호가 리드를 타고 본드 와이어를 지나 RF IC 패턴으로 공급되는 주된 전류와 이러한 주된 전류에 의하여 패들 표면에 유기 되어 가장 가까운 그라운드 리드를 통하여 실제 회로 기판의 그라운드로 흐르는 전류로 나뉘어 진다. MMIC 회로, 패들, 그리고 리드 배열간의 연결은 이상적인 트랜스포머를 사용함으로써 주된 전류 흐름과 영상 전류의 흐름으로 나누어 모델해야 한다[3][4]. 즉, 그림 2에서 보듯이 T_1 에 의해서 유기되는 전류는 MMIC 회로에 인가되어 주된 전류를 형성하고, 또한 패들에 직접 연결됨으로써 패들에 유기되는 전류를 형성한다. 반면 T_2 는 회로에 출력 전류를 인가한다. 따라서 그림 2에서 보듯이 모든 전기적 회로 모델은 트랜스포머로 연결해야 한다.

III. 등가 회로 파라미터의 추출

앞서 나누어 모델한 각 부분의 파라미터를 추출하기 위한 시뮬레이션 구조를 그림 3에 나타내었고 상용 툴인 MAXWELL을 이용하여 파라미터를 추출하였다. 리드와 회로 기판의 그라운드 사이의 거리차 및 리드를 감싸는 물질의 특성에 의해 커패시턴스 값이 달라지고, 리드가 심각한 불연속 구조를 가지기 때문에 리드에 대한 파라미터의 추출에는 3차원 구조에 대한 시뮬레이션이 필수적이다.

리드에서 MMIC까지를 연결 시켜주는 본드 와이어는 저항이 무시할 정도로 작으므로 간단히 인덕턴스만으로 모델링하였다. 파라미터 추출 시 본드 와이어간에 발생하는 상호 인덕턴스 영향을 고려하기 위해 본드 와이어 4개를 함께 시뮬레이션하였다. 그림 2에 보이는 패들 모델에 대한 인덕턴스를 추출하기 위한 구조는 그림 3(c)에 나타내었다. SOP 패키지의 패들은 구조적으로 금속판의 형태를 취하고 있기 때문에 판에 대한 파라미터를 추출하는 것은 매우 어려운 일이며 실제 제작을 통하여 측정하는 경우에도 용이하지 않다. 패들의 파라미터를 구하기 위하여 full-wave 시뮬레이션에 근거한 네트워크 파라미터를 사용하면 수학적으로 음수의 값을 가지게 되는데 이것은 물리적으로 무의미한 값이다[3]. 이러한 문제점의 해결을 위해 본 논문에서는 패들 판에 대한 인덕턴스 파라미터를 추출하기 위하여 그림 3(c)과 같이 리드가 위치하는 포트(port)에 더미(dummy)를 연결하여 추출한 후 더미 부분은 디임베딩하였다.

IV. Full-wave 시뮬레이션에 근거한 모델의 검증

제시한 SOP 8 패키지의 전기적 등가 회로 모델의 검증과 패키지에 의한 영향을 분석하기 위하여 그림 4에 보듯이 DUT(device under test)로서 두께가 1.2 μm 인 마이크로스트립 회로를 이용하였다. 전체 시스템에 대해 정확한 특성은 맥스웰 방정식을 직접 푸는 full-wave 해석을 통하여 검증할 수 있다. 즉, 개발한 등가 회로로부터 얻은 S-파라미터와 full-wave 분석으로부터 얻은 S-파라미터가 상호 일치한다면 역으로 개발한 모델이 정확하다고 볼 수 있다[6]. 따라서 본 연구에서 이 두 시뮬레이션 결과를 비교하여 개발한 전기적 등가 회로 모델의 정확성을 검증하였다.

SOP 8 패키지 내부의 패들과 리드 등 금속 도체의 두께(150 μm)와 패키지 물질을 모두 고려한 시뮬레이션 결과를 그림 5에서 나타내었고, 이 경우 1번 리드에 입력 신호를 인가하고 출력은 4번 리드로 하여 시뮬레이션하였고 2, 4, 5, 8번 리드는 그라운드로 할당하였다. 그림 5에서 보듯이 등가 회로에 의한 S-파라미

터와 full-wave 시뮬레이션에 의한 결과가 잘 일치함을 알 수 있다. 또한 플라스틱 패키지 물질의 영향을 분석하기 위하여 플라스틱 물질을 고려한 경우와 고려하지 않은 경우의 시뮬레이션 결과를 그림 6에 나타내었으며 그 영향은 매우 심각하게 나타남을 알 수 있다. 따라서 패턴만의 S-파라미터 곡선과 비교하여 패키지를 씌운 경우에는 패키지로 인한 전기적 기생 성분의 영향 때문에 삽입 손실(S21)과 반사 손실(S11)은 급격하게 증가하고 있다. 패키지를 하지 않은 경우의 패턴에 대한 S-파라미터 곡선에서 신호의 전송 손실이 발생하기 시작하는 주파수는 약 6GHz 근처인 반면 패키지를 한 경우는 약 1GHz 근처에서 나타나고 있다. 즉, 패키지는 RF IC 회로에 매우 큰 영향을 주기 때문에 패키지를 씌우지 않은 상태(bare chip)에서의 실험 데이터를 근거로 한 RF 회로 설계는 상당한 문제를 일으킬 수 있다.

회로 모델을 8핀에서 16핀으로 확장된 리드를 갖는 SOP 구조에 대해 유사한 모델링 기법을 사용하고 시뮬레이션한 결과를 그림 7에서 나타내었다. 그림 7에서 보듯이 확장된 핀을 가지는 구조에 대해서도 제시한 RF 패키지 모델링이 타당함을 알 수 있다.

SOP 패키지 구조에서 그라운드 리드의 수와 그 위치는 패키지의 성능에 매우 심각한 영향을 미친다. 이는 그라운드를 많이 할당한다는 것이 물리적으로 전류의 return 경로를 쉽게 형성해 줘서 보다 이상적인 시스템으로 만든다는 것을 의미한다. 그라운드의 영향을 분석하기 위해 그라운드 리드 수는 4개에서 2개로 줄이고, 신호 리드와의 간격을 변화 시키면서 시뮬레이션한 결과를 그림 8에 나타내었다. 그라운드 수가 4개인 경우와 비교하여 그라운드 수가 2개인 경우에는 패키지의 사용 가능한 주파수 범위가 낮아지고, 신호 선과의 간격이 멀어 질수록 주파수 범위도 낮아진다. 따라서 원하는 주파수 범위를 얻기 위해서는 패키지 성능을 고려해서 그라운드 수 뿐만 아니라 신호 선과의 간격도 동시에 고려하여 RF 회로 설계를 해야 한다.

V. 결론

본 연구에서는 RF 패키지를 모델링하기 위하여 패

키지를 기능별로 3개의 단위 부분으로 나누고 각각에 대한 등가 전기 회로 모델을 제시하였다. 이의 타당성 검증을 위해 회로 영역에서는 범용 회로 시뮬레이터인 HSPICE를 사용하였고, SOP 패키지 전체 구조를 반영한 full-wave 시뮬레이션으로부터 계산한 S-파라미터를 비교하여 이들이 RF 대역에서 일치한다는 것을 보임으로 제시한 모델의 정확성을 검증하였다.

제시한 모델을 통하여 RF 패키지의 성능에 가장 심각한 영향을 미치는 것은 패들의 영향이며 이의 영향을 최소화하기 위하여 그라운드의 함당이 최적화 되어야 한다는 것을 제시하고 이를 개발한 등가 회로를 이용한 시뮬레이션을 통해 검증하였다. 즉, 개발한 회로 모델을 통하여 패키지의 그라운드 리드의 숫자에 비례하여 패키지 성능이 좋아지는 것을 회로 시뮬레이션을 통하여 확인하였고, RF 패키지에 의한 영향 즉, 리드 및 패들과 그라운드의 배치 및 신호선의 배치가 회로에 주는 영향 역시 등가 회로를 사용하여 정확히 예측하였다. 또한 다른 회로 패턴을 갖는 SOP와 보다 많은 수의 리드를 가지는 SOP에 대해서도 같은 방법을 적용하여 유사한 방법으로 전기회로 모델의 정확성을 확인하였다.

VII. 참고문헌

- [1] A. Rofougaran et al, "A 1GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver," IEEE JSSC, vol. 31, No. 7, pp. 880-889, July 1996.
- [2] Patrick J. Sullivan, et al., "An Integrated CMOS Distributed Amplifier Utilizing Packaging Inductance", IEEE Trans. MTT, vol. 45, No 10, Oct, 1997.
- [3] R. W. Jackson, "A Circuit Topology for Microwave Modeling of Plastic Surface Mount Packages", IEEE Trans. MTT, vol. 44, No. 7, July, pp. 1140-1146, 1996.
- [4] Mario Righi, Giampaolo Tardioli, Lucia Cascio, and Wolfgang J. R. Hofer, "Time-domain characterization of packaging effects via segmentation technique", IEEE Trans. MTT, vol. 45, pp 1905-1910, Oct. 1997.
- [5] Chi-Taou Tsai, "Package Inductance Characterization at High Frequencies", IEEE Trans. CPMT, vol. 17, No 2, pp. 175-181. May 1994.
- [6] Anastasis C. Polycarpou, et al., "The Finite-Element

Method for Modeling Circuits and Interconnects for Electronic Packaging", IEEE Trans. MTT, vol. 45, No. 10, Oct. 1997

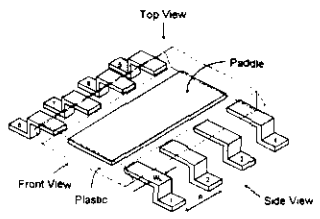


그림 1. SOP 8 패키지의 물리적인 구조

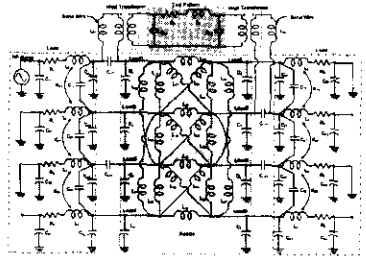


그림 2. SOP 8 패키지의 전체 동가 회로 모델

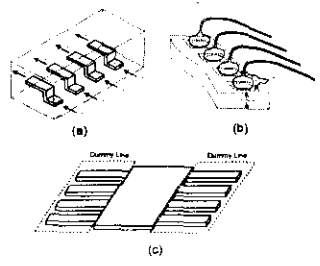


그림 3. 나뉘어진 각 부분의 파라미터 추출 구조
(a) 리드의 파라미터 추출 구조, (b) 본드 와이어의 파라미터 추출 구조, (c) 패들의 파라미터 추출 구조

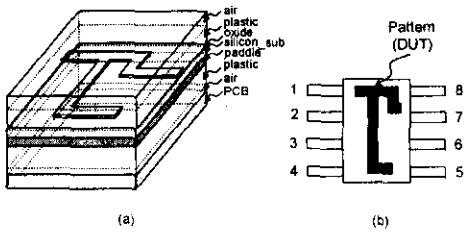


그림 4. SOP 8 패키지에 사용한 DUT의 형태
(a) 파라미터 추출 구조, (b) DUT를 위에서 본 형태

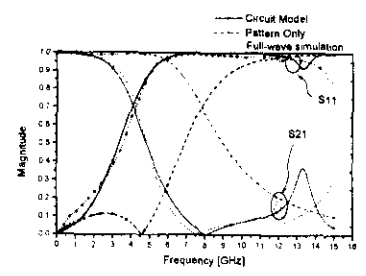


그림 5. SOP 8 패키지의 시뮬레이션 결과 비교

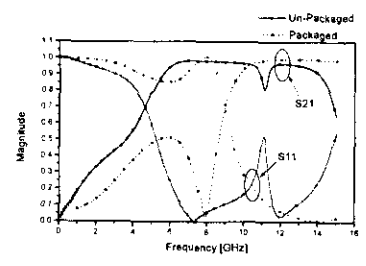


그림 6. 플라스틱 패키지를 씌운 경우와 그렇지 않은 경우의 비교

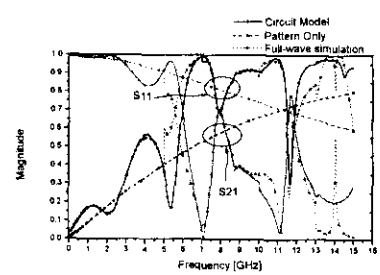


그림 7. SOP 16 패키지의 시뮬레이션 결과 비교

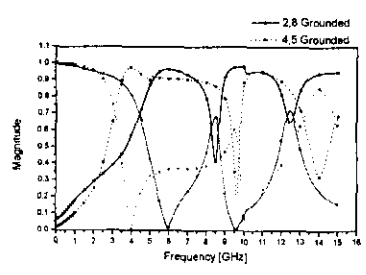


그림 8. 그라운드 리드의 위치를 다르게 한 경우, 실선은 2, 8번 리드를 그라운드로 한 경우, 점선은 4, 5번 리드를 그라운드로 한 경우