

# 복잡한 다층구조 IC 패키지의 회로 모델링 및 스위칭 노이즈 분석

유한종, 어영선  
한양대학교 전자공학과

## A Simplified Circuit Model and Switching Noise Characterization of the Complicated Multi-Layer IC Package

Hanjong Yoo, Yungseon Eo  
Dept. of Electronic Engineering, Hanyang University  
E-mail : hjyoo@iel.hanyang.ac.kr  
eo@iel.hanyang.ac.kr

### Abstract

A new simplified circuit model for the switching noise analysis of the complicated multi-layer IC package is developed. The current flowing mechanism on the ground and power planes of the package is simplified by using the dependent current sources and partial plane circuit model. The methodology is very cost-efficient as well as accurate. It is demonstrated that the noise based on the simplified circuit model has an excellent agreement with that of the complicated full circuit model. However, the simplified model takes only 5 minutes for the switching noise simulation, while the full circuit model takes more than 4 hours.

### 1. 서론

최근 반도체 실리콘 공정 기술의 급속한 발전에 힘입어 0.25um 이하의 선폭을 갖는 미세 반도체 가공 기술의 도래와 함께 수천만개 이상의 트랜지스터를 하나의 칩 속에 집적하여 약 500MHz 이상의 클럭 속도로 동작하는 고도 반도체 회로 설계 기술이 가능하게 되었다[1]. 그러나 이들 고성능 VLSI 칩에서는 GHz 대역의 주파수 밴드위드를 요하고 다층구조로 된 패키지를 사용하기 때문에 패키지의 설계가 주요한 설계상의 문제로 대두되기 시작하였다. 특히 최근의 칩에서도 패키지에 의한 스위칭 노이즈는 시스템의 성능과 오동작의 주요한 원인이 되고 있으며 이를 해결하기 위한 시그널 인테그리티 문제는 더 이상 패키지만의

문제가 아니다[2]. 따라서 이들의 특성을 정확히 반영할 수 있는 회로 모델을 통하여 노이즈를 해석하는 것은 필수적이다. 그러나 다층구조로 구성된 복잡한 패키지 회로에 대하여 일반적인 단층구조에서와는 비교할 수 없을 정도로 복잡하기 때문에 물리적 특성을 그대로 반영한 회로 모델을 사용하여 직접적으로 시뮬레이션 하여 특성을 분석하거나 해석한다는 것은 입력 파일 작성의 복잡성을 차지하고라도 방대한 시뮬레이션 시간이 소모되기 때문에 사실상 불가능하다. 본 논문에서는 이러한 문제를 극복하기 위하여 다층구조 패키지의 특성 분석을 할 수 있는 간단화 된 등가회로 모델을 개발하여 시뮬레이션 할 수 있는 새로운 방법을 제시한다.

### 2. 다층구조 패키지의 회로 모델링

패키지 시스템 설계에 문제가 되는 것은 동시 스위칭에 의한 노이즈 때문이다. 이 노이즈는 간단히 CMOS 회로에서 그라운드 선의 인덕턴스에 유기되는 전류 변화와 인덕턴스 값으로부터 다음과 같이 수식적으로 표현 할 수 있다[3][4].

$$V_{\text{swi}} = nL_p \frac{di}{dt} \quad (1)$$

여기서  $n$ 은 동시에 스위칭하는 게이트의 갯수이고  $di/dt$ 는 시스템의 속도에 관련되는 인자다. 스위칭 노이즈는 노이즈 자체로서의 회로 동작 오류 뿐만 아니라 이에 따른 스위칭 지연 문제도 야기시킬 수 있기

때문에 시스템 전체에 미치는 영향이 총체적이다. 따라서 설계의 초기 단계부터 세심한 주의를 기울여 최적의 패키지로 설계해야만 한다.

그러나 그림 1 과 같은 다층 패키지 구조를 원론적인 회로로 모델링하여 SPICE 시뮬레이션 한다는 것은 방대한 계산 시간과 컴퓨터 메모리의 부족으로 일반적인 워크스테이션(workstation)을 사용하여 시뮬레이션 한다는 것은 불가능하다. 또한 드라이버의 크기나 스위칭 갯수, 디커플링(decoupling) 커패시턴스의 크기에 따른 영향을 검증하기 위해서는 그림 1 의 패키지 구조를 반복적으로 시뮬레이션 해야 하는데 이를 실행 한다는 것은 거의 무한대의 계산 시간을 필요로 하게 될 뿐만 아니라 입력 파일의 작성도 대단히 비효율적이다. 따라서 모델을 단순화시킴으로써 시뮬레이션을 효과적으로 할 수 있는 방법을 도입하지 않으면 안된다.

본 논문에서 제시하는 방법은 전체 회로에서 스위칭 노이즈에 큰 영향을 끼치지 않는 영역을 간단히 종속 전류원을 사용하여 등가회로로 모델링하는 것이다. 이는 등가회로에 사용되는 소자들의 수를 줄이므로써 SPICE 의 계산 시간을 줄일 수 있다. 즉, 다이(die)에서 그라운드 평면으로 흘러 들어오는 전류는 평면에 연결된 비아와 핀들을 통해 외부로 흘러 나가게 되고 이때 각 비아와 핀에 흐르는 전류는 균일하게 흐르는 것이 아니라 전류 패스의 임피던스에 반비례하여 흐르게 된다. 따라서 다이로부터 그라운드 평면 위로 전류가 나오는 지점으로부터 멀리 떨어진 지점에는 전류가 거의 흐르지 않게 되는데 이러한 핀들은 스위칭 노이즈에 큰 영향을 끼치지 못하므로 간단한 등가회로로 대체한다. 복잡한 다층구조 패키지를 간단하게 모델링 하기 위해 본 논문에서 제시한 방법의 등가회로를 그림 2 에서 보였다. 그림 2 에서 part1 은 실제 스위칭 노이즈가 얼마나 발생하느냐에 대한 관심이 되는 부분이다. 그리고 part1 이외의 나머지 영역은 간단히 종속 전류원을 사용하여 모델링 하였다. 그림 2 의 등가회로는 part1 에 존재하는 핀들을 통해 얼마만큼의 전류가 흘러 나가는가를 아는 것이 중요하다. 이것을 알 수 있다면 X 지점에 흐르는 전류 A 를 계산해서 part1 의 핀을 통과하지 않는 전류의 양을 조절하는 것이 가능하기 때문이다. 또한 part1 에 존재하는 핀들을 통해 흘러나가는 전류의 양은 그림 1 의 전체 시뮬레

이션을 통해 쉽게 알 수 있다. 그림 2 에서의 인버터는 PMOS 의 경우  $W=150\mu\text{m}$ ,  $L=0.35\mu\text{m}$  를 이용하였고 NMOS 는  $W=80\mu\text{m}$ ,  $L=0.35\mu\text{m}$  를 이용하였다. 또한 인버터의 입력은 0.5ns rising time 을 갖고 0V 에서 3.3V 로 스위칭하는 전원을 사용하였다. 이러한 인버터에서 나오는 총 전류의 양은 18mA 의 peak 값을 갖는다. 그리고 part1 의 각 핀들을 통해 흘러 나가는 총 전류의 peak 값은  $400\mu\text{A}$  이다. 따라서 X 지점을 흐르는 총 전류중에 종속 전류원을 사용하여 part1 의 핀을 통과하지 않는 전류를 조절할 수 있다. 그림 2 의  $\alpha$  는 part1 로 흘러 들어가는 전류를 조절하기 위한 계수이고 다음과 같이 결정한다.

$$\alpha = \frac{A - p}{2A(N + 1)} \quad (2)$$

여기서  $p$  는 part1 의 핀들을 통해 외부로 나가는 총 전류이고  $N$  은 평면 등가회로에서 한 열의 단위 cell 의 갯수이다. 이를 근거로 하여 일반적으로 드라이버가 여러 개인 경우도 위에 제시한 방법으로 쉽게 확장할 수 있다. 다수의 드라이버가 그라운드 평면상에 여러 곳에서 전류를 흘러 들여보내는 경우를 그림 3 의 등가회로로 모델링 하였다. 그림 3 에서 스위칭한 인버터 1 은 part2 에 직접 전류를 흘러 보내고 인버터 2 와 3 은 part2 밖의 그라운드 평면을 통해 part2 로 전류를 공급한다. 따라서 계수  $\beta, \gamma$  는

$$\beta = \frac{B - p_{ext1}}{B} \quad (3)$$

$$\gamma = \frac{C - p_{ext2}}{C} \quad (4)$$

로 결정한다. 여기서 B 와 C 는 part1 밖의 드라이버에서 스위칭 할 때의 전류이고  $p_{ext1}$  과  $p_{ext2}$  는 B 와 C 의 전류 중 part1 의 핀들을 통해 외부로 나가는 전류이다. 또한  $\alpha$  는 식 (2)와 같은 방법으로 결정한다. 한편 드라이버 2 개가 그라운드 평면의 가까이 붙어있는 지점에 전류를 공급하는 경우 이들의 part2 에 대한 영향은 거의 같다고 가정 할 수 있고 이들은 하나의 종속 전류원을 이용하여 전류를 조절 할 수 있다.

### 3. 파라미터 추출 및 시뮬레이션을 통한 검증

실제로 다층구조 패키지는 그림 1 에서처럼 그라운드와 파워 전원의 공급을 위하여 단순히 선을 사용하지 않고 다층구조 중 일부 층의 layer 전체의 평면을

사용하여 파워 및 그라운드 평면의 안정화를 꾀하고 있다. 그라운드와 파워 평면은 기본적으로 인덕턴스, 커패시턴스, 기판 저항 성분으로 모델링 할 수가 있는데, 이 중 인덕턴스와 커패시턴스는 스위칭 노이즈의 주 요인이기 때문에 이들의 정확한 파라미터 추출은 필수적이다. 그라운드와 파워 평면을 모델링하기 위해서는 평면을 그림 4와 같이 단위 cell로 나눈 후에 단위 cell에 대해 파라미터들을 추출해야 한다. 그렇지 않으면 방대한 계산시간 때문에 실제로 파라미터 추출이 불가능하다. 때문에 그라운드 평면에 분사된 전류는 분사된 지점으로부터 방사형으로 각 핀들을 향해 퍼져 나간다는 사실에 근거하여 이를 근사적으로 나타내기 위해 그림 4와 같이 단위 회로로 모델링하였다. 특히 인덕턴스 추출 시 실제 그라운드와 패키지 내부의 그라운드 평면은 서로 동일하지 않기 때문에 이러한 문제를 정확히 모델링 해야 한다. 즉, 인덕턴스는 전류가 형성하는 폐루프를 자력선이 얼마나 투과하는가에 의해 결정되는데 패키지에서의 폐루프는 패키지 내부의 그라운드에 의해 형성되는 것이 아니라 패키지 외부의 그라운드와 폐루프를 형성하기 때문이다. 또한 패키지 내부의 그라운드는 전체 시스템의 기준 전압으로써 언제나 일정한 전압을 유지해야 하지만 패키지 내부의 그라운드는 외부의 그라운드와 패키지 내부의 그라운드를 연결해주는 선의 기생 파라미터와 그라운드 평면 자체의 기생 파라미터에 의해 시스템이 스위칭 할 때 전압의 변화가 생길 수 있다. 따라서 이에 대한 모델링이 패키지의 해석 및 설계에서는 가장 중요한 문제다.

파워와 그라운드 평면에서의 인덕턴스 추출을 위해 그림 5와 같은 구조를 MAXWELL을 이용하여 추출하였다. A와 B는 패키지 내부의 파워 또는 그라운드 평면이고 A'와 B'는 실제 패키지 외부의 그라운드로 가정하였다. 실제 A와 B 지점 사이의 인덕턴스는 A와 A', B와 B' 지점사이의 인덕턴스를 deembedding하여 추출하여야 한다. 그림 4의 단위 cell에서의 파라미터를 추출하기 위해서 그림 5의 A 및 B 지점을 보서리 방향에 대한 파라미터와 대각선 방향에 대한 파라미터를 모두 추출해야 한다.

위에서 제시한 방법으로 패키지에서의 스위칭에 의한 그라운드 평면에서의 노이즈를 시뮬레이션한 결과를 그림 6과 그림 7의 노이즈 맵에 나타내었다. 이

것은 part1에서 위치에 따른 스위칭 노이즈의 정도를 표시한 것이다. 그림 6은 그림 1의 패키지 전체를 시뮬레이션한 결과이고 그림 7은 그림 2의 단순화 모델을 사용하여 시뮬레이션한 결과이다. 이들은 매우 잘 일치하는 것을 볼 수 있다. 그러나 주목할 것은 패키지 전체를 시뮬레이션하는 방법이 극히 간단한 하나의 게이트를 사용한 경우라도 HSPICE를 사용한 시뮬레이션 시간이 대략 4시간 이상을 소모했던 반면에 본 논문에서 제시하는 방법은 대략 5분 정도의 시뮬레이션 시간이 걸렸으며 결과는 거의 완벽하게 일치하였다.

#### 4. 결론

본 논문에서는 다층구조 패키지의 특성 분석을 간단하고 정확하게 할 수 있는 방법을 제시하였다. 특히 패키지 회로 전체를 시뮬레이션 한다는 것은 방대한 계산 시간을 소모하게 되므로 관심 밖의 영역을 간단히 종속 전류원을 사용한 등가회로로 대체하여 시뮬레이션 시간을 단축하였다. 제안한 방법을 검증하기 위해 그라운드 평면에 분포하는 스위칭 노이즈를 노이즈 맵으로 표현하여 패키지 전체를 시뮬레이션하는 방법과 비교하였다. 본 논문에서 제안한 방법은 VLSI 회로 설계시 패키지 영향의 검증을 위해 효율적으로 사용할 수 있다.

#### 참고문헌

- [1] The National Technology Roadmap Semiconductor Technology Needs, SIA Report, 1997.
- [2] R. Senthinathan and J. L. Prince, "Application Specific CMOS Output Driver Circuit Design Techniques to Reduce Simultaneous Switching Noise," IEEE Trans. JSSC., vol. 28, no. 12, pp. 1383-1388, Dec. 1993.
- [3] S. R. Vemuru, "Accurate simultaneous switching noise estimation including velocity-saturation effects," IEEE Trans. CPMT., vol. 19, no. 32, pp. 344-349, May. 1996.
- [4] A. Vaidyanath, et al., "Effect of CMOS Driver Loading Conditions on Simultaneous Switching Noise," IEEE Trans. CPMT, vol. 17, pp. 1724-1728, Nov. 1991.

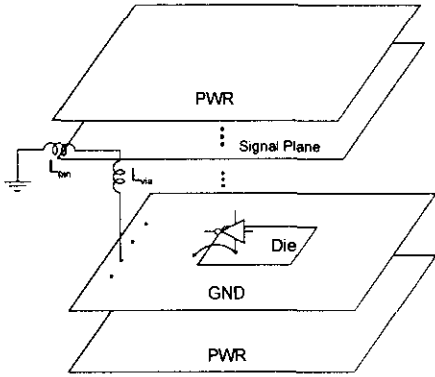


그림 1. 스위칭 노이즈 시뮬레이션을 위한 등가회로

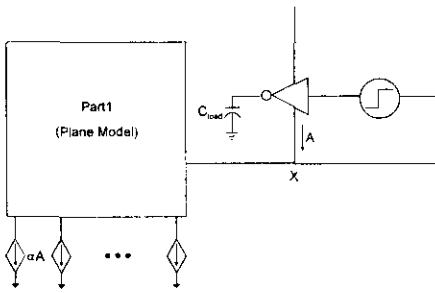


그림 2. 시뮬레이션을 위한 평면 모델의 단순화된 모델

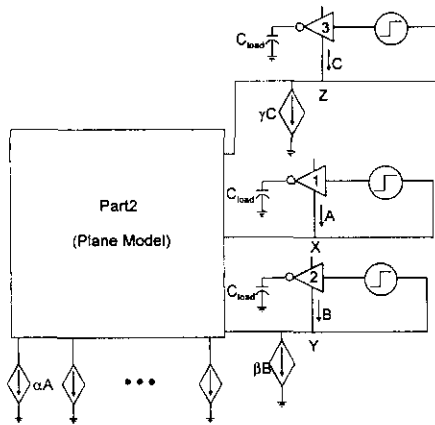


그림 3. 다수의 드라이버가 스위칭하는 경우

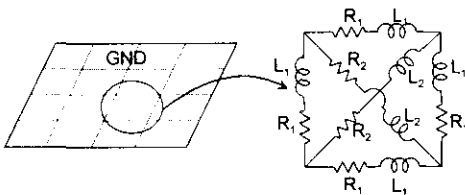


그림 4. 그라운드 평면의 모델링

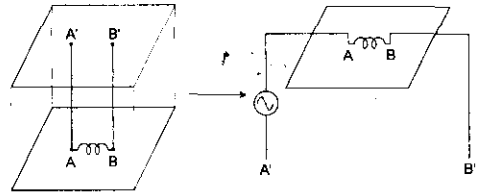


그림 5. 그라운드 평면에서의 인덕턴스 추출

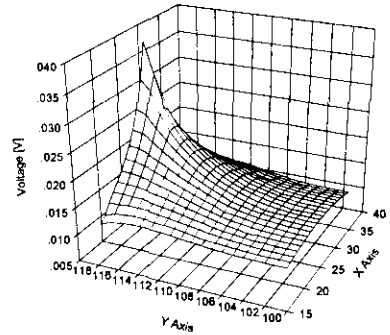


그림 6. 그라운드 평면에서의 스위칭 노이즈 맵 (전체 회로 모델)

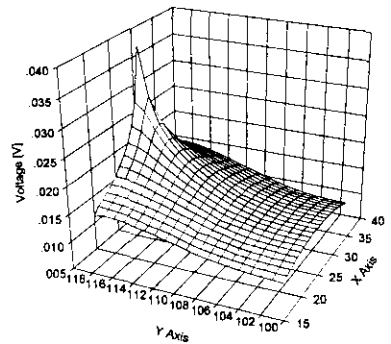


그림 7. 그라운드 평면에서의 스위칭 노이즈 맵 (단순화된 회로 모델)