

어닐링 기능을 갖는 CNN칩 설계

류성환*, 박병일*, 정금섭**, 전홍우***

* 금오공과대학교 전자공학과 대학원

** 구미기능대학 정보통신학과 조교수

*** 금오공과대학교 전자공학부 부교수

Design of CNN Chip with Annealing Capability

Sung-Hwan Ryu*, Byung-Il Park*, Gum-Sub Jung**, Hung-Woo Jeon***

* Dept. of Electronic Eng., Kumoh National University of Technology

** Compunction Technology Dept., Kumi Polytechnical College

*** School of Electronic Eng., Kumoh National University of Technology

Abstract

In this paper the cellular neural networks with annealing capability is designed. The annealing capability helps the networks escape from the local-minimum points and quickly search for the global-minimum point. A 6×6 CNN chip is designed using a $0.8\mu m$ CMOS technology, and the chip area is $2.89mm \times 2.89mm$. The simulation results for hole filling image processing show that the general CNN has a local-minimum problem, but the annealed CNN finds the global-minimum solutions very efficiently.

I. 서론

셀룰러 신경망(Cellular Neural Network : CNN)[1,2,4]는 처리요소인 셀들이 국부적으로 연결된 어레이로 구성된 병렬 시스템으로써 셀룰러 신경망의 동작은 템플릿(template)의 계수와 셀들의 위상에 의해 결정된다. 셀룰러 신경망은 국부적인 연결 특성을 가지므로 하드웨어 구현이 용이하며 칩의 집적도를 높일 수 있다는 장점을 가진다. 그러나 셀룰러 신경망은 주어진 조건에서 안정된 정상상태를 가지나 각 셀의 초기 상태에 따라 출력 에너지는 전역적 최소점(global-minimum)을 보장하지는 않는다. 이와 같이 출력에너지가 국부적 최소점(local-minimum)에 있는 경우 셀룰러 신경망은 최적해를 보장하지 못하게 되므로 본 논문에서는 기존의 셀룰러 신경망 회로에 어닐링 기능[6,7]을 부가하여 최적의 해가 출력되도록 하는 셀룰러 신경망 회로를 설계하였

다. 본 논문에서 설계한 어닐링 기능을 갖는 전류방식의 셀룰러 신경 회로망 칩은 $0.8\mu m$ CMOS 공정을 이용하여 설계를 하였으며 6×6 영상 입력에 대한 hole filling 영상처리 동작에 대한 시뮬레이션을 통해 어닐링 기능에 의한 최적화 동작을 확인하였다. 본 논문의 구성은 다음과 같다. II절에서는 셀룰러 신경망의 하드웨어 구현에 대한 기본 셀에 대해 기술하였으며 III절에서는 셀룰러 신경망의 레이아웃에 대해 기술하였다. IV절에서는 설계된 회로를 이용하여 hole filling 영상 처리 동작에 대한 시뮬레이션한 결과를 비교 검토하였으며 V절에서 결론 및 앞으로의 연구 방향을 기술하였다.

II. 기본 셀 설계

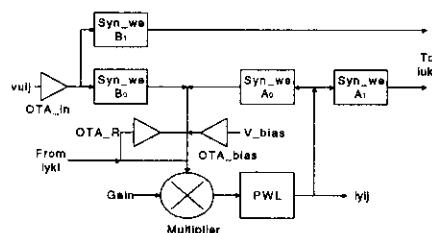


그림 1 Block diagram of CNN with annealing capability

어닐링 기능을 갖는 셀룰러 신경망은 국부적인 연결을 가지므로 규칙적 레이아웃이 가능한 구조를 가진다. 설계된 셀룰러 신경망의 기본 셀 블록도는 그림 1과 같다. 블록도에서 보는 바와 같이 각 셀의 출력은 이웃한 셀에

연결되는 구조를 가진다. 어닐링 기능은 셀룰러 신경망의 이득을 조절하여 어닐링을 수행하도록 하였다. 설계된 회로의 기본 회로는 다음과 같다.

1. OTA(Operational Transconductance Amplifier)

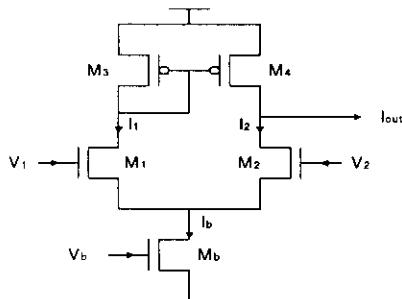


그림 2 OTA circuit

OTA는 전압제어 전류원으로 차동입력전압을 출력전류로 변화시키는 기능을 가진다. 본 논문에서는 입력전압-전류 변환회로, 바이어스 회로 그리고 저항 회로에 OTA를 이용하였다. OTA 회로[3,5]는 그림 2와 같으며 입력 전압 $V_{in} \equiv V_1 - V_2$ 에 대한 출력전류 $I_{out} \equiv I_1 - I_2$ 은 아래와 같다.

$$I_{out} = \sqrt{\beta I_B} V_{in} = g_m V_{in} \quad (1)$$

여기서 $\beta = \mu C_{ox}(W/L)$ 이며 I_B 는 트랜지스터 M_b 에 의한 바이어스 전류로 OTA 출력전류의 최대 크기를 결정하는 요소이다. 전압-전류 변환 입력회로와 셀의 바이어스 전류를 조절하는 바이어스 회로는 V_2 단을 기준 전압으로 고정시키고 V_1 에 입력 전압 및 바이어스 조절 전압을 공급하도록 구현하였다. 저항 회로는 V_1 단을 기준 전압으로 고정시키고 V_2 단을 출력단과 연결함으로서 구성된다. 이때의 저항 값은 $1/g_m$ 이다. 여기서 g_m 은 전달 콘덕턴스이다. 전달 콘덕턴스 g_m 은 바이어스 전류 I_B 로 조절이 가능하므로 설계에 있어 수동소자로 구현하는 저항보다 구현이 쉽다는 장점을 가진다. 본 논문에서 입력 변환회로를 3.0V ~ 4.4V의 입력전압으로 $-10\mu A$ ~ $10\mu A$ 의 범위에서 선형적 변화를 가지도록 설계를 하였으며 바이어스 전류의 범위는 $-10\mu A$ ~ $10\mu A$ 이다. 그리고 저항은 $53.6k\Omega$ 으로 구현하였다.

2. 아날로그 곱셈기(Analog Multiplier)

아날로그 곱셈기는 하드웨어 어닐링 기능을 수행하도록 하기 위해 사용된다. 본 논문에서는 Wide-range Gilbert 곱셈기[8]를 사용하여 넓은 동작 범위를 갖도록 설계를 하였다. Wide-range Gilbert 곱셈기회로는 사사 분면 곱셈기의 기능을 가지며 두 쌍의 차동 입력단 V_1 ,

V_2 및 V_3, V_4 와 한 개의 출력단 I_{out} 을 가지는 구조로 모든 트랜지스터는 포화영역에서 동작한다. 출력전류 I_{out} 은 두 쌍의 차동입력단에 의해 결정되며 관계식은 다음과 같다.

$$I_{out} = \sqrt{\beta_n \beta_p / 2} (V_1 - V_2) (V_3 - V_4) \quad (2)$$

설계된 곱셈기의 첫 번째 차동쌍은 입력 단으로 V_1 은 셀의 상태전압으로 연결되며 V_2 는 기준전압에 연결하였다. 두 번째 차동쌍은 뉴론의 이득을 제어하여 어닐링 기능을 수행하도록 설계를 하였다. 또한 V_4 는 기준전압 1.0V를 공급하도록 하였으며 V_3 은 어닐링 제어 전압을 공급하도록 설계하였다. 위의 두 차동쌍의 차가 각각 $\pm 1.2V$ 와 $\pm 1.0V$ 의 범위에서 좋은 동작 특성을 가진다.

3. PWL 회로

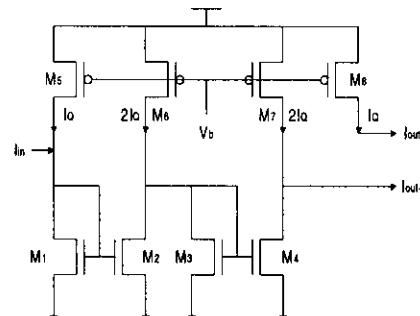


그림 3 Piece-wise linear circuit

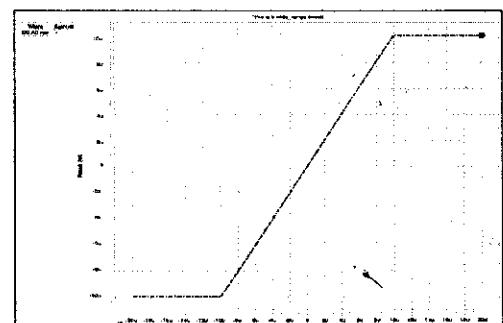


그림 4 Result of PWL simulation

PWL회로[2,4]는 뉴론 동작을 하는 회로로써 두 개의 전류 제한기를 이용하여 설계하였다. PWL회로는 하나의 입력과 2개의 출력 [I_{out+}, I_{out-}]를 가진다. PWL회로는 아래와 같은 동작을 하는데 그 범위는 [$I_Q, -I_Q$]로 제한되며 구간에서 선형 함수의 특성을 가진다

$$\begin{aligned} I_{+} - I_{-} &= -I_Q : & I_{in} &\leq I_Q \\ I_{in} &: & -I_Q &< I_{in} < I_Q \\ I_Q &: & I_{in} &\geq I_Q \end{aligned} \quad (3)$$

본 논문에서는 그림 4와 같이 단위전류가 $10\mu A$ 인 PWL 회로를 설계를 하였다.

4. 시냅스 회로

시냅스 회로는 그림 5와 같이 이진 제어워드에 의해 가중치가 결정되는 전류 리미터 회로로 구성하였으며 가중치의 크성을 변화시켜 사사분면 곱셈기능이 가능하

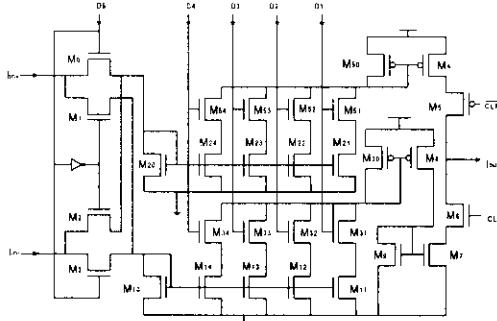


그림 5 Synapse weight circuit

도록 하였다[2]. 시냅스의 가중치 출력전류의 크기는 D_4-D_1 의 제어워드의 이진 신호와 그에 연결된 전류리미터의 전류이득에 의해 결정되며 D_5 는 가중치의 크성을 결정하는 신호이다. 가중치 제어신호에 의한 시냅스의 출력전류는 다음과 같다.

$$I_{out} = \sum_{i=1}^4 A_i D_i (I_+ - I_-) \quad (4)$$

여기서 A_i 는 트랜지스터 $M_{20}(M_{10})$ 에 대한 $M_i(M_i)$ 의 W/L의 비에 의해 결정되는 전류이득이다. 제어입력 신호 D_5 가 논리 '1'일 경우 정상 출력을 하며 논리 '0'일 때 반대 출력을 가지게 된다. 설계된 시냅스 회로는 전류이득을 각각 2, 1, 0.5, 0.25배로 설계하여 최대범위를 ±3.75배의 범위 내에서 프로그래밍을 할 수 있도록 하였다. 시냅스 가중치 회로는 자체로 입력으로 퍼드백되는 A_0 템플릿을 비롯 이웃 셀의 입력으로 연결되는 A_1 , A_2 템플릿으로 구성할 수 있다. 또한 입력에 관련된 템플릿 B_0 , B_1 , B_2 를 각각 한 개씩 구성하게 된다.

III. CNN 레이아웃

본 논문에서 설계한 어닐링 기능을 가지는 6×6 셀룰러 신경망의 레이아웃은 그림 6에 나타내었다. 본 논문에서 설계한 칩은 $0.8\mu m$ CMOS공정을 이용하여 설계를 하였다. 설계된 기본 셀의 크기는 $5.78\mu m \times 4.92\mu m$ 이며 전체 셀은 $2.89\mu m \times 2.89\mu m$ 의 크기를 가진다. 본 칩에서 사

용된 트랜지스터의 수는 약 15,000개 정도이며 현재 IDEC를 통하여 제작 중에 있다.

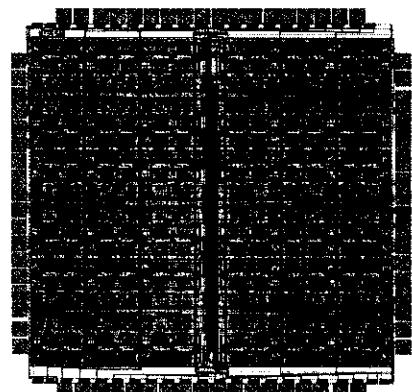


그림 6 Layout of CNN chip

IV. 시뮬레이션 결과

본 논문에서는 설계된 칩을 이용하여 hole-filling 영상처리를 시뮬레이션하여 어닐링과정을 확인하였다. hole filling 영상처리 시뮬레이션은 그레이 레벨 영상입력을 이용하였으며 초기 상태의 영향을 확인하기 위하여 초기 상태 값을 가정하여 실험하였다. 이러한 상태에서 초기값과 입력 값이 인가되었을 경우 어닐링 기능을 부가 한 경우와 부가하지 않았을 때의 경우를 출력 결과를 통해 비교 검토하였다. 어닐링 기능을 가지는 이득 입력은 램프함수 형태($g(t)=at$)의 신호를 인가하여 실험하였으며 비어닐링 상태는 이득($g(t)=1$)을 일정하게 준 경우와 같다.

1. Hole filling

C(1,1)	C(1,2)	C(1,3)	C(1,4)	C(1,5)	C(1,6)
C(2,1)	C(2,2)			C(2,5)	C(2,6)
C(3,1)		C(3,3)	C(3,4)	..	C(3,6)
C(4,1)		C(4,3)	C(4,4)	..	C(4,6)
C(5,1)	C(5,2)		C(5,5)	C(5,6)	
C(6,1)	C(6,2)	C(6,3)	C(6,4)	C(6,5)	C(6,6)

(a) Input image

C(1,1)	C(1,2)	C(1,3)	C(1,4)	C(1,5)	C(1,6)
C(2,1)	C(2,2)			C(2,5)	C(2,6)
C(3,1)				C(3,5)	C(3,6)
C(4,1)				C(4,5)	C(4,6)
C(5,1)	C(5,2)			C(5,5)	C(5,6)
C(6,1)	C(6,2)	C(6,3)	C(6,4)	C(6,5)	C(6,6)

(b) Output image

그림 7 Hole filling image processing

그림 7(a)의 영상을 입력하고 아래와 같은 템플릿을 적용하였다. 그림 8은 어닐링 기능을 부가하지 않았을 경우(a)와 어닐링 기능을 부가하였을 경우(b)의 시뮬레이션 결과이며 그림 7(b)은 어닐링 기능을 부가한 후 hole filling을 실행결과이다. 그림 8에서 보는 바와 같이 비어닐링 상태(a)에서의 C(5,5)는 (+)의 값을 갖는 오류

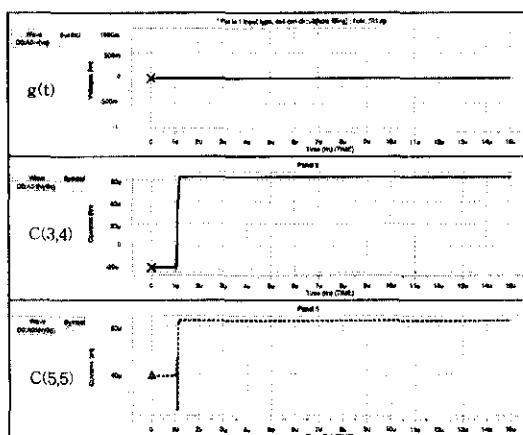
가 발생하지만 어닐링 신호 부가(b) 후 C(5,5)는 정상적인 (-)값을 찾아가는 결과를 얻을 수 있었다. 또한 그림 7(b)와 같이 hole filling처리에 의해 C(3,3), C(3,4), C(4,3), C(4,4)는 백색에 존재하는 값이 흑색으로 채워지는 결과를 확인 할 수 있었다.

0	1	0
1	2	1
0	1	0

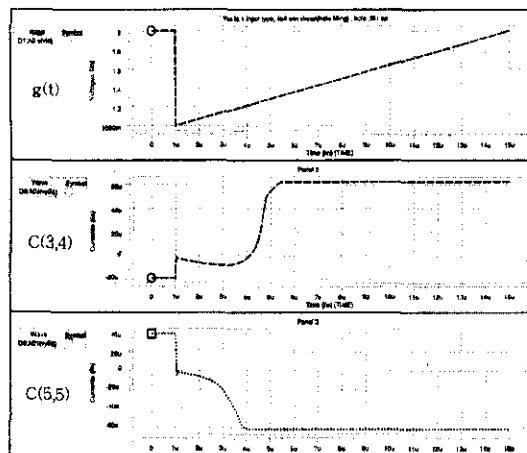
테플리 A

0	0	0
0	3.75	0
0	0	0

템플릿 B



(a) unannealed case



(b) annealed case

그림 8 Result of hole-filling simulation

V. 결론

본 논문에서는 hole filling 영상처리를 통해 설계된 회로의 어닐링 동작을 확인 하였다. 시냅스 가중치는 디지털적으로 프로그래밍이 가능하므로 다양한 신호처리가 가능하다. 본 칩은 편 수의 제한으로 인해 실제 동작이 가능한 부분은 4×4 침으로 동작을 한다. 앞으로 본 연구는 아날로그 적으로 프로그램이 가능한 시냅스 회로의 구현과 셀의 행렬 선택 기능을 부과하여 입력 편수를 줄임으로서 더 큰 영상처리를 가능한 회로를 설계할 예정이며 어닐링 시간을 단축시킬 수 있는 연구를 보강 할 예정이다. 이러한 연구가 진행된다면 필기체 문자인식과 같은 시스템의 구현이 가능할 것이다.

참고문헌

- [1] L. O. Chua and L.Yang, "Cellular neural networks :Theory", IEEE Trans. Circuits Syst., vol.35, pp. 1257-1290, Oct. 1988
 - [2] B. J. Sheu and J. Choi, "Neural Information Processing and VLSI", Boston, MA: Kluwer Academic, 1995.
 - [3] Phillip E. Allen, Douglas R. Holberg, CMOS Analog Circuit Design, Holt, Rinehart and Winston, 1987.
 - [4] J. E. Varriortors, E. Sanchez-Sinencio, J. Ramirez-Analog, "A current-mode cellular neural network implementation", IEEE Trans. Circuits Syst. vol. 40 pp. 147-154. Mar. 1993.
 - [5] Carver Mead, Analog VLSI and Neural Systems, Reading, MA; Addison Wesley, 1989.
 - [6] S. H. Bang and B. J. Sheu, E. Y. Chou. "A hardware annealing method for optimal solutions on cellular neural network", IEEE Trans. Circuits Syst' vol43. pp. 409-421. Jun. 1996.
 - [7] E. Y. Chou and B. J. Sheu, R. C. Chang, "VLSI design of optimization and image processing cellular neural networks", IEEE Trans. Circuits Syst. pp. 15-19. Jan. 1997.
 - [8] Mohammed Ismail and Terri Fiez, Analog VLSI Signal and Information Processing, McGraw-Hill, 1994.