

종합평면을 사용한 면적 최적화에 관한 연구

○
이용희* 정상범** 이천희**
LG Semicon Ltd.* 청주대학교**

A Study on the area minimization using general floorplan

Lee, Yong Hui* Jeong, Sang Bum** Yi, Cheon Hee**
LG Semicon Ltd.* Chongju University**

Abstract

Computer-aided design of VLSI circuits is usually carried out in three synthesis steps; high-level synthesis, logic synthesis and layout synthesis. Each synthesis step is further broken into a few optimization problems. In this paper we study the area minimization problem in floorplanning(also known as the floorplan sizing problem). We propose the area minimization algorithms for general floorplans.

I. 서론

VLSI 회로의 설계 복잡도가 증가함에 따라 설계는 순차적인 방식으로 수행하는 몇몇의 부분 작업으로 나누어 진행하는데 CAD를 이용하여 VLSI회로를 설계하는데에는 고수준 합성, 논리합성, 설계합성 등 3가지의 합성 단계에 의해 이루어진다.

본 논문에서는 설계 합성에 관한 면적 최적화 문제에 대해 다루었는데 설계 합성의 평면상에서 면적을 최적화하는 2개의 면적 최소화 알고리즘을 제시하였다.

이러한 면적 최적화 방법에 대해서는 많은 연구가 이루어 졌으며[1][2][3] 이러한 면적 최적화 알고리즘은 평면의 특별한 부류[4][5]와 종합 평면을 다루는 것으로 나눌 수 있다.

본 논문에서는 종합평면에 대해 면적 최적화 방법에 대해 제시하였는데 모두 철단 개념에 근거를 두고 있다. 종합화된 철단을 사용하여 잘리지 않는 부분이라

도 평면을 분할 할 수 있다. 또한 가지와 경계 알고리즘과 달리 이 방법은 평면의 구조 정보를 효율적으로 알 수 있으며 실질적으로 주어진 평면이 잘릴 경우 잘리는 평면에 대한 다행식 알고리즘을 감소 시키게 된다.

II. 평면도의 분석

평면 작업은 실제 VLSI 회로 설계에 있어서 중요한 단계이다. 평면 작업의 복잡도 때문에 평면 작업은 두 단계로 나누어 진행 된다. 먼저 칩상에서 부분회로들의 상대 좌표를 결정하므로써 각 부분 회로들은 다른 차원으로 가능한한 몇개의 설계 선택 방안을 가질수 있다. 두번째는 첫번째 단계에서 결정된 평면이 고정되어 있는 동안 총 칩면적을 최소화 하기 위해 각 부분 회로에 대한 설계 선택 방안을 선정하는 것이다. 여기서는 두번째 단계인 면적 최적화 문제에 대해서 다루었다.

평면은 그림 2-1에 나타낸것과 같이 더해지거나 감

해지는 접합이 없이 각 블럭들이 공통의 위치를 가지기 위해 하나로 쌓여진 사각형을 기본 사각형의 기본 블럭으로 만드는 것이다. 개개의 사각형은 총 침면적을 나타내며 블럭은 부분 회로에 대한 면적을 나타낸다. 평면은 부분회로간의 상,하,좌,우등 기하학적 관계를 나타낸다.

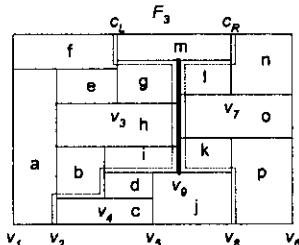


그림 2-1. 평면도

면적 최적화 문제는 주어진 각 블럭에 대한 실현의 구성과 평면에 대해 최적화 면적을 가지는 평면을 실현 하므로써 결정된다. r 을 평면 또는 블럭의 실현이라 놓고 $w(r)$ 을 폭이라하고 $h(r)$ 을 높이라고 표시하자. 두 개의 실현 r_1, r_2 에 대해서 $w(r_1) \leq w(r_2)$ 그리고 $h(r_1) \leq h(r_2)$ 가 만족이 된다면 r_1 은 r_2 에 의해 좌우된다고 말할 수 있다(여기서 두개의 실현은 동일한 높이와 폭을 가지고 있다고 고려). 실현의 구성에 있어서 구성에서의 실현은 다른 실현에 의해 좌우될 경우 여분이 되며 그렇지 않을 경우 비여분이 된다. 비여분 실현의 구성은 I) 구성에서 두개의 실현이 동일한 폭과 높이를 가지지 않으며 ii) 실현이 1차원에 따라서 오른차순으로 분류될 경우 다른 차원에 따라 내림차순으로 정렬될 것이다.

V-채널(H-채널)은 평면에서 최대 수직선 분할이다. 예를들어 그림 2.1에서 V_1 으로 굵게 그린 것이 V-채널이며 평면을 V-그래프와 H-그래프라고하는 극 그래프 쌍으로 표현할때 아주 유용하게 사용이 된다. 평면에서 V-그래프의 정점은 V-채널이며 H-그래프의 경우에는 H-채널이 된다. 각 블럭에 대응하여 타원이 두개의 V-채널에 연결되어 있으며 V-그래프에서 블럭 쪽에 두개의 반대되는 수직면을 가지고 있다. 이 타원은 블리과 동일한 이름으로 명명이 되며 V-그래프에서는 원쪽에서 오른쪽으로 타원을 그리고 H-그래프에서는 위에서 아래 방향으로 그리게 된다. 그림 2-2는 평면의 쌍 그래프를 나타낸 것인데 평면의 V-그래프와 H-그래프는 타원의 교차없이 평면에 그려진다. 만약 D가 극 그래프이면 D의 쌍을 D^* 로 표시한다. 따라서 극 그래프는 쌍 극 그래프라고 한다.

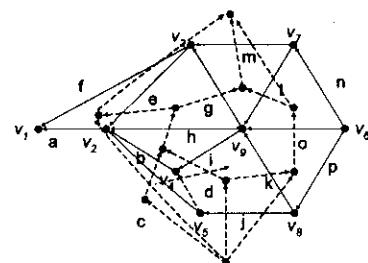


그림 2-2. V-그래프(굵은 선)과 H-그래프(점선)

III. 평면절단기법

평면을 절단하는데 있어서 다항식 알고리즘은 절단하는 평면을 두개의 평면으로 나누는 채널이 항상 있다는 사실에 근거를 두고 있다. 이러한 부류의 채널을 cutline이라고 한다. 본 논문에서는 cutline의 개념에 근거를 두고 있다. 먼저 Stockmeyer[5]의 결과[6]를 간단히 언급하면 그림 2-3(a)에서 평면 F_1 이 부분적으로 그려졌다고 가정하자. 수직 cutline V 는 그림 2-3(b)에서 나타낸것과 같이 두개의 평면 L_1 과 R_1 을 분할한다. F_1 의 모든 비여분 실현은 L_1 과 R_1 의 비여분 실현으로부터 구할 수 있다. 더우기 F_1 의 비여분 실현의 수는 최소한 L_1 과 R_1 의 합이다. 이 결과는 절단하는 평면에 대해 효율적인 면적 최적화 알고리즘을 유도하므로 이 결과는 F_1 이 절단되는 경우 L_1 과 R_1 에 적용이 된다. 하지만 평면이 비절단으로 고려될 경우 평면은 두개의 평면으로 분할하는 cutline이 없게 된다. 주요 개념은 일반화된 cutline이며 Stockmeyer의 방법과 유사하다. 종합화된 cutline은 채널에 의해 유기되며 그림 2-3(c)에서 평면 F_2 의 경우 수직 채널 V 는 F_2 의 분할을 그림 2-3(c)와 같이 3개의 부분으로 유기된다. 두개의 평면 L_2 와 R_2 는 그림 2-3(d)에서와 같이 분할로부터 유기되며 왼쪽의 L_2 는 빗금친 부분과 빗금치지 않은 F_2 의 부분으로 구성되고 오른쪽의 R_2 역시 빗금친 부분과 빗금치지 않은 부분으로 구성된다.

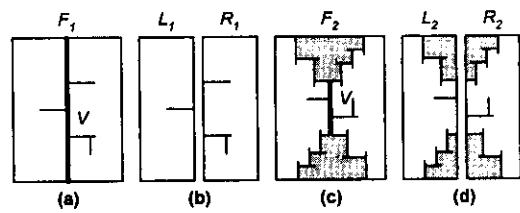


그림 2-3. Cutline과 종합화된 cutline의 예

IV. 종합화된 면적 최적화 방법

최적화 문제는 전체 해를 얻기 위해 설계 합성에 있어서 회로의 평면, 배치, 배선, 집적을 위한 일반적인 문제를 해결하므로써 이루어진다.

종합화된 cutline의 개념으로 면적 최적화를 표현할 수 있는데 먼저 면적 최적화 방법은 $A(Cv, D)$ 에서 블록에 대한 선택이 하나씩 고려되고 $A(Cv, D)$ 에 대한 각 선택 σ 에 대해 SL과 SR은 비여분 실현의 구성을 결정하기 위해 면적 최적화 알고리즘을 차례로 호출하는 L-R을 호출하므로써 결정된다. $S\sigma$ 를 결정하기 위한 방법을 고려하면 $A(Cv, D)$ 에서 각 블럭으로 F의 비여분 실현의 구성을 SL과 SR로 부터 σ 에 의해 지정된 실현을 갖는다. 한가지 간단한 방법은 SR에서 실현으로 SL에서 실현을 쌍으로 만들지 않는 것이다. 그리고 쌍에 의해 형성된 실현 차원을 결정하고 나머지는 제거한다. 면적 최적화 방법을 그림 4-1에 나타내었다.

1. $L = \emptyset$;
 2. Choose a channel v in F (suppose v in V -graph);
 3. For each selection σ for $A(Cv, D)$ do
 - /* Step 3 will be executed only once if $A(Cv, D) = \emptyset$ */
 - 3.1. Apply procedure L-R to determine SL;
 - 3.2. Group the realizations in SL so that all realizations in the same group have the same value for
 - 3.3. $L \leftarrow$
 - 3.4. For $I < - 1$ to m do
 - 3.4.1. Compute Σ^2 ;
 - 3.4.2. $temp1 \leftarrow$ the set of nonredundant realizations of $DR(v)$ with each block in $A(Cv, D)$ having one realization specified by Σ^2 ;
 - 3.4.3. $temp2 \leftarrow V\text{-merge}(S1I, temp1);$
 - 3.4.4. $L \leftarrow$ the set of nonredundant realizations of $LUtemp2$;
 - 3.5. $L \leftarrow$ the set of nonredundant realizations of LUL ;
4. Return L .

그림 4-1. 면적 최적화를 위한 알고리즘

V. 실험 결과

이 새로운 방법이 평면의 비여분 실현을 결정하기 위해 적용되었을 경우 최악의 시간과 공간 비용에 대해 실험을 하였다. Stockmeyer의 알고리즘과 유사하게 이 알고리즘의 실행은 분할 트리를 형성하며 분할 트리는 원래의 평면이 이 알고리즘에 의해 분할된 것에 따라 계층적인 평면을 갖게 된다. 그림 2-1에서 평면 F3의 경우를 고려하여 분할 트리로 나타내면 그림 4-2와 같다. 여기서 각 블럭에서의 수는 블럭의 이름을 나타내며 블럭의 설정이 고정되어 있을 경우 블럭에서 "*"로 놓는다. 먼저 V9를 F3으로 분할하기 위해 선택 한다(L3, R3). 이 알고리즘은 $A(Cv1, D) = \{m, j, d, c\}$ 에 대해 선택을 고려하고 블럭의 구성은 종합화된 cutline(두개의 점선)을 하나씩 닫는다. $A(Cv1, D)$ 에 대해 각 블록 m, j, d, c 에 대해 실현을 고정하는 작업을 선택하고는 SL을 결정하고 L3 w, r, t(V7, V8)의 L-비여분 실현의 구성을 결정하기 위해 L-R을 호출한다. SL을 결정하기 위해 L-R은 경로상의 블럭을 소스 D의 V6에서 V8 또는 V7까지 하나씩 블럭 1과 3의 모든 실현의 조합을 고려한다. 각 조합에 대해 L-R은 $O(k)$ 시간과 $O(k)$ 공간에서 종료 될 수 있는 L3의 비여분 실현의 구성을 결정하므로 L3은 절단이 된다. 따라서 SL은 $O(k^3 \log k)$ 시간과 $O(k^3)$ 공간에서 발견될 수 있다. 다음으로 이 알고리즘은 하나씩 SL에서 실현을 고려한다. SL에서 각 실현에 대해 이 알고리즘은 σ 에 의해 지정된 실현을 가지고 있는 $A(Cv1, D)$ 에서 각 블럭으로 된 평면 R3의 비여분 실현의 구성을 결정한다. 이것은 이 알고리즘을 차례로 호출하므로써 완료된다. 그림 4-2에서 앞 평면은 모두 절단이며 이러한 각 앞 평면에 대해 비여분 실현의 수는 블럭의 총 실현 수에 의해 경계 지워진다. 그림 4-2에서 보인 실현의 다른 구성의 최악 크기는 절단되는 앞 평면으로부터 밑에서 위로 경계 지워 질수 있다. 이러한 크기 경계는 그림 4-2에서 평면에 대해 옆으로 나열되며 실현의 구성 크기가 각각 최악의 경우 $O(t \log t)$ 와 $O(t)$ 에서 기껏 해야 t 인 노드에서(평면) 시간과 공간 비용을 분할에서 보는 것은 어렵지 않다. 따라서 F3상에서 이 알고리즘의 총 시간과 공간 비용은 각각 $O(k^{10} \log k)$ 과 $O(k^{10})$ 이 된다. 실제로 실제 시간과 공간 비용은 최악의 경우보다 더 좋으므로 F3은 최소 $O(k^5)$ 비여분 실현이 된다.

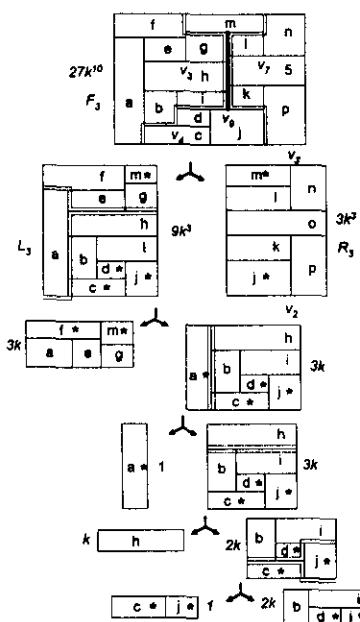


그림 4-2. 평면 F3에 대한 분할 트리

VI. 결론

이 알고리즘의 방법은 고려된 평면의 구조적인 정보를 고려하고 Otten[3]과 Stockmeyer[5]에 기인한 절단평면에 대한 면적 최적화 알고리즘을 사용하였다. 이것은 아주 큰 규모의 평면에 있어서 효율적으로 사용될 수 있음을 보여주었다. 그리고 앞으로의 과제는 L-R, AMP-1, AMP-2의 3단계에서 반복되는 수를 줄이는 것이며 계층적 평면에 대한 면적 최소화에 이러한 방법들을 적용하여 실현하는 것이다.

본 논문에서는 설계 합성에 관한 면적 최적화 문제에 대해 다루었는데 설계 합성의 평면상에서 면적을 최적화하는 2개의 면적 최소화 알고리즘을 제시하였다.

참고문헌

- [1] K. Chong and S. Sahni, "Optimal Realizations of Floorplans", IEEE Trans. on Computer Aided Design, p.12:793-801, 1993.
- [2] T. Lengauer, "Combinatorial Algorithms for

Integrated Circuit Layout", John Wiley&Sons, New York, 1990.

- [3] R.H.J.M. Otten, "Automatic Floorplan Design", In Proc. ACM/IEEE Design Automation Conf., p.261-267, 1982.
- [4] P. Pan, W. Shi, and C. L. Liu, "Area Minimization for Hierarchical Floorplans", In Digest Intl. Conf. on Computer-Aided Design, p. 436-440, 1994.
- [5] L. Stockmeyer, "Optimal Orientations of Cells in Slicing Floorplan Designs", Info. and Control, p.59:91-101, 1983.
- [6] Y.E.Cho, "A Subjective Review of Compaction", In Proc. ACM/IEEE Design Automation Conf., p.396-404, 1985.