

연결-에지 추가 기법을 이용한 클락 스큐 최적화

정광옥, 류광기, 신현철, 정정화
서울시 성동구 행당동 17 한양대학교 CAD 및 통신 회로 연구실
Tel : (02) 290 - 0562, e-mail : kwang@shira.hanyang.ac.kr

Clock Skew Optimization Using Link-Edge Insertion

Kwang-Ok Jung, Kwang-Ki Ryoo, Hyun-Chul Shin, Jong-Wha Chong
CAD & C.C. Lab., Dept. of Electronic Eng.,
Hanyang University., 17 HaengDang-Dong, SeongDong-Gu, Seoul, Korea
Tel : (02) 290 - 0562, e-mail : kwang@shira.hanyang.ac.kr

Abstract

An efficient algorithm for clock skew optimization is proposed in this paper. It construct a new clock routing topology which is the generalized graph model while previous methods uses tree-structured routing topology.

Edge-insertion technique is used in order to reduce the clock skew. A link-edge is inserted repeatedly between two sinks whose delay difference is large and the distance is small. As a result, the delay of a sink which has the longer delay is decreased and the clock skew is reduced.

The proposed algorithm is implemented in C programming language. From the experimental results, we can get the total wire length minimization under the given skew bound.

I. 서론

최근 집적회로 설계기술이 발전하고 회로의 동작 속도가 증가함에 따라 배선 기술에 대한 관심이 집중되고 있다. 공정기술이 발전하여 디자인 룰이 작아질수록 논리 셀에서의 지연 시간은 감소하는 반면, 배선에 의한 신호의 지연이 오히려 증가하게 되었다. 클락 신호에 의해서 동기 되는 디지털 회로에서는 클락 배선 문제가 회로의 성능을 좌우한다. 특히, 클락 신호가 싱크(sink)에 도착하는 시간의 차이로 발생하는 클락 스큐는 회로의 오동작을 유발하는 가장 큰 요인이다.

따라서, 회로를 오동작 없이 고속으로 동작시키려면 클락 스큐를 반드시 주어진 제한범위 이내로 줄여야 한다.

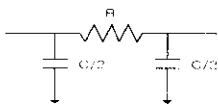
[2], [3]에서는 클락 소스로부터 모든 싱크까지의 배선의 길이를 동일하게 하는 방법을 이용하여 클락 스큐를 최소화하는 알고리즘을 제안하였다. 그러나, 신호의 지연시간은 배선의 길이를 동일하게 만들어도 각 싱크의 부하에 따라 달라지기 때문에 여전히 클락 스큐가 존재한다. [4]에서는 엘모어 지연시간 모델(Elmore delay model)을 사용하여 모든 싱크의 지연시간을 같게 함으로써 클락 스큐가 제로인 클락 배선 방법을 제시하였고, [5], [6]에는 엘모어 지연시간 모델을 사용하여 클락 스큐를 제로로 유지하면서, 머징-세그먼트(merging segment) 개념을 도입하여 배선길이를 최소화시키는 방법을 제안하였다.

클락 스큐를 제로로 하려면 총 배선 길이가 증가하는 것을 알 수 있다[7][8]. 실제 회로에서는 클락 스큐가 회로의 클락 주기의 5%정도면 오동작을 일으키지 않는다. 이를 이용하여 [7], [8]에서는 클락 스큐의 허용 범위를 정하고 그 범위 내에서 배선의 길이를 최소화하는 방법을 제안하였다.

본 논문에서는 주어진 클락 스큐 범위 내에서 총 배선 길이를 최소화하는 알고리즘을 구현한 후, 연결-에지 추가 방법을 이용하여 동일한 클락 스큐 범위를 만족하면서 더 작은 배선길이를 갖는 클락 트리를 합성하는 방법을 제안한다.

II. 배선 및 지연시간 모델링

초미세 집적회로의 배선은 RC 분산 모델을 사용하지 않으면 정확한 지연 시간을 계산할 수 없다. RC 분산 모델[1]은 RC의 무한한 ladder network으로 지연 시간을 계산할 수 있으나, 계산이 매우 복잡하며 해가 시간 영역에서 구해지지 않기 때문에, RC lumped 모델로 근사화하여 지연시간을 계산할 수 있다. 근사화한 lumped 모델은 <그림1>과 같은 π -모델이 주로 사용된다.



<그림 1> π - 모델

배선을 RC로 모델 화했을 때, 배선의 저항을 R_{int} 라고 하고 커패시턴스를 C_{int} 라 했을 때, R_{int} 와 C_{int} 는 다음과 같이 정의된다.

$$R_{int} = \frac{\rho L}{WH}$$

$$C_{int} = K_c (C_{ox} + C_l),$$

$$C_{ox} = \epsilon_{ox} \frac{WL}{t_{ox}}, \quad C_l = \epsilon_{ox} \frac{LH}{L_s}$$

ρ 는 저항율, ϵ 은 유전율을 나타낸다. K_c 는 fringing-커패시턴스를 나타내는 상수로 주로 2가 사용되고, C_{ox} 와 C_l 는 각각 도선과 기판, 도선과 도선 사이의 커패시턴스이다. L_s 는 배선들 사이의 간격, W 는 배선의 폭, L 은 길이, H 는 높이, t_{ox} 는 절연층의 두께이다.

클락 트리는 π -모델을 사용하면 RC-네트워크의 트리로 볼 수 있다. 이 경우 트리의 루트로부터 각각의 리프까지의 지연시간을 계산하는 방법은 엘모어 지연 시간 계산 방법을 사용한다.

트리의 임의의 노드 i 에서, C_i 는 노드 i 의 커패시턴스, r_i 와 c_i 는 각각 i 의 패어런트 방향의 에지의 저항과 커패시턴스라고 하자. 노드 i 가 루트이면 $r_i = c_i = 0$ 이다. 또 $IS(i)$ 를 노드 i 의 모든 차일드의 집합이라고 했을 때, 노드 i 에 의한 서브트리 T_i 의 총 커패시턴스는 다음과 같이 구할 수 있다.

$$C_i = c_i + \sum_{k \in IS(i)} C_k$$

그리고, $N(i,j)$ 를 노드 i 와 노드 j 사이의 경로에 존재하는 i 를 제외한 모든 노드의 집합이라고 하면 노드 i 로부터 노드 j 까지의 지연시간 t_{ij} 는 다음의 수식으로

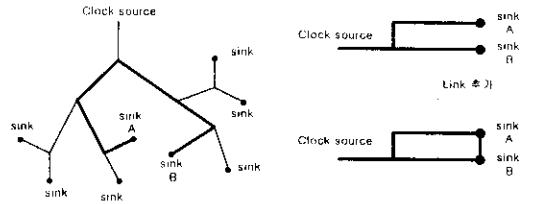
계산된다.

$$t_{ij} = \sum_{n \in N(i,j)} r_n C_n$$

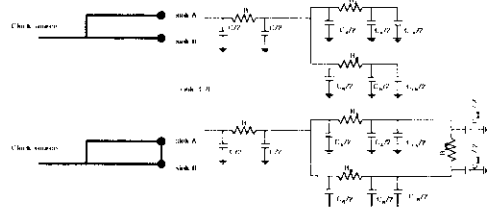
III. 연결-에지 추가를 이용한 클락 스쿠 최적화

1. 연결-에지 추가

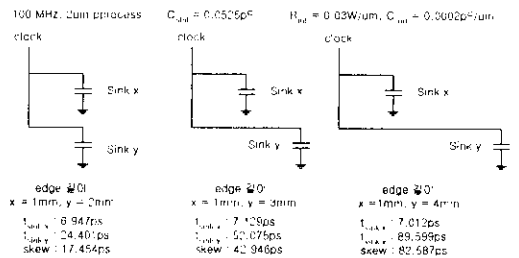
지연시간의 차이가 존재하는 두 싱크 사이에 연결-에지를 추가하면 <그림2>와 같은 루프(Loop)를 형성하게 되어 지연시간이 작은 싱크는 지연시간이 커지게 되고, 지연시간이 큰 싱크는 지연시간이 감소하게 된다. 이를 확인하기 위하여 <그림3>과 같이 π -모델로 변환하여 실험하였다. <그림4>는 싱크들의 지연시간의 차이에 따라 세 가지의 예를 보여주고 있다. 이 예제에 연결-에지의 길이를 달리 하면서 클락 스쿠가 어떤 변화를 하는지 HSPICE를 사용하여 실험하였다.



<그림2> 링크 추가 전/후 배선 형태



<그림3> 링크 추가 전/후의 시뮬레이션 모델(π -모델)



<그림 4> 연결-에지 추가 실험에 쓰인 예

<표1>은 <그림4>의 예제에 연결-에지의 길이가 1mm, 2mm인 경우, 각각에 대한 지연시간의 변화를 보이고 있다. 연결-에지를 추가하면 지연시간이 작은 싱크(sink x)는 지연시간이 증가하고, 지연시간이 큰 싱크(sink y)는 지연 시간이 감소하는 것을 확인할 수 있다. <표2>는 연결-에지 추가에 의한 클락 스큐의 감소를 나타낸다. 여기서, 연결-에지의 길이가 1mm이고, 싱크의 길이가 각각 1mm, 4mm인 경우에는 스큐가 약 23%로 감소하는 것을 볼 수 있다.

<표1> 그림 4의 실험 결과 (지연시간)

에지 길이	link 길이 (mm)	x = 1mm y = 2mm	x = 1mm y = 3mm	x = 1mm y = 4mm			
		T _{sink x} (ps)	T _{sink x} (ps)	T _{sink x} (ps)	T _{sink x} (ps)		
링크 전	--	6.947	24.401	7.129	52.075	7.012	89.599
링크 후	1	18.264	23.694	22.980	35.299	27.135	46.415
	2	22.803	34.974	26.291	51.244	30.983	69.380

<표2> 그림 4의 실험 결과 (클락 스큐)

에지 길이	x = 1mm y = 2mm	x = 1mm y = 3mm	x = 1mm y = 4mm	
		Skew (ps)		
링크 전	--	17.454 (1.000)	42.940 (1.000)	82.587 (1.000)
링크 후	1	5.430 (0.311)	12.319 (0.287)	19.280 (0.234)
	2	12.171 (0.697)	24.953 (0.581)	38.397 (0.465)

2. 연결-에지 추가 알고리즘

III장 1절의 연결-에지 추가 실험에 의하면 두 싱크의 지연시간의 차이가 클수록, 동시에 연결하는 에지의 길이가 작을수록 연결-에지 추가의 효과가 커지는 것을 알 수 있다. 이를 이용하여 연결-에지의 효과를 나타내는 척도인 링크-팩터(link-factor)를 정의한다.

$$Link\ factor(i, j) = \frac{delay\ difference(i, j)}{distance(i, j)}$$

여기서, i, j는 연결될 싱크이다.

링크-팩터를 이용한 연결-에지 추가 알고리즘은 <그림 5>와 같다.

Algorithm Insertion_of_Link_Edge(T(S), B)

Input : T(S)(bounded skew tree), B(클락 스큐의 범위)

Output : ES (Link edge의 집합)

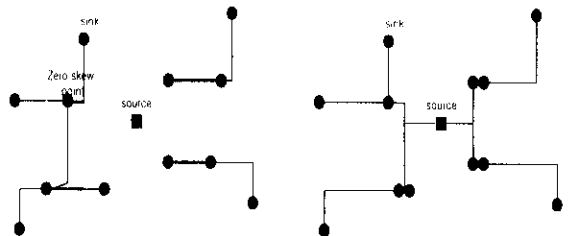
① if 클락 스큐 < B, Output ES and stop
 else 최대 지연시간을 갖는 싱크 i 선택
 ② 최대 링크-팩터(i,j)를 갖는 싱크 j 선택
 ③ if (delay(s, i)가 감소) then
 /* s는 clock source */
 싱크 i, j 사이에 연결-에지 추가
 ES ← link edge
 else break; /* 링크 추가시 delay의 증가 초래.*/
 go to ①

<그림 5> 링크 추가 알고리즘

IV. 연결-에지가 추가된 클락 트리

[4]는 2차원 평면상에 위치가 고정되어 주어진 싱크들을 수직과 수평 방향으로 번갈아, 같은 수로 반복적으로 나누어 나간 후, 연모어 지연 시간 모델을 이용하여 두 노드 씩 연결하여 제로 스큐 클락 트리를 구성한다. 그러나, 클락 스큐를 제로로 만들기 위해서는 총 배선 길이가 증가하게 된다. 실제 공정의 경우 완전한 제로(zero) 스큐를 필요로 하지 않고 전체 클락 수기의 5% 이내의 클락 스큐는 회로의 동작에 영향을 주지 않는다. 따라서, 적당한 클락 스큐 범위 내에서 클락 배선을 하면 총 배선 길이를 줄일 수가 있다 [7][8].

주어진 클락 스큐 범위를 만족하는 클락 트리에 연결-에지 추가의 효과를 입증하기 위하여 [4]의 알고리즘을 클락 스큐 범위가 주어진 상태에서 클락 트리를



<그림 6> Zero Skew Point를 이동시켜 전체 배선의 길이를 줄이는 방법

만들 수 있도록 변형하고, 연결-에지를 추가하여 스큐의 변화를 측정하였다. <그림6>의 좌측은 [4]의 알고리즘에 의해 구성된 클락 트리이고, 우측은 클락 스큐가 0이 되는 머징-포인트(merging-point)를 주어진 클락 스큐범위 내에서 배선의 길이가 감소하도록 이동시켜서 전체 배선의 길이를 감소시킨 클락 트리이다.

<표 3>은 [4]를 위와 같이 변형하여 구현한 결과 총 배선 길이가 줄어드는 것을 보이고 있다. 클락 스큐 범위가 0일 때의 총 배선 길이는 제로 스큐 트리[4]의 결과와 같고, 스큐의 범위를 크게 할수록 총 배선의 길이가 감소함을 알 수 있다.

<표 3> 클락 스큐 범위에 따른 전체 배선 길이의 변화

클락 스큐 범위	싱크의 수	
	250	500
0	16.53491[cm]	32.340675[cm]
10	15.217019	30.067692
50	14.735703	29.336435
100	14.632922	29.081591
200	14.492621	28.891306

<표4>는 구현된 클락 트리에 연결-에지를 추가하여 클락 스큐가 감소함을 보이고 있다.

<표 4 > 링크-에지 추가에 의한 클락 스큐 변화

싱크의 수 : 60 개			
		클락 스큐 (ps)	전체 배선 길이(cm)
(1)	링크 추가 전	90	7.112
(2)	(1)에 링크 1개 추가	78	7.270
(3)	(2)에 링크 1개 추가	60	7.363

클락 스큐가 70ps 이하인 클락 트리를 만들기 위해, 먼저 클락 스큐가 90ps인 클락 트리를 만든 후, 연결-에지를 2개 추가하여 클락 스큐가 60ps인 클락 트리를 만들었다. 추가된 링크의 길이에 의해 총 배선 길이는 약 3% 증가하였으나, 클락 스큐는 35%정도 감소하였음을 알 수 있다.

V. 결 론

본 논문에서는 연결-에지를 클락 트리에 추가하는 방법을 이용하여, 주어진 클락 스큐 범위 내에서 총 배선 길이를 최소화하는 알고리즘을 제안하였다.

다소 큰 클락 스큐 범위를 사용하여 클락 배선을 할 경우 총 배선 길이를 줄일 수 있음을 확인하였고, 여기에 링크-에지를 추가하면 필요로 하는 클락 스큐 범위로 클락 스큐를 줄일 수 있었다. 이를 이용하여 주어진 클락 스큐 범위 내에서 최소의 총 배선 길이를 갖는 최적의 클락 배선을 할 수 있다.

앞으로의 연구 과제는 클락 배선에 버퍼를 추가하고 폭을 조절하여 배선 지연 시간과 전력 소비를 최적화 시키는 것이다.

참 고 문 헌

- [1] H. Bakoglu, "Circuits, Interconnections and Packaging for VLSI", Addison-Wesley, 1990
- [2] Michael A. B. Jackson, Arvind Srinivasan, and E. S. Kuh, "Clock Routing for High-Performance ICs", DAC, pp.573-579, 1990.
- [3] Andrew Kahng, Jason Cong, and Gabriel Robins, "High-Performance Clock Routing Based on Recursive Geometric Matching", DAC, pp.322-327, 1991.
- [4] Ren-Song Tsay, "Exact Zero Skew", ICCAD, pp.336-339, 1991.
- [5] Kenneth D. Boese and Andrew B. Kahng, "Zero-Skew Clock Routing Trees With Minimum Wirelength", Proc. IEEE 5th Intl.ASIC Conf., pp.1.1.1-1.1.5, 1992.
- [6] Masato Eda, "A Clustering-Based Optimization Algorithm in Zero-Skew Routings", DAC, pp.612-616, 1993.
- [7] Dennis J.-H. Hwang, Andrew B. Kahng and Chung-Wen Albert Tsao "On the Bounded-Skew Clock and Steiner Routing Problem", DAC, pp.508-513, 1995.
- [8] Jason Cong, Andrew B. Kahng, Cheng-Kok Koh and C.-W. Albert Tsao "Bounded-Skew Clock and Steiner Routing Under Elmore Delay", ICCAD, pp.66-71, 1995.