

다중칩 모듈 설계를 위한 GRIDLESS 배선기

이 태 선(李台先)^o, 임 종 식(林種錫)

서강대학교 전자계산학과

서울시 마포구 신수동 1번지, 121-742

전화: 02-705-8490, Fax: 02-704-8273

E-mail: s197276@ccs.sogang.ac.kr, csrim@ccs.sogang.ac.kr

A Gridless Area Router for MultiChip Module Design

Lee, Tae Sun, Rim, Chong Suck

Dept. of Computer Science and Engineering, Sogang University.

Abstract

In this paper, we present a gridless router for MCMs. Instead of the commonly employed grid a set of corner stitched tiles are used as a routing framework. The router routes variable-width pins with wires of any width. It also allows arbitrary location of terminals, wires, and vias. It performs faster than most grid-based MCM routers and produces the routing results which are comparable to their achievements.

1. 서론

다중칩 모듈은 배선 영역이 넓고 3차원 영역 전체를 배선 영역으로 직접 사용해야 한다. 또한 배선결과가 뾰뾰하여 일반적인 인쇄기판 배선 문제와는 다르다. 이와 같이 다중칩 모듈의 배선 문제는 기존의 집적회로나 인쇄기판의 배선 문제보다 어렵고, 기존의 배선기로는 적용하기 힘든 형태를 갖고 있기 때문에, 적합한 형태의 배선기가 필요하다.

지금까지 3차원 미로 배선 방법, SLICE^[1], V4R^[2], MCG^[3], SEGRA^[4] 등의 MCM 배선기가 발표되었다. 이중 비교적 최근에 발표된 MCG는 cross-talk을 고려하면서 비교적 적은 배선층을 사용하고, SEGRA는 V4R과 비슷한 성능을 보이면서도 평균 20배 이상 빠른 배선 속도를 보인다. 그러나 이들 모두 배선 격자를 기반으로 배

선하므로 배선 격자를 기반으로 하는 배선기로서는 피할 수 없는 몇 가지 제약을 갖는다.

- 1) 배선 격자의 피치가 worst-case spacing rule에 의해 결정되므로 배선영역의 낭비가 많다.
- 2) 와이어의 폭이 일률적으로 부여되어, 네트 특성에 맞는 와이어의 폭을 선택할 수 없다.
- 3) 터미널, 와이어, 비아들이 격자점 위에만 위치할 수 있다.

본 논문에서는 다중칩 모듈에서의 배선에 사용할 수 있는 gridless MCM 배선기를 제안한다. 제안하는 배선기는 빠른 배선 속도가 입증된 SEGRA의 배선 알고리즘을 기본으로 배선격자를 사용하지 않고 구현하여 위의 제약들로부터 자유로우면서 기존에 발표된 배선기에 비해 떨어지지 않는 배선 결과와 속도를 보인다.

서론에 이어 2장에서는 gridless MCM 배선기의 필요성에 대해 설명한다. 3장에서는 제안하는 배선기의 알고리즘을 SEGRA와 비교하여 다른 점을 중심으로 설명한다. 4장에서 실험결과와 기존의 결과와의 비교를 보이고 5장에서 결론을 맺는다.

2. Gridless 배선의 필요성

지금까지 발표된 모든 MCM 배선기는 배선층이 피치에 의해 결정되는 맨해튼 형태의 격자로 이루어져 있

다고 가정한다. 보통 비아 피치가 와이어 피치보다 크고, 모든 격자점에서 비아를 만들 수 있어야 하기 때문에 비아 피치가 이 맨해튼 형태의 격자를 결정한다. 그런데 표 1 에서 알 수 있듯이 MCM technology 에 따라 비아의 최소 피치가 와이어의 최소 피치에 비해 크기가 아주 클 수 있다. 따라서 비아와 와이어의 크기 차가 많을 경우 격자점에 기반하여 배선한다면 공간의 낭비가 많아진다²⁾. 만일 격자점을 기반으로 해야 한다는 제약 없이 배선한다면 그림 2 에서 보듯이 상대적으로 크기가 작은 와이어들에 의해 생기는 공간을 배선에 이용할 수 있다.

TECHNOLOGY	Min. Wire Pitch	Min. Via Pitch
Cofired Ceramic MCM	150 μm - 250 μm	250 μm
Thin Film MCM	20 μm - 40 μm	20 μm - 200 μm
Laminated MCM	100 μm - 250 μm	1000 μm - 2500 μm
PWB	250 μm - 300 μm	1000 μm - 2500 μm

표 1. Typical Minimum Line Pitches.

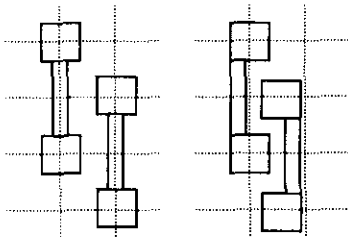


그림 1. GRID-BASED vs. GRIDLESS

격자점을 기반으로 하는 배선기는 판들이 격자점 위에 놓여질 것을 요구하는데, 이러한 제약은 칩의 설계를 어렵게 할 뿐 아니라 칩이 필요 이상으로 커지게 하는 원인이 된다. 더구나 만약 과거에 설계된 칩이라면 현재의 기술로 결정된 피치에 맞지 않을 가능성이 더 높다. 만일 배선기가 핀의 위치에 관계 없이 배선할 수 있다면 설계시의 어려움을 크게 덜 수 있을 것이고 칩의 크기도 최대한 작게 할 수 있을 것이다.

높은 frequency 로 동작하는 회로에서 클락과 같이 많은 전류를 흘러보내야 하는 네트들은 다른 네트보다 굵은 와이어가 요구된다. 그러나 격자점을 기반으로 하는 배선기들은 일률적인 와이어의 폭만을 사용한다. 따라서 네트별로 다른 와이어의 폭을 부여할 수 있으면서도 가능한 조밀하게 배선할 수 있는 배선기가 필요하다.

이러한 제약들로부터 완전히 자유로워지기 위해서는 배선 격자를 포기하고 연속적인 공간을 배선영역으로 하여야 한다. 일반적으로 배선격자를 사용하지 않는 배선은 그 계산이 매우 복잡하고 어려워 배선 속도가

배선 가능성을 결정하는 중요한 요소가 된다.

본 논문에서는 빠른 배선속도가 입증된 SEGRA 의 배선 알고리즘을 이용하여, 기존 배선기에 비해 그 속도가 크게 떨어지지 않는 gridless MCM 배선기를 제안한다.

3. Gridless MCM 배선기

3.1. Gridless 배선을 위한 자료구조

Gridless 배선 model 을 위해서는 연속적인 2 차원 공간인 배선영역의 상태를 잘 표현하면서, 메모리의 사용이 적고, 배선이 효율적으로 이루어질 수 있으며, 특히 배선 알고리즘에 빈번히 사용되는 수직, 수평 방향으로의 장애물 확인이 빠른 시간 내에 이루어질 수 있는 자료구조가 필요하다.

이러한 점들을 만족시키기 위해 우리의 배선기는 Corner Stitching 자료구조를 사용한다⁶⁾. 이 자료구조는 배선 상태를 여러 개의 직각의 tile 들로 표현하는데, 사용되고 있는 영역(blocked tile)과 비어 있는 영역(vacant tile)을 동시에 나타내고, 주어진 tile 에 이웃하는 tile 을 찾는데 효율적이다.

각 tile 은 그림 2 에서 보듯이 n, tr, bl, lb 의 4 개의 포인터를 갖는데, 이를 *corner stitches* 라고 부르고, 모든 tile 들은 이 포인터들의 집합으로 연결된다. 그림 4 는 이 tile 들

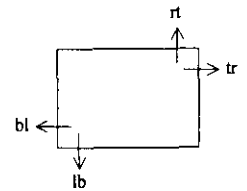


그림 2. Corner Stitches

이 어떻게 연결되는지를 보여주는 한 예이다. 회색의 tile 은 block tile 을, 흰색의 tile 은 vacant tile 을 나타낸다. Tile A 의 n 포인터는 tile B 를 가리키고, tr 포인터는 tile C 를, bl 포인터는 tile F 를, lb 포인터는 tile E 를 가리킨다.

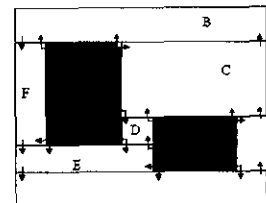


그림 3. 수평 배선층을 위한 Corner Stitching 예

우리의 배선기는 수평 와이어를 배치하는 배선층은 그림 4 와 같이 전체 영역을 *maximal horizontal strips* 로 구성하고, 수직 와이어를 배치하는 배선층은 *maximal*

vertical strips 로 구성하여 tile 의 개수를 적게 하여 배선 속도와 메모리 사용이 최소가 되도록 한다.

3.2. 수직, 수평의 장애물 찾기

Corner Stitching 자료구조는 전체 배선 영역에서 사용되고 있는 부분과 비어 있는 부분을 동시에 나타내고, 주어진 tile 에 이웃하는 tile 들을 찾는데 다른 어떤 자료구조보다 효율적이므로, 수직, 수평 방향으로의 장애물 찾기를 상수에 가까운 복잡도로 처리할 수 있다.

우선 주어진 block 의 찾고자 하는 방향으로의 이웃 tile 들을 모두 찾는다. 찾어진 tile 들 중 그 block tile 이 있으면 그 tile 이 가장 가까운 장애물이 되고, 없으면 그 tile 들 중 폭이 가장 좁은 tile 의 진행방향으로의 이웃 tile 이 가장 가까운 장애물이 된다.

그림 3에서 tile A 의 오른쪽 방향으로 가장 가까운 장애물을 찾다면, 우선 tile A 의 오른쪽으로 이웃한 tile 들을 찾는다. Tile A 의 tr 포인터가 가리키는 tile C 부터 시작해 주어진 vertical range 에 벗어나는 tile E 가 나타날 때까지 lb 포인터를 이용해 아래쪽으로 이동해가면서 tile A 에 이웃한 tile 들을 모두 찾아낸다. 찾어진 tile 들이 모두 vacant tile 이므로 그들의 폭의 크기를 비교하면 tile D 의 폭이 가장 작으면서 tile D 의 tr 포인터가 NULL 이 아니므로 tile D 의 tr 포인터가 가리키는 tile 이 가장 가까운 장애물이다.

3.3. 알고리즘 개요

기본 생각은 SEGRA 와 같다¹¹⁾. 다층으로 구성된 칩에 있는 배선 영역에서 한번에 두 개의 층을 사용하여 위 층부터 아래로 순서대로, 수평선은 홀수 층에 그리고 수직선은 짝수 층에 배치하면서 배선한다. 현재 배선중인 층에서 최대한 많은 네트를 배선하고 배선에 성공하지 못한 네트들은 다음 배선 층으로 전달되어 배선을 수행한다. 각 배선 층에서는 각 네트의 두 터미널로부터 각각 좌우 진행점을 출발시키고 이 각각을 상대 진행점을 향하여 좌우 진행선(LSL, RSL)을 따라 x 방향으로 이동시킨다. 이렇게 진행점을 이동시키면서 이를 포함한 진행선이 각 수직 트랙을 지날 때마다 서로 만날 수 있는 점을 향해 필요한 경우 y 방향으로 수직이동시킨다.

좌우 진행선이 배선 영역의 좌우 양쪽 끝으로부터 시작하여 가운데에서 만날 때까지 서로를 향해 움직이면서 만나는 터미널들을 진행점으로 포함시킨다. 진행선

각각이 포함한 진행점들에 대해 수평 방향으로 가장 가까운 장애물을 설정하고, 장애물이 가까운 순서대로 우선 순위를 부여한다. 그 우선순위에 따라 진행점들이 각각 목표하는 터미널의 진행점과 만날 수 있는 가장 좋은 위치로 수직이동할 기회를 주어, 진행선이 위치한 곳에서 가능한 많은 진행점들이 수직이동할 수 있도록 한 후, 진행선은 다음 진행선의 위치를 계산하여 이동한다.

3.4. Sweepline 의 이동 방법

배선 영역이 격자로 이루어질 경우 좌우 진행선은 격자선을 따라 한 칸씩 이동하면 된다. 그러나 격자선을 사용할 수 없을 경우는 배선 상황에 따라 계산하여 진행선의 다음 위치를 결정하여야 한다. 진행선의 다음 위치 계산에는 2 가지 요소가 영향을 미친다.

- 1) 진행선에서 가장 가까운 터미널
 - 2) 좌(우)진행선 보다 $x_1(x_1)$ 좌표가 오른쪽(왼쪽)에 있는 수직 배선층의 블록
- 1)에 해당하는 터미널의 $x_1(x_1)$ 좌표와, 2)에 해당하는 블록의 $x_2(x_1)$ 좌표에 그 블록이 해당하는 네트의 spacing 값을 더한(뺀) 값을 비교하여 더 작은 값이 좌진행선(우진행선)의 다음 위치가 된다.

3.5. 수직이동

격자 기반 배선 model 에서는 진행선을 따라 미리 정해진 한정된 수의 위치들 중 하나를 선택하여 이동하면 되지만, gridless 배선 모델에서는 수평 방향으로의 장애물 존재 여부, 수직 와이어나 비아의 생성 가능성 등을 일일이 확인하여 수직이동 여부를 결정하여야 한다.

따라서 격자점을 기반으로 하는 배선 방법보다 수직, 수평 방향으로의 장애물 확인은 훨씬 자주 이루어져야 하고, 이런 면에서 우리의 자료구조는 적합하다고 할 수 있다.

비아의 모양과 위치는 해당 진행점의 수직이동 가능성 뿐 아니라 다른 진행점의 수직이동 가능성에도 영향을 주므로 그림 4 와 같이 가능한 배선영역을 아끼면서 다른 진행점의 수직이동에 영향을 주지 않는 위치를 만들도록 노력한다.

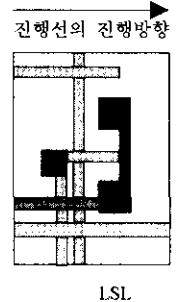


그림 4. 비아 위치하는 배선 방법보다 수직, 수평 방향으로의 장애물 확인은 훨씬 자주 이루어져야 하고, 이런 면에서 우리의 자료구조는 적합하다고 할 수 있다.

4. 실험 결과

본 논문에서 제안하는 배선기(편의상 GMR 로 부르기로 한다)는 C언어를 사용하여 MOTIF 환경 하에서 동작하도록 구현하였다. 실험에 사용한 데이터는 Khoo 와 Cong 이 제공한 6 개의 회로를 사용하였다.

제안하는 배선기와 비교할 다중칩 모듈 배선기는 SEGRA, V4R, SLICE, MCG 등인데 이들에 의한 실험 결과는 참고문헌[1]을 인용하였다. 실험에 사용한 컴퓨터는 ULTRA SPARC II 로 512Mb 의 기억 용량을 갖는다.

표 2 는 제안하는 배선기와 다른 배선기의 배선 결과 중 사용한 배선층의 개수를 비교한 것이다. GMR 은 mcc2-75 회로에서 MCG 보다 많은 배선층을 사용하였지만 그 외의 다른 회로나 배선기에 대해서는 같거나 한 두개 적은 배선층을 사용한다.

표 3 은 제안하는 배선기와 다른 배선기의 수행시간을 비교한 것이다. SEGRA 를 ULTRA SPARC II 에서 수행하여 참고문헌[1]의 실험 환경인 SPARC II 에서 수행한 결과와의 속도비를 구하여 SPARC II 에 맞추어 GMR 의 속도를 추측한 것이다. ULTRA SPARC II 가 SPARC II 보다 약 7.04 배 빠르게 동작하였다. GMR 은 SEGRA 를 제외한 어떤 배선기보다 빠르게 배선한다.

표 2 와 표 3 의 실험은 조건을 같게 하기 위해 모든 네트에 대해 비아와 와이어의 폭을 같게 하였다.

Circuit	GMR	SEGRA	V4R	SLICE	MCG
Test1	4	4	4	5	자료 없음
Test2	4	4	4	6	
Test3	4	4	4	6	
Mcc1	4	4	4	5	4
Mcc2-75	6	6	6	7	4
Mcc2-45	4	4	4	-	4

표 2. 배선층의 개수 비교

Circuit	GMR	SEGRA	V4R	SLICE
test1	0:00:15	0:00:02	0:01:00	0:02:00
test2	0:00:42	0:00:05	0:01:00	0:06:00
test3	0:01:09	0:00:08	0:03:00	0:12:00
mcc1	0:01:13	0:00:10	0:03:00	0:12:00
mcc2-75	0:21:20	0:02:59	1:06:00	8:15:00
mcc2-45	0:28:13	0:04:09	1:37:00	-

표 3. 수행시간의 비교 (hh:mm:ss)

그림 5 는 GMR 에 의한 배선결과의 일부이다. 내부가 검은 색의 사각형은 터미널, 외곽선이 있는 사각형은 비아, 짙은 회색은 수직 와이어, 옅은 회색은 수평 와이어이다. 이 실험은 네트별로 각기 다른 와이어 폭을 선택하여 배선한 것이다.

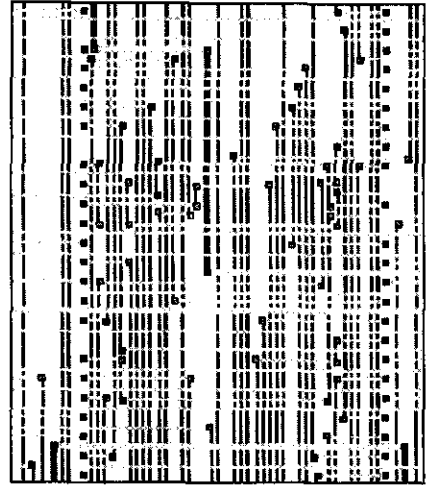


그림 5. GMR 에 의한 배선결과의 일부

5. 결론

본 논문에서는 다중칩 모듈 배선을 위한 gridless 배선기를 제안하였다. 우리가 구현한 배선기는 배선영역을 최대한 낭비 없이 이용하며, 와이어 폭을 네트별로 자유롭게 지정할 수 있으며, 핀을 반드시 격자점 위에 놓아야 하는 제약을 갖지 않으면서 SEGRA 를 제외한 다른 어떤 배선기보다 빠른 속도를 보인다.

참고문헌

- [1] Y. J. Cha, C. S. Rim and K. Nakajima, "A simple and effective greedy multilayer router for MCMs," in Proc. Int. Symp. Physical Design, 14-16 April 1997, pp. 67-72.
- [2] D. A. Doane, P. D. Franzon, "Multichip Module Technologies and Alternatives, The Basics", Van Nostrand Reinhold, NY, 1993.
- [3] T. Hameenanntila, J. D. Carothers and D. Li, "Fast Coupled Noise Estimation for Crosstalk Avoidance in the MCG Multichip Module Autorouter," IEEE Trans. On Computer-Aided Design, Vol. 4, No. 3, pp.356-368, Sept. 1996.
- [4] K. Y. Khoo and J. Cong, "A Fast Multilayer General Area Router for MCM Designs," IEEE Trans. On Circuits and Systems II, pp.841-851, Nov. 1992.
- [5] K. Y. Khoo and J. Cong, "An Efficient Multilayer MCM Router Based on Four-Via Routing," IEEE Trans. On Computer Aided Design, Vol 14, pp.1277-1290, Oct. 1995.
- [6] J. Ousterhout, "Corner stitching: A data-structuring technique for VLSI layout tools," IEEE Trans. Computer-Aided Design, vol. CAD-3, pp.87-100, 1984.