

# Spice parameter를 이용한 IGBT의 과도응답 예측

이효정, 홍신남

한국항공대학교 항공전자공학과

Tel : 02) 3158-5895, Fax : 02) 3159-9257

E-mail : hjlee@eeabyss.av.hankong.ac.kr

## Prediction of the transient response of the IGBT using the Spice parameter

Hyo-jeong Shin-nam Hong

Dept. of Avionics, Hankuk Aviation University

Tel : 02) 3158-5895, Fax : 02) 3159-9257

E-mail : hjlee@eeabyss.av.hankong.ac.kr

### Abstract

The Insulated Gate Bipolar Transistor has the characteristics of MOSFET and BJT. The characteristics of proposed device exhibit high speed switching, the voltage controlled property, and the low ON resistance. This hybrid device has been used and developed continuously in the power electronic engineering field. We can simulate many IGBT circuits, such as the motor drive circuit, the switching circuits etc, with PSpice. However, some problems in PSpice is that the IGBT is old-fashioned and is very difficult to get it. In this paper, the IGBT in PSpice is considered as the basic structure. We changed the values of base width, gate-drain overlapping area, device area, and doping concentration, then calculated MOS transconductance, ambipolar recombination lifetime etc. Using this resultant parameter, we could predict the transient response characteristics of IGBT, for examples, voltage overshoot, the rising curve of voltage, and the falling curve of current.

### I. 서론

전력 소자는 Thyristor[1]를 중심으로 GTO (Gate Turn-off thyristor)[2], 전력 바이폴라 트랜지스터[3]등의 바이폴라 소자와 전력 MOSFET[4], SIT(Static Induction Transistor)[5]등의 unipolar 소자가 있다. 바이폴라 전력 소자는 1970년대 초반에 전압 3000V, 전류1000A 수준까지 이를 정도로 제조 기술의 진보를 가져 왔으나, 스위칭 속도가 느리고 베이스 구동 전류가 크다는 문제점을 가지고 있다. 전력 MOSFET은 전력 바이폴라 트랜지스터에 비해 스위칭 속도가 빠르고 구동 회로가 간단하며 열적 안정도가 좋은 반면 바이폴라 트랜지스터에 비해 ON 저항이 높아 전도 손실이 큰 단점이 있다.

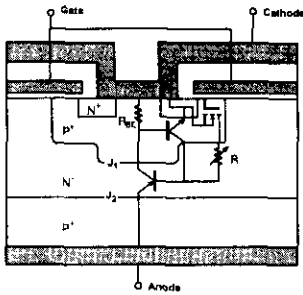
고속 스위칭 분야에 이용되는 전력 소자는 ON 상태에서 저 전력 손실, 빠른 스위칭 속도, 작은 스위칭 손실, 그리고 간단한 구동회로 및 높은 차단전압, 넓은 SOA(Safety Operating Area) 등과 같은 특성을 갖추어야 한다. IGBT는 전력 MOSFET과 전력 바이폴라 트랜지스터의 문제점을 개선한 소자로서, MOSFET의 전압 제어와 바이폴라 트랜지스터의 낮은 전도 손실의 특성을 갖는다.

IGBT는 구동회로나 스위칭회로에서 많이 이용되고 있고, 스위칭회로에서는 turn-off 될 때의 과도 응답이 중요하다. 과도 응답에서 overshoot가 발생하게 되면 전력 손실과 게이트 회로나 제어 로직 회로가 오동작을 하게 된다. 그러므로 전력 손실과 오동작을 줄이기 위해서는 전압 overshoot 해석이 중요하다. 현재 반도체 소자의 특성을 살펴볼 수 있는 시뮬레이터로 2차원 시뮬레이터 MEDICI와 3차원 시뮬레이터 DAVINCI 등이 이용되나, IGBT 구조를 정확히 구현하기 어렵다. 또한, 회로 해석도 부정확하며, 회로 해석을 위해서는 별도의 모듈 프로그램이 구비되어야 한다.

본 논문에서는 IGBT를 이용한 inductive load 회로를 구성하여 전력 손실과 주변 회로의 오동작을 발생시키는 전압 overshoot와 과도 응답의 전류 하강곡선, 전압 상승곡선을 PSpice 시뮬레이션과 C 언어로 구현한 프로그램으로 비교 및 분석하였다.

## II. IGBT의 동작 및 이론

### 1. IGBT의 동작



<그림 1> IGBT의 단면 구조 및 등가 회로

<그림 1>은 VIGBT의 단면 구조 및 등가 회로를 나타냈다. VIGBT와 LIGBT는 전류의 흐름을 기준으로 구분하지만 본 논문에서는 VIGBT만을 고려했다.

IGBT의 초기 웨이퍼는 p+ 기판 위에 불순물 농도가 낮은 n- 에피층이 성장된 웨이퍼를 사용한다. p+ body 영역과 n- 캐소드 영역을 이중 확산하여, 이 두 영역의 측면 접합 깊이의 차이를 채널로 이용하는 구조이다.

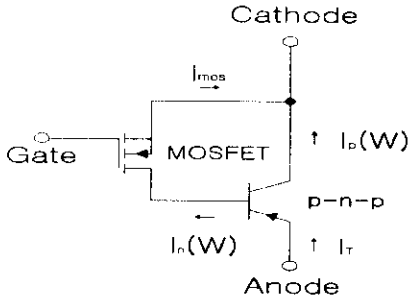
애노드 단자에 음 전압이 가해지면 접합 J2가 역방향 바이어스되고 소자는 역방향 차단상태로 전류가 흐르지 않게 된다. 이와 같은 특성 때문에 IGBT는 전력 MOSFET과는 달리 AC용 스위칭 소자로 쓸 수 있다. 또 게이트가 캐소드 단자에 단락된 상태에서 애노드에

양 전압이 가해지면 접합 J1이 역바이어스되고 소자는 순방향 차단상태로 동작한다. 그러나 이 상태에서 게이트에 문턱 전압보다 큰 전압이 가해지면 p-body 표면에 유기된 채널을 통해 p-n-p 트랜지스터의 베이스 영역(n- 에피층)에 전자를 공급하고 소자는 순방향 도통상태가 된다. 이때 접합 J2가 순방향 바이어스된 상태로 애노드 전압이 증가하면 기판에서 베이스 영역으로 정공이 주입되고 캐소드에서 주입된 전자와 재결합하여 전도도가 증가하고 이 영역에서의 전도손실을 효과적으로 줄여 준다. 또한 IGBT의 turn-off는 게이트를 캐소드 단자에 단락시켜 p+ body 표면에 유기된 채널을 제거하면 된다. IGBT가 turn-off되는 순간, 접합 J2 근처의 n- 에피층(베이스 영역)에는 많은 전자가 밀집되어 있고, 소자가 turn-off되는 동안 p+ 기판으로 전자가 주입되고 p+ body 영역으로 정공 전류가 흐르게 된다. 또 n- 에피층에서 p+ 기판으로 주입되는 전자가 줄게 되면 에피층에 남아있는 전자와 정공은 재결합을 통해 제거되고 소자가 turn-off된다.

<그림 1>의 등가회로에서 보듯이 DMOS 부분의 MOSFET이 입력단을, n- 캐소드 영역, p+ body 영역 및 n- 에피층으로 구성되는 기생 n-p-n 바이폴라 트랜지스터와 p+ 기판, n- 에피층 및 p+ body 영역으로 구성되는 p-n-p 바이폴라 트랜지스터가 출력단을 구성하고 있다. 또한, n-p-n 트랜지스터의 베이스-에미터는 p+ body 영역의 분산 저항 RBE에 의해 연결되어 있다. 이와 같이 IGBT는 MOSFET과 p-n-p 바이폴라 트랜지스터가 Darlington 형식으로 결합되어 있기 때문에 전력 MOSFET에 비해 높은 전류 용량을 갖게 된다. 반면에 IGBT의 등가회로에 나타난 분산 저항 RBE에 강해지는 전압이 n-p-n 트랜지스터의 베이스-에미터 접합을 순방향 바이어스시킬 정도이면 IGBT의 '애노드와 캐소드간의 p-n-p-n 접합의 Thyristor작용에 의해 애노드 전류는 급격히 증가한다. 이때 IGBT는 소자의 동작을 게이트 전압으로 제어할 수 없는 latch-up 상태에 이른다.

### 2. 적용 모델

<그림 2>는 IGBT의 등가회로이며 전압과 전류는 다음과 같은 식으로 표현된다. 이러한 수식들은 Allen R. Hefner등[6]-[9]에 의해 발표되었고 PSpice등의 시뮬레이션 툴에서도 사용되고 있다.



<그림 2> IGBT 등가 회로

$$I_B = I_n(W) = \frac{P_0^2 I_{sne}}{n_i^2} + \frac{qP_0AD}{L} \left( \coth\left(\frac{W}{L}\right) - \frac{1}{\sinh(W/L)} \right)$$

$$I_C = I_p(W) = \frac{P_0^2 I_{sne}}{n_i^2} + \frac{qP_0AD}{L} \left( \frac{\coth(W/L)}{b} + \frac{1}{\sinh(W/L)} \right)$$

$$I_{mos} = \begin{cases} 0 & , V_{gs} < V_T \\ K_p \left( (V_{gs} - V_T) V_{ds} - \frac{V_{ds}^2}{2} \right) & , V_{ds} \leq V_{gs} - V_T \\ K_p (V_{gs} - V_T)^2 / 2 & , V_{ds} > V_{gs} - V_T \end{cases}$$

$$V_{eb} = \frac{kT}{q} \ln\left(\frac{P_0^2}{n_i^2}\right) + \frac{I_T W}{\left(1 + \frac{1}{b}\right) \mu_n A q n_{eff}} - \frac{D}{\mu_n} \ln \frac{P_0 + N_b}{N_B}$$

$$\frac{dV_{bc}}{dt} = \frac{I_T - (4D_p/W^2)Q}{C_{bc}[1 + (1/b)][1 + (Q/3qAN_BW)]}$$

$$V_A = V_{eb} + V_{bc}$$

$$\frac{dQ}{dt} = -\frac{Q}{\tau_{HL}} - \frac{4Q^2 I_{sne}}{W^2 A^2 q^2 n_i^2}$$

$$W = W_B - \sqrt{2\epsilon_{ss}(V_{bc} + 0.6)/qN_B}$$

### III. 모의 실험 결과 및 비교

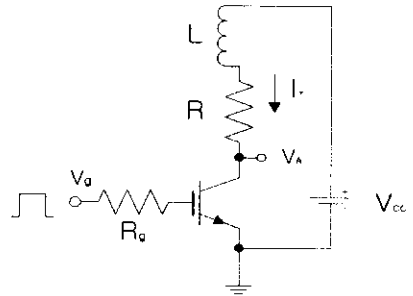
<그림 3>은 과도 응답을 보기 위한 inductive load 회로의 모의 실험 회로이다.

본 논문에서 인용한 수식을 C 언어로 작성한 프로그램과 PSpice를 이용하여 시뮬레이션 값을 L=20μH일 경우는 <그림 4, 5>에 나타내었고, L=40μH일 경우는 <그림 6, 7>에 나타내었다.

회로 해석을 하기 위한 소자들의 값은 R<sub>g</sub>=100Ω,

R=33Ω, L=20μH 또는 L=40μH이고 V<sub>cc</sub>=300V, V<sub>g</sub>=20V<sub>pp</sub> 펄스 전압을 인가하였다고 가정하였다.

베이스 폭이 117μm, 면적은 25×10<sup>-6</sup>m<sup>2</sup>, 에피층(n<sup>-</sup> 지역)의 도핑 농도는 2×10<sup>14</sup>/cm<sup>3</sup> 그리고 p<sup>+</sup> body 지역의 농도는 2×10<sup>17</sup>/cm<sup>3</sup>인 IGBT로 가정하여 시뮬레이션을 하였고 PSpice에서는 위의 조건과 비슷한 구조를 갖는 모델을 이용하였다.



<그림 3> Inductive load 실험 회로

<그림 4, 6>의 애노드 전압의 과도응답에서는 전압 overshoot 최고치가 계산치에서 L=40μH일 때, 약 1100V, L=20μH일 때, 약 950V가 나왔다.

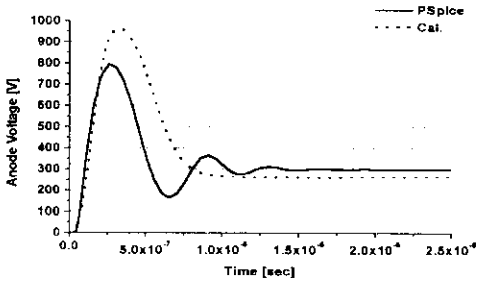
<그림 5, 7>의 애노드 전류의 과도응답에서 계산치의 곡선이 PSpice 시뮬레이션결과보다 완만한 기울기를 갖고 테일 전류가 나타났다. 테일 전류는 turn-off에 의해 축적된 정공이 유출하는 경로가 차단되기 때문에 turn-off가 지연되어 테일 전류가 발생하는데, 이는 전류의 하강시간을 증가시킨다. 본 논문에서 해석하는 IGBT의 구조에서는 이 전류를 감소시키는 방법을 사용하지 않았기 때문에 전류 하강곡선이 완만하고 테일 전류가 나타난다.

### IV. 결론

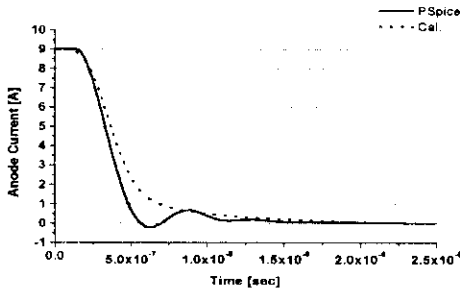
본 논문에서는 IGBT의 PSpice 라이브러리에서 지원하는 IGBT 모델을 이용하여 과도응답의 전압 overshoot와 전류·전압 곡선을 비교·분석하였다.

전압 overshoot는 계산한 결과가 PSpice로 시뮬레이션한 값보다 약 150V가 높았다. 이것은 수식의 간략화에서 생략된 수식들을 첨가하고, 각 수식의 정확한 초기치를 추출하여 이용하면 overshoot에서의 오차가 개선될 것이다. 또한 애노드 전압과 전류의 과도응답은 계산한 결과와 PSpice로 시뮬레이션한 결과가 거

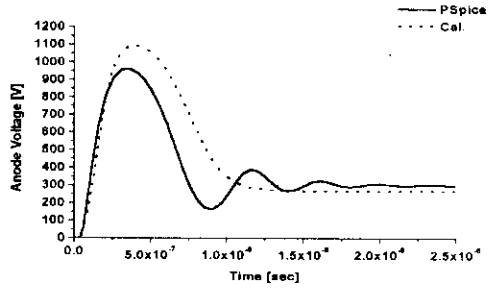
의 일치되며 이것으로부터 turn-off시 IGBT의 전류 하강시간과 전압 상승시간을 예측할 수 있다.



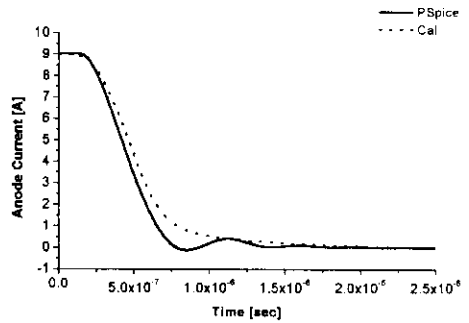
<그림 4> 애노드 전압의 과도응답 비교 (L=20 μH)



<그림 5> 애노드 전류의 과도응답 비교 (L=20 μH)



<그림 6> 애노드 전압의 과도응답 비교 (L=40 μH)



<그림 7> 애노드 전류의 과도응답 비교 (L=40 μH)

V. 참고 문헌

[1] J. L. Moll, et al., "p-n-p-n Transistor Switches," Proc. IRE, 44, pp.1174-1182, Sept.1956  
 [2] E. D. Wolley, "Gate Turn-off in p-n-p-n Devices," IEEE Trans. Electron Devices, vol. ED-13, pp.590-597, 1996  
 [3] P. L. Hower, "Optimum Design of Power Transistor Switches," IEEE Trans. Electron Devices, vol. ED-20, pp.426-435, Apr. 1973  
 [4] V. A. K. Temple and R. P. Love, "A 600V MOSFET with Near Ideal ON-resistance, " in IEDM Tech. Dig., pp.664-666, 1978  
 [5] J. Nishizawa, et al., "Field Effect Transistor versus Analog Transistor (Static Induction Transistor)," IEEE Trans. Electron Devices, vol. ED-22, pp.185-197, 1975

[6] G. T. Oziemkiewicz, "Implementation and Development of the NIST IGBT Model in a SPICE-based Commercial Circuit Simulator," Engineer's Thesis, University of Florida, Dec. 1995  
 [7] A. R. Hefner, Jr., "INSTANT-IGBT Network Simulation and Transient Analysis Tool," National Institute of Standards and Technology Special Publication SP 400-88, June 1992  
 [8] A. R. Hefner, Jr., "An Investigation of the Drive Circuit Requirements for the Power Insulated Gate Bioplar Transistor (IGBT)," IEEE Transactions on Power Electronics, vol.6, No.2, Apr. 1991, pp.208-219  
 [9] A. R. Hefner, Jr., "Modeling Buffer Layer IGBTs for Circuit Simulation," IEEE Transactions on Power Electronics, vol.10, No.2, Mar. 1995, pp.111-123