

일정 트랜스컨덕턴스 g_m 를 갖는 저전압 Rail-to-Rail 연산증폭기의 입력단 회로의 설계

장일권, 김세준, 송병근, 광계달
한양대학교 신자공학과
133-791 서울시 성동구 행당동 17
ikchang@shira.hanyang.ac.kr

A Constant g_m Input Stage for Low Voltage Rail-to-Rail Operational Amplifier

Il-kwon Chang, Se-jun Kim, Byung-guen Song and Kae-dal Kwack
Dept. of Electronic engineering, Hanyang University
133-791 Haengdang-dong, 17 Sungdong-gu, Seoul, Korea
ikchang@shira.hanyang.ac.kr

Abstract

This paper presents a constant g_m input stage for low-voltage rail-to-rail operational amplifier. A proposed scheme uses two current paths to keep sum of the biasing currents of the complimentary input pairs. The op amp was designed in a $0.8\mu\text{m}$, n-well CMOS, double-polysilicon and double-metal technology. This achieved in a g_m variation below 1% for input pair operating in weak inversion. The circuit can operate in power supply voltage from 1.5V up to 3V. An open-loop gain, A_v , was simulated as 84dB for 15pF load. An unit-gain frequency, f_T was 10MHz.

I. 서 론

최근 개인 휴대 통신기기 및 노트북 컴퓨터와 같이 소용량 배터리에서 동작하는 휴대용 전자기기들이 빠르게 발전하고 있으며, 낮은 공급전원에서 동작하는 저전력 회로의 구현은 아날로그 및 혼성 모드 회로 설계에서 매우 중요한 요소로 작용하고 있다.

본 논문에서는 일정 트랜스컨덕턴스를 갖는 rail-to-rail 연산증폭기의 입력단 회로를 제안한다. 연산증폭기는 선제 공통모드 전압에서 일정한 단일-이득 주파수 f_T 를

유지 해야 한다. 이는 최적의 전력 및 주파수 보상을 위하여 필요하기 때문이다. NMOS 와 PMOS 의 꼬리 전류에 의해 전체 입력 전류를 제어하는 방법을 이용하여 일정- g_m 을 갖는 입력단 회로는 기존에 많이 발표되었다[1-3].

일정 트랜스컨덕턴스 입력단 회로를 얻기 위한 기존의 방법에는 1:1 전류 미러를 갖는 스위치 트랜지스터를 이용한 방법[1]과 3 배의 전류 미러를 사용하는 방법이 있다[2-3]. 강반전에서 입력 공통모드 전압에 대해서 꼬리 전류 제곱근의 합을 이용한 트랜스리니어 루프와 제너 다이오드 기법을 사용하여 일정 g_m 입력단 회로를 구현한 논문들이 발표되었다[4-5]. 그러나, 최대 전원 전압이 제한되거나 트랜스컨덕턴스가 제한되는 문제점을 갖고 있다.

본 논문의 목표는 저전압에서 구동 되는 rail-to-rail 연산증폭기의 일정 트랜스컨덕턴스 입력단 회로의 설계이다. 이는 약반전에서 자동 입력단 회로의 전류를 빼주는 두개의 경로를 이용하여 구현하였다.

II. 일정 g_m 입력단 회로

연산증폭기의 입력단 회로는 NMOS 및 PMOS 로 구성된 자동 입력 쌍으로 구성된다. NMOS 입력 쌍의 경우, 공통 모드 입력 범위(V_{cm})는 $V_{SS}+V_{DS,sat}+V_{GS,n}$ 부터 V_{DD} 까지이고, PMOS 입력 쌍의 경우 V_{SS} 에서 $V_{DD}-V_{DS,sat}-V_{GS,p}$ 의 공통 모드 입력 범위를 갖는다. 이들 두 개의 입력단 회로는 전체 공통모드 입력 범위에서 일부분만을 사용하기 때문에, 저전압 연산증폭기에서 사용할 수 없는 단점을 지닌다. rail-to-rail 공통 모드 입력 범위는 그림 1과 같이 NMOS와 PMOS 자동 입력 쌍을 병렬로 연결함으로써 구현할 수 있다.

입력단의 전체 g_{mT} 는 NMOS와 PMOS의 트랜스컨덕턴스의 합과 같다.

$$g_{mT} = g_{m,n} + g_{m,p} \quad (1)$$

(1) 식으로부터, 트랜스 컨덕턴스 g_{mT} 는 공통 모드 입력 범위에 따라 변함을 알 수 있다. 두 개 입력 쌍 트랜지스터가 모두 동작하는 경우의 트랜스컨덕턴스는 각각의 입력 트랜지스터만 동작 할 때와 비교하여 대략 2 배 정도가 된다. 일반적으로 연산증폭기의 단일-이득 주파수 f_r 는 입력단의 전체 트랜스컨덕턴스에 비례하기 때문에 단일-이득 주파수 f_r 도 동일하게 변하여 최적의 주파수 보상을 할 수 없게 된다[6]. 따라서, 전체 공통모드 입력 범위에서 거의 일정한 g_m 을 갖는 rail-to-rail 입력단 회로를 바이어스 기법을 이용하여 구현한 논문들이 발표되었다.

바이어스 회로의 동작영역은 강반전과 약반전으로 구분된다. 강반전에서, MOS 트랜지스터의 트랜스컨덕턴스는 바이어스 전류의 제곱근에 비례한다. 그러므로 전체 공통모드 입력에서 일정한 트랜스컨덕턴스를 얻기 위해서는 다음과 같은 관계를 만족해야 한다.

$$g_{mT} = \sqrt{2K_{eq}I_{D,n}} + \sqrt{2K_{eq}I_{D,p}} \quad (2)$$

$$\text{where, } K_{eq} = \mu C_{OX} W/L$$

약반전에서, MOS 트랜지스터의 트랜스컨덕턴스는 바이어스 전류에 비례한다[7]. 그러므로, 바이어스 전류의 합을 일정하게 유지시켜 공통모드 전압에 관계없이 일정한 g_m 을 얻을 수 있다.

$$g_m = \frac{I_D}{nU_T} \quad (3)$$

$$\text{where, } n = Vt \text{의 기울기, } U_T = kT/q$$

$$g_m \propto I_{D,n} + I_{D,p} \quad (4)$$

전류 스위치를 사용한 방법은 CMOS의 약반전에서 구현되었다[2]. 이회로는 1.5V에서 동작시킬 경우 전류 스위치의 바이어스 전압이 커지는 문제점을 지닌다. g_m 변동률을 5%이하로 만들기 위해서는 입력단 트랜지스터의 크기를 증가시켜 게이트-소스 전압 V_{gs} 을 3 배 감소시키는 것이 필요하다. 이는 주파수 특성을 악화시키고, NMOS와 PMOS 트랜지스터가 동시에 동작 될 때 CMRR이 저하되는 특성을 야기시킨다.

위에 언급된 문제점을 해결하기 위하여, 새로운 구조의 입력단 회로를 그림 2에 나타내었다. 동작하는 바이어스 전류를 일정하게 하기 위하여, 부가 입력쌍 트랜지스터를 사용하여 전류를 빼주는 경로를 만들었다. 동작 설명을 위하여 앞에서 분류했던 3영역으로 구분하여 알아본다.

- 영역 I: V_{cm} 이 V_{SS} 부근에 위치한 경우

PMOS 트랜지스터만 동작하여, 전체 트랜스컨덕턴스 g_{mT} 에 기여하는 전류는 $2I_{ref}$ 로 다음과 같다.

$$g_{mT} = g_{m,n} + g_{m,p} \cong g_{m,p} \propto 2I_{ref} \quad (5)$$

- 영역 II: V_{cm} 이 $V_{DD}/2$ 부근에 위치한 경우

PMOS 및 NMOS 트랜지스터가 동시에 동작하여, 전체 트랜스컨덕턴스 g_{mT} 에 기여하는 전류는 각 입력 트랜지스터에 흐르는 전류의 합과 같다.

$$g_{mT} = g_{m,n} + g_{m,p} \propto I_{ref} + I_{ref} = 2I_{ref} \quad (6)$$

- 영역 III: V_{cm} 이 V_{DD} 부근에 위치한 경우

NMOS 트랜지스터만 동작하여, 전체 트랜스컨덕턴스 g_{mT} 에 기여하는 전류는 $2I_{ref}$ 로 g_{mT} 는 다음과 같다.

$$g_{mT} = g_{m,n} + g_{m,p} \cong g_{m,n} \propto 2I_{ref} \quad (7)$$

위의 결과에 의해 g_{mT} 는 $2I_{ref}$ 로 V_{cm} 에 관계없이 일정한 트랜스컨덕턴스 특성을 얻을 수 있다.

III. 연산증폭기 구현 및 시뮬레이션 결과

위에서 설계한 일정 g_m 입력단 회로를 저전압 연산증폭기에 탑재한 회로는 그림 3에 나타내고 있다. 설계

된 연산증폭기는 일정 g_m 을 구현하기 위한 바이어스 회로(MPb1-2, MNb1, MP1a-2a, MN1a-2a, MXsa), 입력단 회로(MN1-MP2, MP1-MP2, MXs) 및 저전력 캐스코드 구조를 갖는 합 회로(MPc1-4, MNc1-4) 구성된다. C_L 은 출력단의 부하 커패시터이고 15pF을 사용하였다.

0V에서 3.3V까지의 공통 모드 입력 변화에 따른 입력단 회로의 시뮬레이션 결과를 그림 4에 나타내었다. g_m 변화율 $\Delta g_m / g_m$ 는 내략 1% 이하인 결과를 보이고 있다. 부하 커패시터 15fF에서, 개루프 DC 전압이득은 84dB이고, 단일 이득-주파수 f_T 는 10MHz이고, 이때 위상 여유는 83°이다. 이를 그림 5에 나타내었고, 이는 연산증폭기의 개루프 전압 이득과 위상 여유에 대한 주파수 응답을 나타내고 있다.

일정 g_m 입력단 회로 및 연산증폭기는 0.8 μ m, N-well, 2중 금속선 및 2중 폴리실리콘을 갖는 CMOS 공정을 사용하였다. 공정상의 부정확이나 오류를 최소화 하기 위해, 자동단의 트랜지스터는 인터디지티드 기법을 사용하여 레이아웃을 설계하였다.

IV. 결 론

일정 g_m 을 갖는 저전압 rail-to-rail 연산증폭기의 입력단 회로를 설계하였다. 두개의 전류 경로를 사용하여 바이어스 전류의 합을 일정하게 유지하여 일정한 g_m 을 갖는 입력단 회로를 구현하였다. 0.8 μ m, N-well CMOS 공정을 상용하여 설계한 입력단 회로는 트랜스 컨덕턴스 변동률이 1%이하인 결과를 나타냈으며, 1.5V에서 3.3V의 전원 전압에서 안정한 동작을 하였다. 연산증폭기의 개방-루프 이득은 15pF 부하에서 84dB이고, 단일-이득 주파수는 10MHz의 특성을 나타내었다.

참고 문헌

- [1] W.C.S.Wu, W. J.Helmns, J.A.Kuhn, and B.E.Byrnett, "Digital-Compatible High-Performance Operational Amplifier with Rail-to-Rail Input and Output Range", *IEEE J.Solid-State Circuits*, vol.29, no.1, pp.63-66, January 1994
- [2] R.Hogervorst, R.J.Wiegerink, P.A.L.de Jong, J.Fonderie, R.F.Wassenaar, J.H.Huijsing, "CMOS Low-Voltage Operational Amplifiers with Constant-gm Rail-to-Rail Input Stage", *IEEE J.Solid-State Circuits*, vol.29, pp.411-416, April 1994
- [3] R.Hogervorst, J.P.Tero, J.R.G.H.Eschauzier, J.H.Huijsing, "A Compact 3-V CMOS Rail-to-Rail Input/Output Operational Amplifiers for VLSI Cell Libraries", *IEEE J.Solid-State Circuits*, vol.29, pp.1505-1512, Dec. 1994
- [4] R.Hogervorst, J.P.Tero, J.H.Huijsing, "Compact CMOS constant-gm rail-to-rail Input stage with gm control by an electronic zener diode", *Proceedings ESSCIRC 1995*, Lille, France, 19-21, pp 78-81, Sept. 1995
- [5] R.F.Wassenaar, J.H.Huijsing, R.J.Wiegerink, R.Hogervorst, J.P.Tero, "Differential amplifier having rail-to-rail input capability and square root current control", US patent, patent no. 5,371,474, Dec. 6, 1994
- [6] J.H.Huijsing, D.Lenebarger, "Low-Voltage Operational Amplifiers with Rail-to-Rail Input and output ranges", *IEEE J.Solid-State Circuits*, vol.20, pp.1144-1150, Dec 1985
- [7] E.A.Vittoz, J.Fellrath "CMOS analog integrated circuits based on weak inversion operation", *IEEE J.Solid-State Circuits*, vol.12, pp.224-232, June 1977

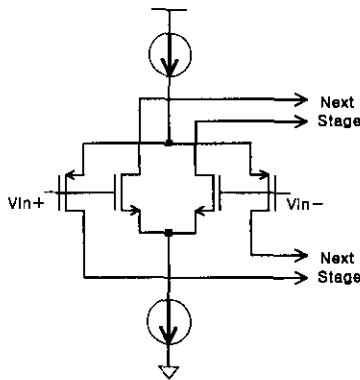


그림 1. Rail-to-rail 입력단 회로

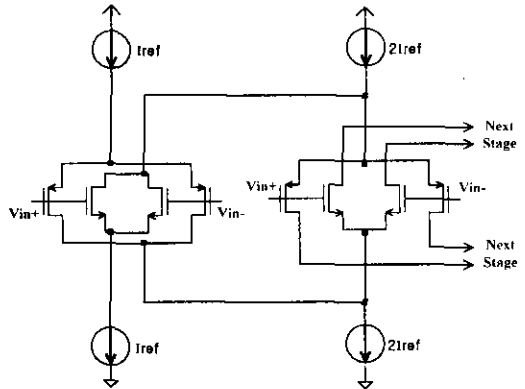


그림 2. 제안하는 일정- g_m 을 갖는 rail-to-rail 입력단 회로

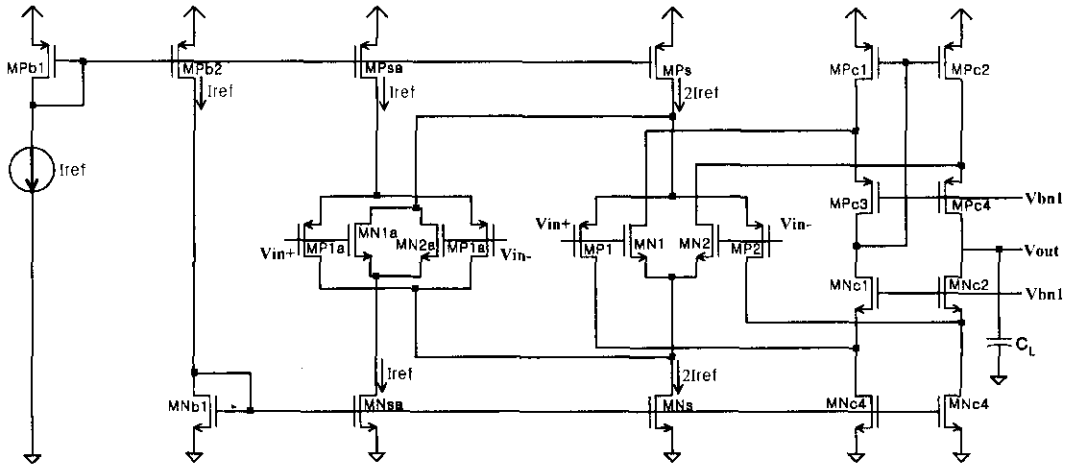


그림 3. 일정- g_m 을 갖는 rail-to-rail 입력단 회로를 탑재한 연산증폭기

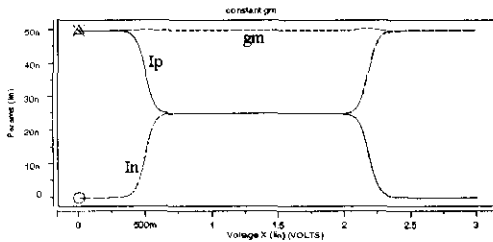


그림 4. 입력단 회로의 g_m 및 전류 특성

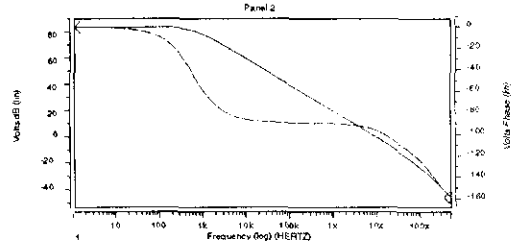


그림 5. 개방 루프 주파수 및 위상 특성