

3.3 V , 400 MBPS IEEE-1394 물리층 트랜시버의 설계

황 인 칠 , 한 상 찬 , 송 병 준 , 김 수 원

고려대학교 전자공학과 ASIC 설계기술 연구실

Tel: 928 - 1216, e-mail: hic@asic.korea.ac.kr

Design of A 3.3 V, 400 MBPS IEEE-1394 Physical Layer Transceiver

Inchul Hwang , Sangchan Han , Byungjun Song , Soowon Kim

ASIC Design Tech. Lab., Dept of EE, Korea University

Tel: 928 - 1216, e-mail: hic@asic.korea.ac.kr

Abstract

We designed a 3.3 V, 400 Mbps IEEE-1394 physical layer transceiver on 0.6um 1P3M CMOS process. The transceiver drives a twisted pair cable of which differential impedance is 110 Ω so that differential amplitude reaches 200 mV at 400 Mbps and restores this small signal to rail-to-rail. Also, the transceiver arbitrates the interface among nodes on a bus configuration and supports both synchronous interface and asynchronous interface.

1. 서론

IEEE 1394 는 컴퓨터와 주변기기 혹은 멀티미디어 기기와의 통신을 위해 제안된 고성능 직렬 버스 인터페이스 방식이다. IEEE 1394 는 실시간 영상 데이터를 압축 없이 전송하기 위해서 400 Mbps 까지의 전송 속도를 표준으로 규정하여 놓고 있다. 또한 IEEE 1394 는 직렬 버스가기 때문에 비교적 원거리 통신이 가능하게 되고 이를 이용하여 ISDN 과의 연동을 통해 home network 을 구성하는 주요 subnet 으로 주목 받고 있다. 본 논문에서는 이에 사용되는 핵심 부품으로써 물리층 트랜시버를 0.6um 1P3M CMOS 표준 공정으로 구현하였다.

2. IEEE 1394 의 개요

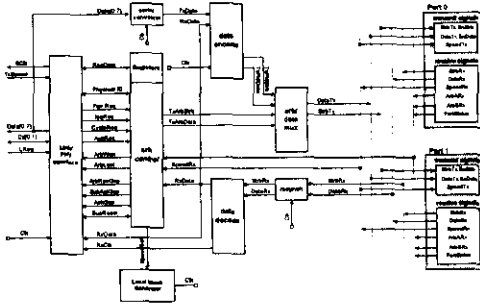
IEEE 1394 는 애플 컴퓨터사에서 처음 개발된 뒤 연구 그룹이 형성되어 표준화 작업에 착수하여 여러 번의 초안 작업을 거친 뒤 1996 년에 IEEE 에서 IEEE Std 1394-1995 라는 표준으로 발표하였다[1]. 이 표준에 따르면 IEEE 1394 는 400 Mbps , 200 Mbps , 100 Mbps 의 전송속도를 지원하고 고속 실시간 전송을 위한 동기 전송과 handshake 를 이용하는 비동기 전송이 모두 가능하도록 규정하였다. 그리하여 IEEE 1394 는 고속 전송과 쌍방향 전송면에서 우수한 특성을 갖게 되었다.

IEEE 1394 의 프로토콜은 물리층(physical layer), 링크층(linklayer), 트랜잭션층(transaction layer)의 3 계층으로 구성된 계층적 구조를 갖는다. 여기서 물리층은 케이블과의 물리적 연결, 즉 케이블에 신호를 구동하거나 케이블상의 신호를 해석하여 디지털 신호로 복원하는 기능과 버스 초기화, 버스 중재 등의 실제 데이터 처리와는 무관한 최하위 프로토콜을 담당한다. 반면에 링크층이나 트랜잭션층은 물리층으로부터의 데이터를 64 비트 단위의 패킷형태로 다루어 에러 체크, 패킷화, 그리고 상위 호스트와의 인터페이스등을 수행한다. 이 3 개의 프로토콜 계층 중에서 물리층과 링크층은 하드웨어 형태로 구현되고 트랜잭션층은 소프트웨어나 펌웨어 형태로 구현된다.

본 논문에서는 이들 3 계층 중에서 물리층을 CMOS 공정을 이용하여 구현하였다.

3. IEEE 1394 물리층 트랜시버

본 논문에서 구현한 물리층 트랜시버(PHY transceiver)는 크게 I/O 구동기, 클럭 발생기, 버스 중재기의 3개 블록으로 구성되어 있으며 그림 1에 트랜시버의 블록도를 나타내었다.



[그림 1] 설계된 트랜시버의 블록도

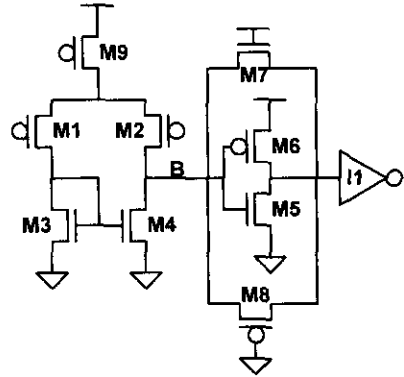
3.1 I/O 구동기

IEEE 1394는 2개의 Twisted Pair(TP)을 이용하여 통신하므로 I/O 구동기는 TP 선을 구동하는 출력 구동기와 임피던스 매칭 회로, 데이터 신호용 비교기와 중재 신호용 비교기 그리고 속도 교환을 위한 속도 신호 발생기와 공통 모드 전압 신호 발생기로 구성된다.

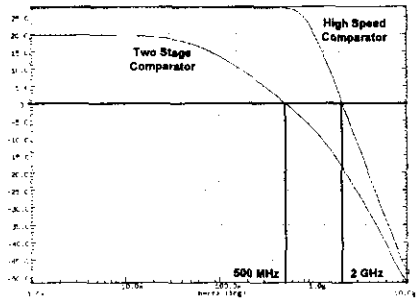
여기서 실제 신호의 진폭은 200mV 이고 속도는 400 Mbps 이므로 이를 디지털 신호로 복원하기 위한 비교기의 특성이 중요한 역할을 하게 되며 적어도 200MHz 이상의 대역에서 25 이상의 이득을 필요로 한다. 그리하여 본 연구에서는 새로운 구조의 고속 비교기를 제안 설계하였는데, 2 GHz의 gain-bandwidth product 을 갖는 것으로 나타났다. 제안된 비교기의 회로도 는 그림 2와 같다. 그림 3에서는 기존의 2-stage 비교기에 비해 제안된 비교기의 gain-bandwidth 가 3배 이상 향상되는 것을 모의실험을 통해 확인하였다.

중재 비교기는 케이블상의 1, 0, Z의 세 신호를 검출하기 위하여 전압 음셋을 가진 두 개의 비교기를 사용하였는데, 음셋의 범위는 100 - 165 mV 이다. 여기에 사용된 비교기는 기존의 2-stage 비교기를 이용하였으며, 그림 4는 설계된

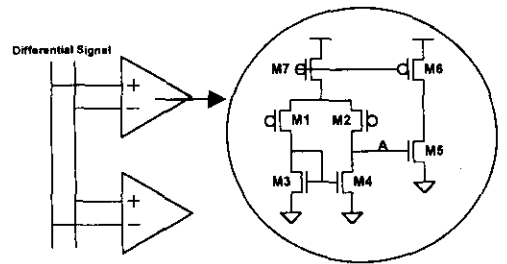
중재 비교기의 구조를 나타낸다.



[그림 2] 제안된 고속 비교기의 회로도



[그림 3] 제안된 비교기의 주파수응답 특성



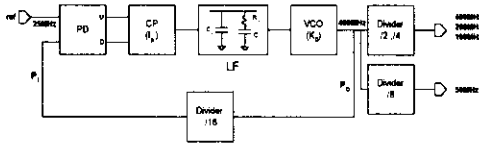
(a) 중재 비교기 (b) 2-stage 비교기

[그림 4] 중재 비교기의 구조

중재 비교기는 1.65 V를 기준으로 -160 mV 이하의 전압은 로직 0으로 판별하고 -100 mV에서 100 mV 범위의 전압은 로직 Z로 판별한다. 그리고 165mV 이상의 전압은 로직 1로 판별한다.

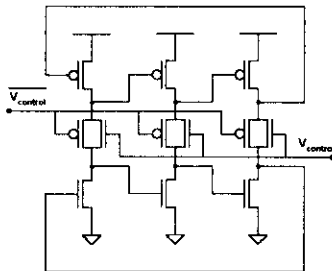
3.2 클럭 발생기

클럭 발생기는 400 MHz 까지의 주파수를 갖는 클럭을 발생시키는 것을 목적으로 하는 주파수 합성기이다. 본 논문에서는 전하펌프 형태의 위상 고정 루프(Charge pump PLL)를 이용하여 클럭 발생기를 구현하였는데, 그 구성은 그림 5와 같다[2][3][4].

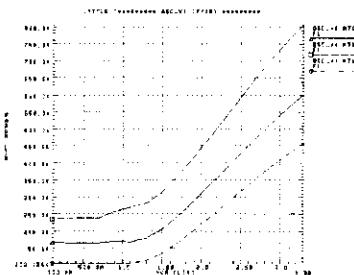


[그림 5] 클럭발생기의 블록도

설계된 PLL 은 400 MHz , 200 MHz , 100 MHz 의 클럭을 발생시키며 동시에 링크층 IC 에서 주 클럭으로 사용하기 위한 50 MHz 클럭을 발생시킨다.



(a) 제안된 VCO



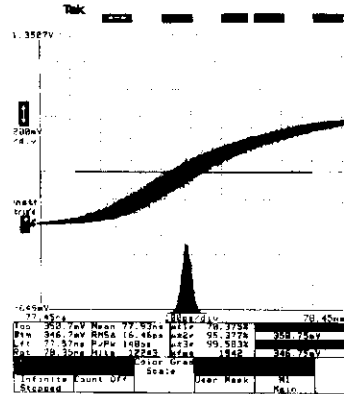
(b) VCO 의 주파수 응답

[그림 6] 제안된 VCO 의 구조와 특성

PLL 은 제한루프 구조를 갖기 때문에 안정성이 주요 설계 요인으로 작용하는데 이를 위해서는 VCO 의 선형적인 이득이 요구된다. VCO 의 이득이 비선형적이면(대개의 경우 주파수가 높아질수록 이득이 작아짐) PLL 의 개방 루프 이득이 주파수가 높아질수록 작아지게 되므로 이를 보상하기 위해 루프필터의 값이 커지는 단점을 갖게 된다[5]. 이러한 문제점을 해결하기 위해서 본 논문에서는 새로운 구조의 지연 소자를 제안하여 VCO 를 구성하였다. 제안된 지연소자는 그림 6 에 나타난 바와 같이 NMOS 와 PMOS 사이에 transmission gate 를 이용하여 지연을 제어하는 방식으로 설계되었다.

설계된 PLL 을 0.6 um CMOS 공정으로 구현하여 측정된 결과 400MHz 에서 142ps 의 피크-피크 지터와 15.46 ps 의 RMS 지터를 나타내었다.

그림 7 에는 이러한 측정결과를 제시하였다.



[그림 7] 지터 측정 결과(@400 MHz)

3.3 버스 중재기

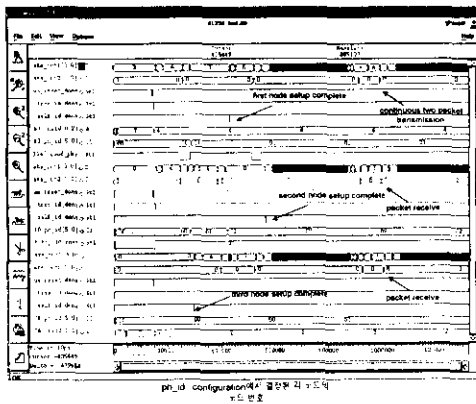
버스 중재기는 물리층에서의 기본적인 프로토콜을 제어한다. 물리층에서의 기본 동작은 버스상에 새로운 노드가 추가되는 경우를 시작점으로 할 때 크게 4 단계로 나눌 수 있다. 첫 단계는 버스 상에 있는 모든 노드들을 초기화시키는 Bus-Reset 단계이고, 두번째는 버스의 tree 구조를 확인하여 이진 트리 형태로 모든 노드들을 배열

하는 Tree-ID 단계, 세번째는 각 노드들간에 자신의 주소와 성능등을 교환하는 Self-ID 단계, 그리고 마지막으로 네번째 단계는 정상적인 데이터의 교환을 증재하는 Normal-Arbitration 단계이다.

Self-ID까지의 3 단계 configuration 과정을 통해 IEEE 1394 버스는 완벽한 PnP(Plug and Play) 기능을 지원하게 되고 Normal-Arbitration에서는 노드간의 충돌 없이 고속 통신이 일어날 수 있게 조정한다. 이러한 버스 증재를 통해 물리층 트랜시버는 64 비트 패킷 단위로 동기 전송이나 비동기 전송을 수행하게 된다.

이러한 버스 증재기 및 link 인터페이스는 VHDL 코딩을 한 후에 Synopsys를 이용해서 회로를 합성하였다. 증재기 내에는 400Mbps의 데이터 통신을 수행하기 위한 여러 블록들이 설계되었는데, FIFO와 packet 저장용 메모리, 그리고 link 층에서 전송된 병렬 데이터를 직렬 데이터로 변환하는 serializer 등이 그것이다.

FIFO와 serializer는 400MHz로 안정적으로 동작시키기 위해서 shift register를 이용하는 방식이 아니라 addressing을 하여 데이터를 액세스하는 방식으로 설계되었다.



[그림 8] 버스 증재기의 모의실험

버스 증재기의 검증은 세 개의 물리층 노드를 구성하여 노드간 데이터 전송을 체크하였는데, 세 개의 노드 중 하나가 root가 되고 나머지 두 노드는 child가 되는 방식으로 configuration되어 노드간 데이터 통신이 원활히 일어나는 것을 확인하였다.

그림 8은 이러한 데이터 통신의 모의실험 결과를 보여준다.

4. 결론

본 논문에서는 정보가전 분야에서 핵심 기술로 부각되고 있는 IEEE 1394 트랜시버를 설계하였다. 트랜시버는 0.6 um CMOS 공정으로 설계되었으며, 3개의 I/O 포트를 내장하고 3.3 V 전원에서 400Mbps까지의 데이터 속도를 지원하도록 설계되었다. 이러한 IEEE 1394 트랜시버는 앞으로 본격적으로 도래하게 될 각종 멀티미디어 기기들과 컴퓨터의 연결, 그리고 고속 컴퓨터 주변 기기인 HDD나 DVD 등과의 연결등에 널리 이용될 것이다.

5. 참고문헌

- [1] G. Marazas, M. D. Teener, and K. Stewart, "IEEE Standard for a High Performance Serial Bus", IEEE, Aug., 1996.
- [2] Ian A. Young, Jeffrey K. Greason, and Keng L. Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors," *IEEE J. Solid-State Circuits*, vol. 27, no. 11, pp 1599-1606, Nov. 1992.
- [3] Jose Alvaez, Hector Sanchez, Gianfranco Gerosa, and Roger Countryman, "A Wide-Bandwidth Low-Voltage PLL for PowerPC Microprocessors," *IEEE J. Solid-State Circuits*, vol. 30, no. 4, pp.383-390, Apr. 1995.
- [4] Vincent von Kaenel, Daniel Aebischer, Christian Piguat, and Evert Dijkstra, "A 320 MHz, 1.5 mW @ 1.35 V CMOS PLL for Microprocessor Clock Generation," *IEEE J. Solid-State Circuits*, vol.31, no. 11, pp.1715-1722. Nov. 1996.
- [5] Floyd M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Tr. on Communications*, vol. COM-28, no. 11, pp. 1849-1980, Nov. 1980.