

# PRML Read Channel 용 고속 디지털 신호 처리부의 설계

기훈재, 이천수, 황인철, 채관엽, 유장식, 김수원  
 고려대학교 전자공학과 ASIC 연구실  
 Tel. 02-923-2081, Fax. 02-928-1216, Email. murphy@asic.korea.ac.kr

## Design of High Speed Digital Signal Processor for PRML Read Channels

Hoon Jae Ki, Cheon Su Lee, In Chul Hwang, Kwan Yeob Chae, Jang Sik Yoo and Soo Won Kim  
 ASIC Laboratory, Department of Electronic Engineering, Korea University  
 Tel. 02-923-2081, Fax. 02-928-1216, Email. murphy@asic.korea.ac.kr

**Abstract**—This paper describes a high speed digital signal processor for partial response maximum likelihood (PRML) read channels. It contains an adaptive equalizer, Viterbi detector and clock recovery block. This processor is designed for PRML read channel models with 1.46 user density. It simulated in 0.6um CMOS technology, dissipates 0.8W at 5V supply and operates up to 200Msample/s.

의해 구성되는 캐환 루프의 안정성을 보장하기 위하여 플래시 타이밍을 사용한다. [1][2]

본 논문에서 설계된 디지털 신호 처리부는 ADC의 출력을 받아 적응 등화기에 의해 채널 특성에 맞는 형태로 복원되고, 비터비 검출기에 의해 원래의 사용자 데이터를 복원한다. 그리고, 적응 등화기로부터 출력된 신호를 받아 동기된 클럭을 복원하는 클럭 복원부가 추가된다.[3]

### I. INTRODUCTION

근래에 들어 컴퓨터 기술은 멀티미디어 기술의 발달과 더불어 그에 따른 데이터량의 증가로 인해 데이터를 처리, 전송, 저장하는 모든 부문에서의 고속, 대용량화를 요구하고 있다. 이 중에서 특히 저장장치 부문은 응용 프로그램이 대형화되고 멀티미디어화에 따른 데이터량이 크게 증가하는 추세에 있기 때문에 지속적인 용량 증가가 요구되고 있다.

이런 상황에서 주목을 받고 있는 것이 신호처리 방식을 개선하여 저장장치의 기록 밀도를 향상시키는 기술의 하나인 partial response maximum likelihood (PRML) 기술이다. PRML 방식은 HDD 나 광 디스크로부터 데이터를 읽어낼 때의 신호처리 기술 중의 하나로 신호간 간섭을 허용하여 데이터 속도를 증가시키고, 신호를 재생할 때 신호간 간섭을 보상하여 원래 신호를 복원해 내는 기술이다. 이를 이용하면 기존의 기록방식에 비해 기록밀도를 20-50% 정도 높일 수 있다. [1][2]

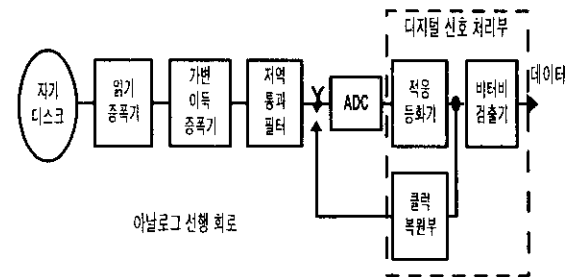


그림 1. PRML read channel 의 구조.

### II. PRML READ CHANNEL

일반적으로 PRML read channel은 그림 1과 같이 아날로그 선행 회로와 디지털 부분으로 구성된다. 자기 디스크에서 읽혀진 신호는 신호 레벨이 매우 적기 때문에 읽기 증폭기를 거치게 된다. 이러한 신호는 가변 이득 증폭기를 거치게 되면 불규칙한 이득을 보상하여 완전한 형태의 신호를 갖게 된다. 지역 통과 필터는 앨리어싱을 방지하기 위하여 신호의 대역폭을 제한하고 채널에서 부과된 잡음을 대역 제한시켜서 이후의 디지털 처리에 용이하도록 한다. 다음으로 ADC는 적응등화기와 클럭 복원부에

### III. ADAPTIVE EQUALIZER

적응 등화기는 자기 채널의 주파수 응답을 보상하여 적절한 형태의 신호로 복원하는 기능을 수행하며 FIR 필터와 개수 갱신 블록으로 구성된다.

#### 1. 8-탭 디지털 FIR 필터

과형등화를 위하여 사용되지는 8-탭 디지털 FIR 필터의 특성이 전체 디지털 신호 처리부의 성능을 좌우하므로 본 논문에서는 고속동작을 위하여 병렬계산 구조를 바탕으로 급셈기에서 발생하는 부분곱을 24:2 암축계산하는 방식을 채택하였다. FIR 필터의 출력으로부터 동기 클럭을 복원하는 클럭 복원부의 안정한 동작을 위하여 제안된 FIR 필터는 3개의 파이프라인 구조를 갖는다. [4]

또한, 고속 동작과 저전력 소모를 위하여 FIR 필터에 사용된 회로는 푸시-풀 패스 트랜지스터 로직을 이용하여 설계하였다. [5] 8-탭 디지털 FIR 필터의 구조를 그림 2에

나타내었다.

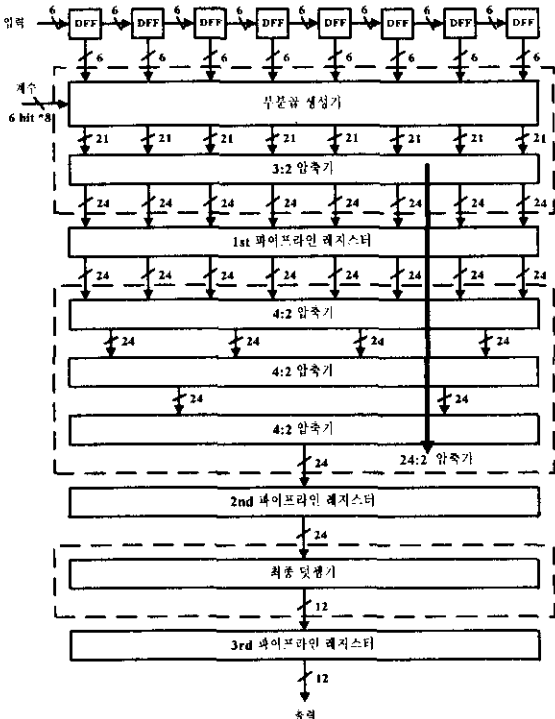


그림 2. 8-탭 디지털 FIR 필터의 구조

설계된 FIR 필터의 주요 사항은 표 1 와 같다.

표 1. 8-탭 디지털 FIR 필터의 주요 사항

특성 변수	특성
입력	6
출력	15
계수	6 (내부 9)
탭수	8
레이턴시(latency)	3

2. 계수 갱신부

적용 등화기에서 계수를 갱신하는 일반적인 방법은 least mean square (LMS) 이며 다음 식과 같다. [3]

$$C_{k+1} = C_k + \beta e_k x_k$$

여기서,  $\beta$ 는 갱신간격 크기,  $e_k$ 는  $k$  시간의 입력 오차. 그리고  $x_k$ 는  $k$  시간대의 특정 탭에 대한 입력이다. 그러나 이러한 알고리즘을 설계하기 위해서는 두 번의 곱셈과 한번의 덧셈의 과정을 거쳐야 하는데 계수를 갱신하는데 걸리는 시간이 전체 동작시간에 더해져서 전체 동작주파수를 낮추게 된다.

본 논문에서는 이러한 문제점을 해결하기 위하여 sign-sign LMS 알고리즘을 채택하였다.

$$C_{k+1} = C_k + \beta \text{sgn}(e_k) \text{sgn}(x_k)$$

여기서  $\text{sgn}(\cdot)$ 는 signum 함수로 양, 음에 따라 1 혹은 -1의 값을 갖는다. 위의 식은  $\text{sgn}(e_k)\text{sgn}(x_k)$ 에 따라 다음과 같이 줄일 수 있다.

$$C_{k+1} = C_k \pm \beta$$

이러한 sign-sign LMS 알고리즘을 사용할 경우 전체 시스템의 동작주파수에 대한 영향을 최소화 할 수 있다. 그림 3에 계수 갱신 블록에 대한 회로도도를 나타내었다.

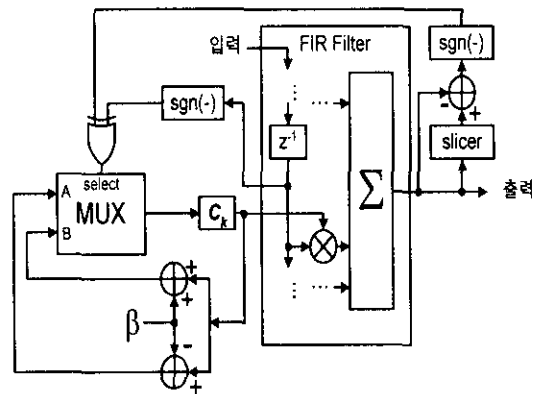
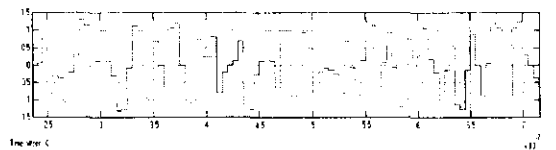
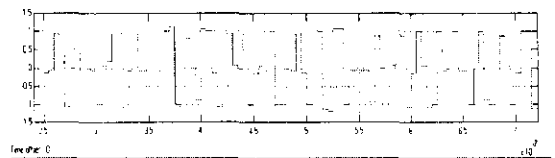


그림 3. 계수 갱신부의 블록도



(a) 적응 등화기의 입력



(b) 적응 등화기의 출력

그림 4. 적응 등화기의 모의 실험 결과

제안된 8-탭 FIR 필터와 계수 갱신부에 대한 모의실험 결과를 그림 4에 나타내었다. 입력 신호는 자기 채널을 통

과한 PR4 형태로 완전한 형태를 갖고 있지 않다. 적응 등화기를 통과한 출력은 샘플값이 -1, 0, 1의 형태인 PR4 신호로 복원되어 나오는 것을 알 수 있다.

#### IV. VITERBI DETECTOR

적응 등화기에서 출력된 PR4 신호를 검출하기 위하여 비터비 검출기를 사용한다. 출력된 신호는  $(1-D^2)$ 의 PR4 채널 특성을 갖고, 이와 같은  $(1-D^2)$ 의 PR4 신호는 두개의 인터리빙된  $(1-D)$  채널 특성과 동일하다. 이러한 특징 때문에, 각  $(1-D)$  채널을 1/2의 속도로 동작시켜 신호를 복원할 수 있다. 일반적으로 비터비 검출기에서는 분리되어 있는 샘플 신호를 이용하여 원하는 데이터를 얻어내기 위하여 차거리 알고리즘을 이용한다. 차거리는 2 상태의 트랜지스에서 누적 분기 거리의 차이로 정의되며, 이러한 차거리 범위에 따른 트랜지스의 상태를 출력한다. 그림 5에 차거리 알고리즘을 이용한  $(1-D)$  비터비 검출기의 구조를 나타내었다.

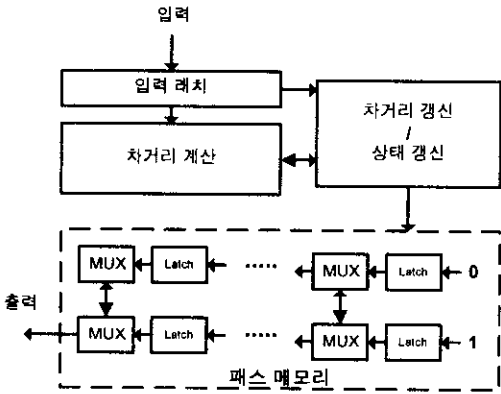
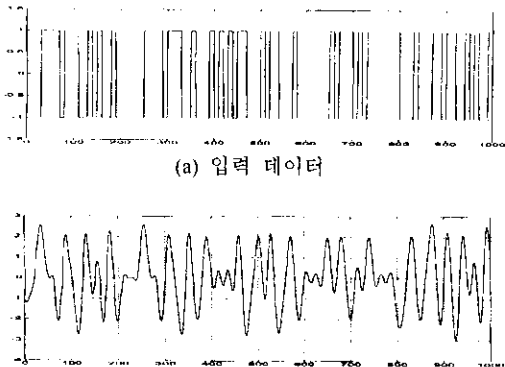
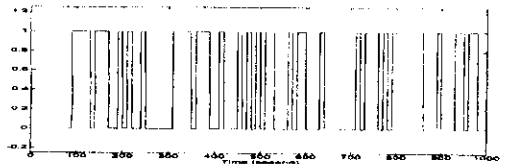


그림 5.  $(1-D)$  비터비 검출기

그림 6에 PR4 채널을 통과한 입력 신호에 대한 비터비 검출기의 모의 실험 결과를 나타내었다.



(b) 적응 등화기 출력 (PR4 신호)



(c) 비터비 검출기의 출력

그림 6. 비터비 검출기의 모의 실험 결과

#### V. CLOCK RECOVERY

디지털 신호처리를 위한 ADC의 샘플링 클럭은 PR4 파형의 샘플링 주기에 정확히 동기되어야 하므로 이러한 클럭을 발생시키기 위하여 클럭 복원부가 필요하다. 즉, PR4 파형에 등화된 표본으로부터 클럭 정보를 추출하여 샘플링 클럭의 위상을 조정하게 된다. 그림 7에 클럭 복원부를 나타내었다. 본 논문에서 사용한 클럭 복원부는 두개의 루프 구조를 이종 루프 구조를 갖는다. PFD를 포함하는 루프는 클럭 발생기에서 생성된 클럭을 이용하여 데이터를 액세스하지 않는 기간 동안 클럭의 주파수를 유지한다. 결정지향방식의 위상 검출기를 포함한 루프는 PR 신호가 입력될 때 정확한 위상을 갖는 클럭을 복원하는 기능을 수행한다.

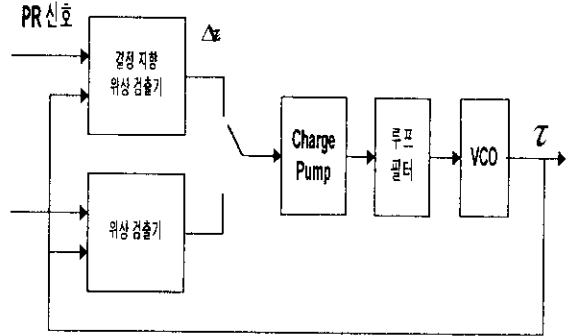


그림 7. 이종 루프 구조를 갖는 클럭 복원부

일반적으로 클럭 복원시 샘플링된 임펄스 응답의 대칭성을 이용하여 클럭 정보를 추출하게 되는데, 전송된 데이터로부터 임펄스 응답을 얻는 것이 불가능하기 때문에 입력되는 데이터의 평균값을 타이밍 함수로 정의하여 사용한다. 이렇게 계산된 함수값과 반대로 클럭을 조정하는 방식을 결정지향방식이라한다.

그림 8에 클럭 복원부의 모의 실험 결과를 나타내었다. 획득 시간을 빠르게 하기 위한 프리앰블 파형에서 정확히 데이터를 복원하는 것을 알 수 있으며, 이후 정상적인 데이터 입력에서 정상적으로 데이터를 복원하는 것을 확인할 수 있다.

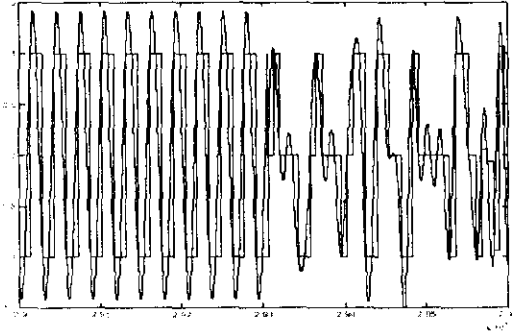


그림 8. 클럭 복원부의 모의 실험 결과

### VI. SIMULATION RESULT

본 논문에서 제안된 PRML read channel 용 디지털 신호 처리부에 대한 시스템 모의실험을 수행하였다. 사용된 PRML read channel의 코딩율은 8/9 이며, 채널밀도와 사용자 밀도는 각각 1.65 와 1.46 이다. ADC의 출력 범위는 -2 부터 2 까지로 정하였으며 디지털 신호 처리부의 입력은 6 비트이다.

그림 9에 설계된 디지털 신호 처리부의 모의 실험 결과를 나타내었다. 일반적으로 PRML 시스템은 적응 동작기의 계수 안정화와 데이터 동기화를 위하여 실제 데이터를 읽기 전에 -1, -1, 1, 1의 값을 주기적으로 갖는 프리앰블 신호로 동작하게 되는데, 그림에서 볼 수 있듯이 어느 정도의 시간후에는 정확하게 -1, -1, 1, 1의 값을 샘플하는 것을 볼 수 있다. 프리앰블 신호가 끝나고 정상 데이터가 입력된 후에는 정상적인 PR4 신호인 -1, 0, 1을 샘플하는 것을 알 수 있다.

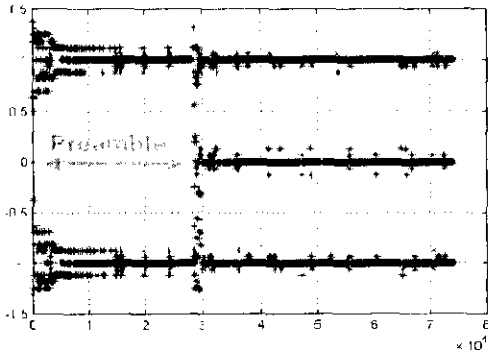


그림 9. 디지털 신호처리부의 시스템 모의 실험 결과  
위와 같은 시스템 모의 실험을 통하여 결정된 PRML

read channel 모델이 정상적으로 동작함을 증명하였고, 이를 바탕으로 0.6um CMOS 공정을 이용하여 모의 실험을 수행하였다. 모의 실험 결과 설계된 PRML read channel 용 디지털 신호 처리부는 5V의 전원전압에서 200MHz로 동작함을 알 수 있었다.

### VII. CONCLUSION

본 논문에서는 PRML read channel에 적합한 고속 디지털 신호 처리부를 설계하였다. PRML read channel의 시스템 모델을 설정하여, 시스템 모의 실험 결과 정상적으로 동작함을 알 수 있었다. 고속 동작을 위하여 적응 동작기에 사용되는 디지털 필터의 계산 방식에 압축 계산 방식을 채택하였고, 패스 트랜지스터 로직을 채택하였다. 계수 갱신 블록에는 sign-sign LMS 알고리즘을 채택하였으며, 인터리빙된 비터비 검출기를 설계하였다. 클럭 복원부에는 결정 지향 방식의 위상 검출기를 갖는 이중 루프 구조를 채택하였다.

설계된 디지털 신호 처리부는 0.6um CMOS 공정을 이용하여 모의 실험을 수행하였고, 전원 전압 5V에서 200Msample/s로 동작하며, 0.8W의 전력을 소모함을 알 수 있었다.

### REFERENCES

- [1] Roy D. Cidecian, Francois Dolivo, Reto Hermann, Walter Hirt, and Wolfgang Schott, "A PRML System for Digital Magnetic Recording", *IEEE J. on Selected Areas in Communications*, Vol. COM-24, No. 5, pp. 38-56, Jan. 1992.
- [2] Alexander Taratorian, "Characterization of Magnetization Recording Systems - A Practical Approach", *GUZIK Technical Enterprises*, 1996
- [3] Caesar S.H. Wong, Jacques C. Rudell, Gregory T. Uehara, and Paul R. Gray, "A 50MHz Eight-Tap Adaptive Equalizer for Partial Response Channels", *IEEE JSSC*, Vol. 30, No. 3, pp. 228-234, March 1995.
- [4] Hoon Jae Ki, Woo Hyun Paik, Jang Sik Yoo, and Soo Won Kim, "A High Speed, Low Power 8-Tap Digital FIR Filter for PRML Disk-Drive Read Channels", *1997 European Solid State Circuit Conference*, pp. 312-315, Sep. 1997.
- [5] Woo Hyun Paik, Hoon Jae Ki, and Soo Won Kim, "Push-pull Pass-transistor Logic Family for Low Voltage and Low Power", *1996 European Solid State Circuit Conference*, pp. 116-119, Sep. 1996.
- [6] Roger W. Wood, and David A. Petersen, "Viterbi Detection of Class IV Partial Response on Magnetic Channel", *IEEE Trans. on Communications*, Vol. COM-34, No. 5, pp. 454-461, May 1986.
- [7] Ramon S. Co, and J. H. Mulligan Jr., "Optimization of Phased-Locked Loop Performance in Data Recovery Systems", *IEEE JSSC*, Vol.29, No.9, Sep. 1994.