

비동기 파이프라인 구조를 위한 정적 래치 DCVSL 회로

김영우*, 김수원*

* 고려대학교 대학원 전자공학과 ASIC 설계 기술 연구실

서울시 성북구 안암동 5 가 1 번지, 136-701

e-mail : kyw@asic.korea.ac.kr

A Static Latched DCVSL Circuits for Asynchronous Pipeline Scheme

Young-Woo Kim*, Soo-Won Kim*

*ASIC Lab., school of EEE, Korea University

e-mail : kyw@asic.korea.ac.kr

Abstract

In this paper, a SL-DCVSL (static latched differential cascode voltage switch logic) circuit for the asynchronous pipeline is proposed. The proposed SL-DCVSL circuit is a slightly modified version of the DCVSL circuit, and used to improve the storage capability of the precharged functional blocks. The proposed SL-DCVSL has more robust storage characteristics compared to the conventional LDCVSL (latched DCVSL[1]) and LDPL (latched differential pass transistor logic[2]).

The operation of the proposed circuit is verified by simulating the asynchronous FIFO (First-In First-Out) structure.

달을 동기화 된 전역 클럭이 아닌 상호 타협된 시간 정보에 따라 이루지는 방식이다[3][4]. 비동기 회로에 대한 연구는 CAD, formal verification 등 설계 방법론으로부터 pipeline scheme, functional block 뿐 아니라 마이크로프로세서와 같은 대규모의 시스템의 설계 검증 등 다양한 분야에 대하여 걸쳐 진행되고 있다.

본 논문에서는 DCVSL 을 이용한 비동기 회로의 효율적인 동기화와 파이프라인 방식을 위한 static latched DCVSL (SL-DCVSL) 회로를 제안하였다.

II. 비동기 파이프라인

동기회로에서와 같이 파이프라인 방식이 비동기 회로에도 적용되어질 수 있다. 비동기 회로에서 파이프라인 래치(latch)의 제어는 전역 클럭에 의하여 제어되어지 않고 파이프라인 단의 동작에 의하여 결정된다. 비동기 파이프라인은 인접한 파이프라인 단과의 데이터 전송 및 제어신호 전송방식에 따라서 달라지게 되며 다음과 같이 정리할 수 있다[5].

- Dual-rail vs. data bundling
- Level vs. transition encoding
- Speed-independent vs. delay-independent

Dual-rail 은 각 boolean 값을 2 개의 신호선으로 확장하여 신호의 값과 타이밍 정보를 표현하며, data bundling 은 데이터 값 이외에 별도의 타이밍을 위한 신호선을 사용하는 방법이다. 타이밍 제어 신호의 표현에 있어서는 신호의 전압레벨을 이용하여 타이밍을 제어하는 level encoding 방식과 신호의 에지를 이용하는 transition encoding 방식이 사용된다. 회로는 gate 의 지연만을 고려하는 speed-independent 방식과 gate 의 지연 뿐 아니라 신호선의 지연 모두를 고려하는 delay-

I. 서론

현재의 VLSI 회로 설계는 공정기술의 발전 및 설계 도구의 발전으로 인하여 고속의 성장을 보이고 있다. 특히 디지털 VLSI 회로는 수백만개의 트랜지스터를 하나의 IC 내에 구현할 수 있는 수준의 기술 발전을 보이고 있다. 이와 같은 고집적/고속화는 전역 클럭(global clock) 신호를 이용한 동기 회로 기법의 설계 방법론을 채용하여 가능할 수 있었으며 앞으로도 많은 성능 향상을 가져올 것으로 기대된다. 그러나 전역 클럭을 사용하는 동기 회로는 시스템이 복잡해지고 고속화 되어감에 따라 시스템 클럭 신호의 동기화가 어려워지고, 클럭 신호의 스큐(clock skew)로 인하여 시스템의 설계를 어렵게 하는 원인이 되고 있다. 또한 전역 클럭의 불필요한 스위칭 동작은 시스템의 전력 소모를 증가시키는 주요 원인이 된다[3].

전역 클럭을 사용하는 동기 회로 설계 방법론의 단점을 극복하기 위하여 최근 몇 년간 전세계적으로 여러 대학 및 연구소에서 비동기 회로에 대한 연구가 진행되어지고 있다. 비동기 회로는 전역 클럭을 사용하지 않고 시스템내 개개의 서브 시스템들 간 정보전

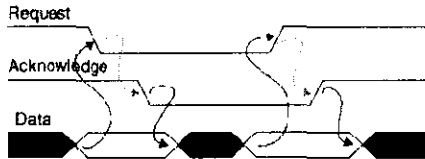
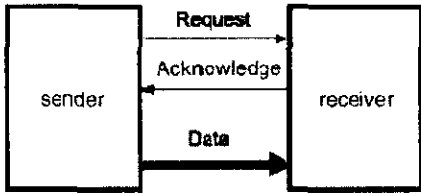


그림 1. 비동기 회로의 데이터 요청과 확인

표 1. 일반적인 dual-rail 인코딩 데이터 표현

신호 0	신호 1	신호의 의미
0	0	Value is not yet computed (spacer)
0	1	Value is One
1	0	Value is Zero
1	1	Illegal

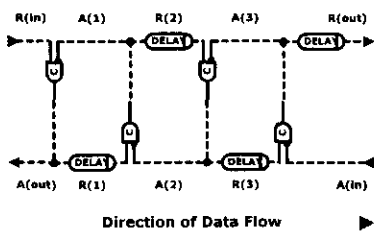


그림 2. 마이크로파이프라인의 제어신호 흐름

independent의 경우로 설계하게 된다. 비동기 파이프라인은 이와 같은 데이터 및 제어신호의 전송 방식을 사용하여 신호를 주고 받는 처리 블록으로 모델링 된다. 그림 1은 데이터를 출력하는 sender와 주어진 데이터를 입력 받는 receiver의 두 모듈간의 데이터 전송과 데이터의 요청 및 확인 절차에 관한 비동기 회로의 핸드셰이킹(handshaking) 방식의 전송 프로토콜을 나타낸다. 데이터의 표현은 일반적으로 dual-rail 방식을 사용하는데, 하나의 데이터에 두 개의 신호선을 사용하여 데이터의 값과 각 모듈에서의 지연시간을 위한 타이밍 정보 표현을 가지고 있다(표 1.의 진리표 참고).

핸드셰이킹을 이용한 파이프라인의 구성은 마스터-슬레이브 레지스터를 이용하는 완전 핸드셰이킹(full handshaking) 방식과 부분 핸드셰이킹(half handshaking) 방식이 있다[1]. 대표적인 부분 핸드셰이킹 방식으로 마이크로파이프라인(Micropipeline)을 들 수 있으며, 마이크로파이프라인은 연산 로직 부분과 레지스터를 이용한 data bundling과 transition encoding을 이용한다[4]. 그림 2는 마이크로파이프라인의 제어신호의 흐름을 나타낸다. 또 다른 방식의 파이프라인은 로직과 저장 요소를 결합한 형태의 파이프라인 방식이다. 저장

요소를 연산 로직과 결합함으로써 별도의 레지스터나 래치를 필요치 않고, 적은 면적과 빠른 연산 속도를 얻을 수 있는 장점이 있다[1]. 이와 같은 파이프라인 방식에는 DCVSL을 이용한 파이프라인 구성이 많이 사용된다.

III. SL-DCVSL

1. LDPL과 LDCVSL

LDPL (latched differential pass transistor logic)[2]과 LDCVSL (latched DCVSL)[1]은 DCVSL의 데이터의 저장 기능을 개선하여 비동기 회로에 적용한 회로 스타일들이다. DCVSL은 첫째 도미노 구조의 로직 구성을 통하여 빠른 속도를 얻을 수 있고, 둘째 dual-rail 신호를 사용하여 4-상 통신 프로토콜(4-phase communication protocol)을 손쉽게 구현할 수 있으며, 마지막으로 로직 신호의 복원을 위한 부하 부분을 데이터 저장을 위한 저장 요소(storage element)로 구성할 수 있기 때문에 비동기 회로의 구성에 쉽게 사용할 수 있다는 장점이 있다.

LDCVSL은 LDPL을 단순화 한 것으로서 TSPC 스타일의 출력 래치를 사용하여 회로의 속도를 향상시키고자 하였다. LDCVSL의 동작은 Req 신호가 low일 때 DCVSL 트리를 precharge 하며, Req 신호가 high일 때 precharge된 상태에서 DCVSL 트리의 evaluate를 수행한다. Evaluation 단계에서는 출력단의 TSPC 래치에서 로직의 출력값을 래치하며, T_1 과 T_1' 은 precharge 단계에서 출력을 입력으로부터 분리시켜서 출력값을 유지하게 된다(그림 3).

2. SL-DCVSL

LDPL과 LDCVSL은 모두 출력단 래치에 TSPC 래치를 사용하였다. 이와 같은 TSPC 래치는 빠른 속도를 얻을 수 있는 반면 출력 신호에 glitch가 발생하여 다음 단 회로에 영향을 미칠 수 있으며, 출력의 래치를 위한 T_1 과 T_1' 트랜지스터의 on, off 시 발생하는 clock feedthrough로 인한 신호 레벨의 변동 등의 문제점을 가지게 된다. 따라서 TSPC 래치를 사용하는 출력단의 설계 시에는 트랜지스터의 크기 설정에 많은 주의를 기울여야 한다. 이와 같은 문제점을 보완하기 위하여 본 논문에서는 정적 래치를 사용하는 DCVSL(static latched DCVSL) 회로를 제안하였다.

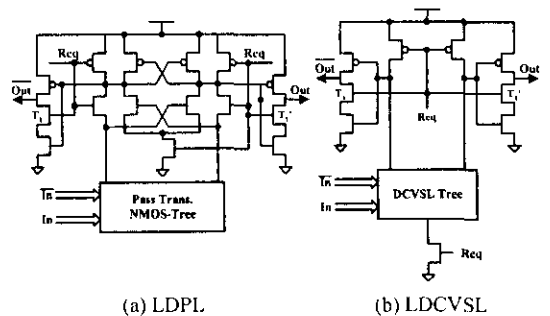


그림 3. LDPL과 LDCVSL

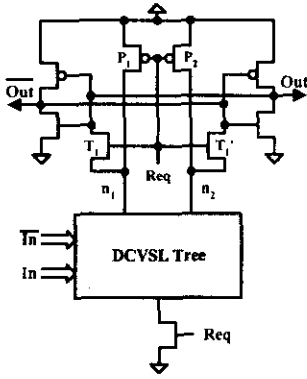


그림 4. 제안된 SL-DCVSL 회로

표 2. SL-DCVSL의 dual-rail 인코딩

n ₁ 노드	n ₂ 노드	신호의 의미
0	0	Illegal
0	1	Value is Zero
1	0	Value is One
1	1	Value is not yet computed

제안된 SL-DCVSL 회로는 출력 래치에 cross-coupled inverter를 사용한 정적 래치, n-MOS DCVSL tree, 그리고 이들 사이의 신호 차단을 위한 두 개의 트랜지스터 T₁, T₁'로 구성된다. SL-DCVSL은 precharge 단계와 evaluation 단계로 동작한다. Precharge 단계는 Req 신호가 low 일 때로서 P₁, P₂ 트랜지스터를 on 시켜서 n₁과 n₂ 노드를 high 상태로 precharge 한다. Evaluation 단계는 Req 신호가 high 일 때이며 precharge 된 n₁과 n₂ 노드를 DCVSL 트리의 입력값에 따라 high 와 low 출력값을 생성한 후 T₁, T₁' 트랜지스터를 통하여 출력단 래치로 전달한다. 출력 값을 래치한 후 다시 precharge 단계가 되면 T₁, T₁' 트랜지스터는 off 되어 출력과 n₁, n₂ 노드를 분리하여 출력값 유지한다.

SL-DCVSL 회로에서는 dual-rail 인코딩 신호를 사용하여 출력의 상태를 나타낸다. 래치된 출력은 항상 반전된 신호 출력값을 유지하고 있으므로 dual-rail 인코딩을 위한 신호는 n₁, n₂ 노드를 통하여 얻을 수 있다 (표 2 참고).

IV. 모의실험

SL-DCVSL 회로의 동작 검증을 위하여 10-stage 비동기 FIFO를 구성하였다. FIFO를 위한 파이프라인은 그림 5와 같은 방식으로 구성된다[1]. 그림 5의 파이프라인 방식은 dual-rail을 사용한 부분 핸드셰이킹 방식으로써, 각 스테이지들이 precharge와 evaluation을 번갈아 수행하는 방식이다. 파이프라인의 구성에 필요한 C-요소와 CSG (completion signal generation)는 CMOS 회로를 사용하여 구성하였다. 그림 6은 10-stage 비동기 FIFO의 동작과 제안된 SL-DCVSL의 회로 동작을 시뮬레이션 한 그림이다.

TSPC 래치를 사용한 LDCVSL 혹은 LDPL의 경우

래치 출력단의 T₁, T₁' 트랜지스터가 off 될 경우 이들 트랜지스터로 인한 clock feedthrough가 발생하여 출력에 영향을 미치게 된다. 또한, evaluation에서 precharge로 바뀌는 순간에 T₁, T₁' 트랜지스터가 완전히 off되지 않을 경우 이로 인한 잘못된 출력값을 얻을 수 있다.

제안된 SL-DCVSL의 경우 cross-coupled inverter를 사용한 정적 래치 출력단을 가지므로 다이내믹 래치 출력단의 경우에 비하여 안정된 신호를 얻을 수 있다 (그림 6. (a)). 그림 6. (b)는 SL-DCVSL을 사용한 비동기 FIFO의 시뮬레이션 결과이다. 입력측에 Req 신호가 발생할 경우 입력 되는 신호를 반전하여 최종적으로 각 스테이지마다 반전된 데이터를 저장하도록 하여 FIFO의 동작을 확인하였다. 비동기 FIFO는 최대 200MHz 까지 동작함을 시뮬레이션을 통하여 확인하였으며, 다음의 표 3은 제안된 SL-DCVSL의 특성을 요약한 것이다.

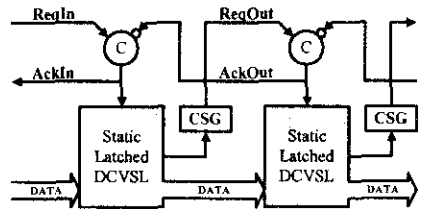
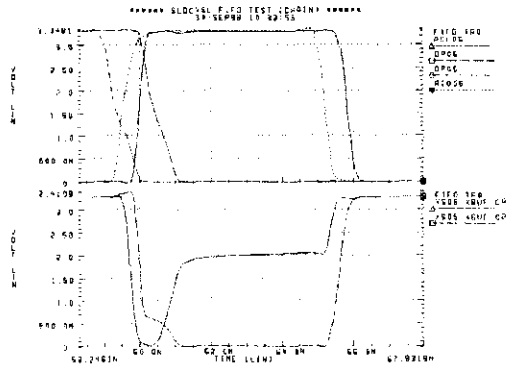
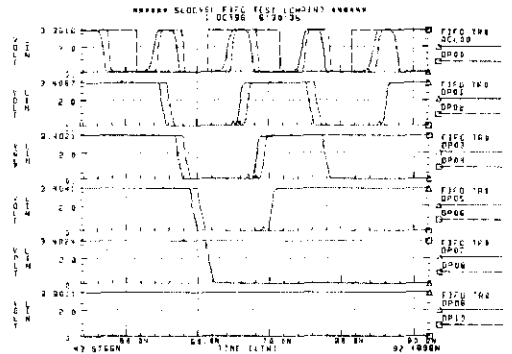


그림 5. Dual-rail, 부분 핸드셰이킹 비동기 파이프라인



(a) 출력 및 n₁, n₂의 신호



(b) 비동기 FIFO의 동작

그림 6. SL-DCVSL 회로의 동작 및 비동기 FIFO의 시뮬레이션 결과

V. 결론

제안된 SL-DCVSL 는 10-stage 비동기 FIFO 회로를 구성하여 동작을 확인 하였다. 구성된 비동기 FIFO 는 최대 200 MHz 로 동작함을 알 수 있었으며, 정적 래치 출력 단을 사용 함으로서 안정된 출력 값을 얻을 수 있었다. 제안된 SL-DCVSL 회로는 dual-rail 인코딩과 부분 핸드셰이킹 방식을 사용하는 비동기 파이프라인 을 구성에 적합하며, LDCVSL 과 신호적인 측면에서의 호환성이 유지되는 특징을 가진다.

본 논문에서는 비동기 파이프라인의 구성에 적합한 SL-DCVSL 회로를 제안하였다. 제안된 SL-DCVSL 회로는 DCVSL 회로와 정적 래치 출력 단을 사용하여 기존 TSPC 래치 출력 단에서 발생하는 여러 문제점을 해결하고자 하였다.

표 3. SL-DCVSL 의 특성

T_d	1 ns
T_{rise}	0.84 ns
T_{fall}	0.66 ns
Supply	3.3 V

Reference

[1] Marc Renaudin, Bachar El Hassan, and Alain Guyot, "A New Asynchronous Pipeline Scheme : Application to the Design of a Self-Timed Ring Divider," IEEE JSSC, vol. 31, no. 7, Jul. 1996

[2] S. Furber, M. Edwards, "Asynchronous Design Methodologies," Elsevier Science Publishers B.V, 1993

[3] Jan M. Rabaey, "Digital Integrated Circuits : A Design Perspective," Prentice Hall, 1996

[4] Sutherland I. E., "Micropipelines", Communications of the ACM, vol 32, no 6, June 1989, pp720-738.

[5] Paver N.C., "The Design and Implementation of an Asynchronous Microprocessor," PhD Thesis, Manchester University, 1994