

시분할 구조와 디지털 에러 보상을 사용한 10비트 1MHz 사이클릭 아날로그-디지털 변환기

성준제, 김수환, 전용원, 김석기, 임신일*

고려대학교 전자공학과

서울시 성북구 안암동 1가

* 서경대학교 컴퓨터공학과

sjj@ulsil.korea.ac.kr

A 10-bit 1-MHz Cyclic A/D Converter with Time Interleaving Architecture and Digital Error Correction

Jun-jeY Sung, Soo-hwan Kim, Yong-weon Jeon, Suki Kim, Shin-il Lim*

Department of Electronics Eng., Korea Univ.

1 Ga Anam-Dong Sungbuk-ku Seoul, Korea

* Department of Computer Eng., Seokyeong Univ.

sjj@ulsil.korea.ac.kr

요약

본 논문에서는 시분할 구조와 1.5bit 디지털 에러보상을 사용하여 작은 면적을 갖는 저 전압, 저 전력 10bit 1MHz 사이클릭 A/D 변환기를 제안하였다. 제안된 사이클릭 A/D 변환기는 시분할 구조를 사용함으로써 변환속도의 향상과 저 전력 특성을 가질 수 있었으며 1.5bit 디지털 에러 보상을 사용함으로써 10bit의 고해상도와 저 전력 특성을 구현할 수 있었다.

제안된 사이클릭 A/D 변환기는 0.6 μ m CMOS Nwell 공정 parameter로 simulation 하였으며 layout 결과 칩면적은 1.1mm \times 0.8mm 이며 이는 비슷한 성능을 갖는 다른 A/D 변환기에 비하여 매우 작은 크기이다. 제안된 사이클릭 A/D 변환기는 3V의 전원전압에 1.6mW의 전력소모를 갖는다. Matlab simulation 결과 INL, DNL은 각각 0.6LSB, 0.7LSB 이하의 값을 보였다.

1. 서론

A/D 변환기는 변환속도를 기준으로 저속, 중속, 고속 A/D 변환기로 분리한다[1]. 저속에 12비트에서 15비트까지 높은 해상도를 갖는 A/D 변환기로는 적분형 A/D 변환기를 예로 들 수 있고, 중속에 8비트에서 12비트 정도의 해상도를 갖는 A/D 변환기로는 SAR 형 A/D 변환기 등이 있다. 낮은 해상도에 고속으로 동작하는 A/D 변환기로는 플래시 형 A/D 변환기가 있다. 보통 마이컴과 같은 디지털 시스템에서는 중속의 SAR 형 A/D 변환기가 주로 사용된다. 이러한 디지털 시스

템은 최근의 디지털 신호처리 기술의 발달로 인하여 보다 저 전력, 작은 면적을 필요로 하게 되었다. 특히 휴대용 기기에 많이 사용되는 마이컴에 내장된 A/D 변환기나 D/A 변환기는 저전압에서 동작이 가능해야 하며 저 전력, 적은 면적을 가져야 한다.

본 논문은 이러한 저 전력, 적은 면적의 요구를 만족시키면서 변환속도를 일반적인 중속의 SAR형 A/D 변환기 보다 크게 향상시킨 사이클릭 A/D 변환기를 제안한다. 특히 고속의 변환속도와 저 전력 특성을 얻기 위하여 다음과 같은 주요 블록 회로 및 설계 기술을 본 논문에서 제안하였다. 첫째로 시분할 구조를 사용함으로써 적은 면적 및 저 전력 특성 구현하였으며 둘째로 디지털에러 보상을 사용함으로써 비교적 해상도가 낮고 작은 면적으로 구현 가능한 저 전력 인버터형 비교기를 사용할 수 있었다. 셋째로 fully differential 증폭기의 출력을 2개의 비교기에 각각 따로 하나의 비교기만 구동하도록 구현하여 증폭기의 출력 load를 줄였으며 넷째로 matlab pre-simulation을 이용하여 전체 system 설계시간을 단축하였다.

2. 사이클릭 A/D 변환기

SAR형 A/D 변환기가 입력신호를 D/A 변환기의 출력을 변화시키면서 비교하여 A/D 변환을 하는 반면에 사이클릭 A/D 변환기는 입력신호를 변화시키면서 A/D 변환을 한다[2]. 일반적인 사이클릭 A/D 변환기는 그림 1과 같이 하나의 저해상도의 내부 A/D 변환

기를 사용하여 상위 bit를 결정하고 증폭기로 입력신호와 D/A 변환기의 출력과의 차이를 증폭하여 다시 내부 A/D 변환기로 다음 bit를 결정한다.

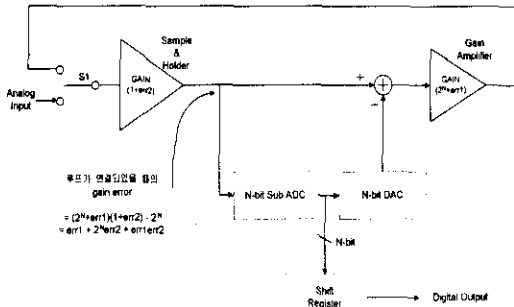


그림 1. 일반적인 사이클릭 A/D 변환기

보통 내부 A/D 변환기는 저해상도로 구현한 flash A/D 변환기가 사용되며 증폭기는 switched-capacitor opamp로 구현한다. 동작원리는 먼저 S1 스위치가 아날로그 입력에 연결되면 샘플된 아날로그 신호는 내부 A/D 변환기에 의해 N-bit로 변환이 되어 shift register에 저장되며 2^N 의 gain을 갖는 증폭기에 입력 신호에서 D/A 변환기의 출력이 빼진 나머지 신호가 인가된다. 그 후 S1 스위치는 증폭기의 출력으로 연결되어 나머지 샘플 홀드 회로는 증폭기의 출력을 같은 방법으로 A/D 변환을 하게 된다. 따라서 M번의 클럭 동안 A/D 변환을 하면 디지털 출력은 $M \times N$ bit의 해상도를 갖게 된다.

3. 제안된 사이클릭 A/D 변환기

제안된 시분할 사이클릭 A/D 변환기는 일반적인 사이클릭 A/D 변환기에 비해 2개의 증폭기로 구성이 되어 있어 한 클럭 주기에서 2번의 A/D 변환을 함으로서 변환속도가 향상되었으며 하나의 내부 flash A/D 변환기로 2개의 증폭기에서 나오는 출력을 변환시킴으로서 전력 소모 및 면적을 크게 줄일 수 있었다. 또한 single ended 입력 신호를 fully differential 신호로 바꾸기 위해서 gain이 2인 증폭기를 A/D 변환의 바로 첫 클럭에서 샘플 홀드 역할을 하도록 구성하여 별도의 샘플 홀드회로를 두지 않았다.

1) 시분할 구조

일반적인 사이클릭 A/D 변환기의 증폭기는 리셋팅 샘플 홀드회로로 구성이 되어 있어 증폭기의 출력을 다시 자신이 샘플 해야 하므로 그림 1과 같이 샘플 홀드 회로가 루프에 추가되어야 한다. 따라서 증폭기의

gain 오차와 부가적인 샘플 홀드 회로의 오차에 의해서 1MHz의 고속에 고해상도의 A/D 변환기를 구현하는데 많은 어려움이 있다[3].

제안된 사이클릭 A/D 변환기는 일반적인 사이클릭 A/D 변환기의 샘플 홀더를 그림 2와 같이 증폭기로 구현함으로써 샘플 홀더에 의한 gain 에러를 없앴으며 증폭기의 클럭보다 2배 빠른 비교기의 클럭을 사용하여 한 번 루프를 돌 때 2번의 A/D 변환을 함으로서 일반적인 사이클릭 A/D 변환기 보다 변환속도를 2배로 향상시킬 수 있었다.

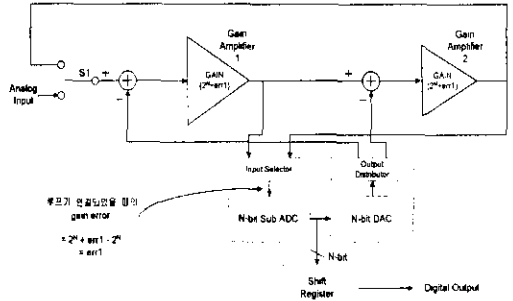


그림 2. 제안된 사이클릭 A/D 변환기

내부 flash A/D 변환기의 비교기는 인버터형 비교기를 사용하였다. 두 개의 증폭기가 각각 홀드 상태에 있을 때 이 비교기는 샘플과 홀드를 이 구간 안에 함께 됨으로서 비교기의 클럭은 증폭기의 클럭보다 2배 빨라야 한다. 인버터형 비교기는 샘플 구간에서는 기준전압을 샘플하고 홀드 구간에서 거의 settling된 증폭기의 홀드 신호를 연결하여 비교기의 출력속을 구한다. 그림 3과 4는 비교기의 회로도 및 timing diagram이다. 여기서 클럭 2는 어떤 증폭기가 홀드 상태에 있느냐에 따라 클럭2 even과 클럭2 odd로 시분할 되어 하나의 비교기로 2개의 증폭기의 출력을 비교하게 되는 것이다.

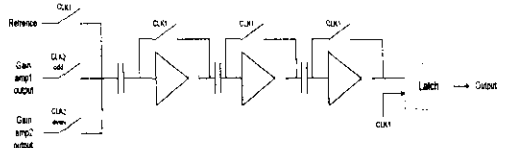


그림 3. 인버터형 비교기

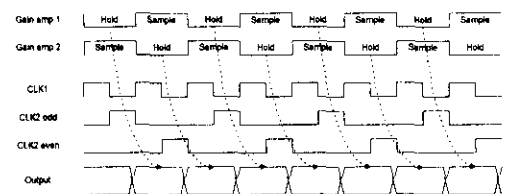


그림 4. Timing Diagram

2) 1.5bit 디지털 에러 보상

일반적인 디지털 에러 보상회로는 덧셈기와 뺄셈기로 구성이 된다. 그러나 실제적으로는 덧셈기 하나 만으로도 디지털 에러 보상을 할 수 있다[3].

인위적으로 내부 A/D 변환기와 D/A 변환기에 offset을 줌으로서 후에 디지털 에러 보상회로에서 덧셈기만으로 에러 보상을 할 수 있게 된다. 이렇게 offset을 준 내부 A/D, D/A 변환기의 출력전압은 $+1/2V_{ref}$ 를 초과하지 않기 때문에 $+3/4V_{ref}$ 의 레벨을 비교하는 비교기가 필요하지 않게 된다. 따라서 비교기 2개만으로 내부 A/D 변환기를 구성하면 디지털 출력은 '00', '01', '10'의 3가지의 경우만이 나오므로 이를 1.5bit A/D 변환기라 한다. 그림 5에 $+3/4V_{ref}$ 의 레벨을 비교하는 비교기를 삭제한 A/D 변환기의 입출력 그래프를 나타내었다.

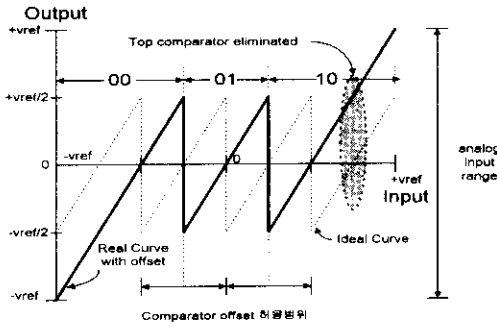


그림 5. 상위 비교기가 없는 A/D 변환기의 입출력 그래프

3) SC (Switched-Capacitor) 증폭기 설계

그림 6은 제안된 사이클릭 A/D 변환기에 사용된 증폭기의 회로도이다. 이 증폭기는 D/A 변환을 위한 별도의 기준전압을 발생시키지 않고 외부에서 인가되는 기준전압만으로 D/A 변환과 차등증폭 기능을 수행한다.

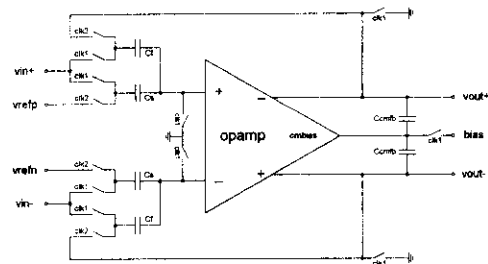


그림 6. D/A 변환과 차등증폭 기능을 갖는 SC 증폭기

SC 증폭기에 사용된 opamp는 3V의 저전압에서 동작하며 넓은 주파수대역과 높은 DC gain을 갖는 folded-cascode opamp로 구현하였다[1]. 시뮬레이션결과 설계된 folded-cascode opamp는 70dB의 DC gain과 30MHz의 unit-gain frequency를 갖는다.

4) 내부 flash A/D 변환기 설계

제안된 사이클릭 A/D 변환기의 내부 A/D 변환기는 1.5bit의 디지털 에러 보상을 사용함으로써 비교기 하나를 줄여 비교적 전력소모가 적고 작은 면적으로 구현되는 2개의 인버터형 비교기로 구성하였다. 또한 fully differential로 나오는 증폭기의 출력은 각각 single ended 입력을 갖는 비교기 하나만 구동한 구조를 사용하였다.

Fully differential의 증폭기의 출력을 비교하려면 differential 신호를 비교해야 하므로 인버터형 비교기를 등용 양의 capacitor 2개를 사용하여야 한다. 제안된 사이클릭 A/D 변환기에서는 시분할 구조를 사용하여 비교기의 클럭이 증폭기의 클럭보다 2배 빠른 클럭을 사용한다. 따라서 differential 증폭기의 신호는 비교기의 클럭 한 주기 동안 일정하게 유지되어있어야 한다. 그러나 증폭기가 홀드구간에서 동작할 때 출력이 settling되는데 시간이 걸리므로 비교기가 이 구간 안에서 differential 증폭기 신호를 비교하면 정확한 비교가 불가능하다. 제안된 사이클릭 A/D 변환기에서는 이러한 문제를 해결하기 위해 그림 7의 블록도와 같이 증폭기의 differential 출력신호 각각이 하나의 비교기만 구동하도록 구현하였다. 증폭기의 CMFB회로가 정확하게 동작한다면 positive 출력과 negative 출력의 절대값이 같으므로 하나의 출력신호만으로 비교를 하여도 정확한 비교가 가능하다.

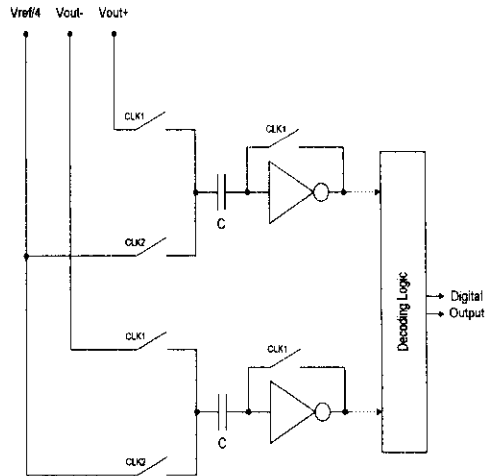


그림 7. 내부 flash A/D 변환기의 블록도

4. 시뮬레이션 결과 및 특성

제안된 사이클릭 A/D 변환기의 INL, DNL은 HSPICE 시뮬레이션 결과를 바탕으로 Matlab 시뮬레이션을 하여 얻을 수 있었다. 그림 9는 Matlab 시뮬레이션 결과를 나타낸다. 최대 INL은 0.6LSB가 나왔으며 DNL은 0.7LSB의 값이 나왔다. 제안된 사이클릭 A/D 변환기의 특성은 다음의 표 1과 같다.

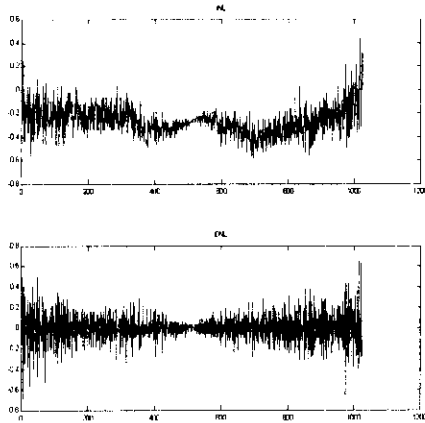


그림 9. Matlab 시뮬레이션에 의한 A/D 변환기의 코드별 INL, DNL

표 1 제안된 사이클릭 A/D 변환기의 특성

Cyclic A/D Converter	
Resolution	10 bit
Conversion Speed	1 MHz
Power supply	+3V, 0V
Power consumption	1.8 mW
Core size	1.1mm*0.8mm
INL (Matlab simulation)	0.6LSB
DNL (Matlab simulation)	0.7LSB

5. 결론

본 논문에서는 마이크로 컨트롤러와 같은 저 전압, 저 전력 시스템에 사용되는 칩면적이 작고 전력소모도 줄인 10bit 사이클릭 A/D 변환기를 제안하였다. 칩면적과 전력소모를 줄이기 위해 시분할 구조와 1.5bit의 내부 flash A/D 변환기 및 인버터형 비교기를 사용하였다. 시분할 구조를 사용함으로써 변환속도를 크게 높일 수 있었으며 증폭기와 샘플 홀더에 의한 에러를 줄일 수 있어 해상도를 높일 수 있었다. 또한 시분할 구조로 인하여 내부 1.5bit flash A/D 변환기 하나로 모든 변환이 가능하므로 칩면적과 전력소모를 줄일 수 있었다.

제안된 사이클릭 A/D 변환기는 시뮬레이션 결과 3V의 전원전압에 대하여 10bit의 해상도와 1MHz의 변환속도를 가지며 소모전력은 1.8mW이다. 0.6 μ m CMOS NWELL 공정을 사용하여 layout하였으며 Matlab 시뮬레이션에 의한 INL과 DNL은 각각 0.6LSB와 0.7LSB의 값을 보였다. 그림 10과 11은 지금까지 발표된 A/D 변환기 논문과 본 논문에서 제안된 사이클릭 A/D 변환기를 전력소모 1mW 당 변환속도와 해상도, 칩면적에 대하여 비교한 그래프이다.

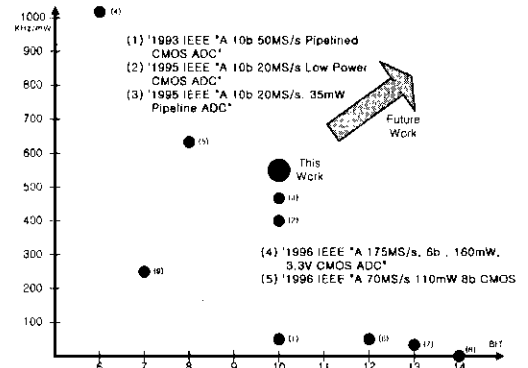


그림 10. 1mW 당 변환속도와 해상도 비교

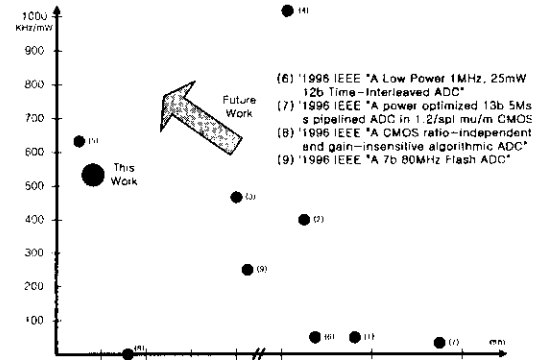


그림 11. 1mW 당 변환속도와 칩면적 비교

5. 참고논문

- [1] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," Holt, Rinehart and Winston, 1987, New York.
- [2] Bernard Ginetti, Paul G. A. Jespers, "A CMOS 13-b Cyclic RSD A/D Converter," IEEE J. Solid-State Circuits, vol. SC-27, pp. 957-965, July, 1992.
- [3] S. H. Lewis, et al., "10b 20Msamples/s analog-to-digital converter," IEEE J. of Solid-State Circuits, vol. 27, pp. 351-358, Mar. 1992.