

Wide Data-width DRAM을 위한 Flexible Redundancy Scheme

전용원*, 이정환*, 김석기*, 전영현**

*고려대학교 전자공학과
서울시 성북구 안암동 1가
ywjeon@ulsil.korea.ac.kr

**LG Semicon
yhjun@lgsemicon.co.kr

A Flexible Redundancy Scheme for Wide Data-width DRAM

Yong-weon Jeon*, Jugn-hwan Lee*, Suki Kim*, Young-hyun Jeon**

*Department of Electronics Eng., Korea Univ.
1 Ga Anam-Dong Sungbuk-ku Seoul, Korea
ywjeon@ulsil.korea.ac.kr

**LG Semicon
yhjun@lgsemicon.co.kr

요약

본 논문에서는 wide data-width DRAM을 위한 flexible column redundancy scheme을 제안하였다. 구현된 redundancy scheme은 DB line shift method를 사용하여 wide data-width를 갖는 고집적 DRAM에 적용할 때 기존 redundancy scheme보다 더 작은 redundancy cell면적과 fuse개수를 가지면서 더 큰 flexibility를 가지게 되었다.

1. 서론

DRAM은 점점 고집적화, 대용량화되어 가고 memory system은 점점 높은 bandwidth를 요구하게 되어 DRAM의 subarray수가 증가하고 각 subarray의 data-width도 증가하게 되었다. 이에 따라 data line의 수도 증가하게 되었는데 이로 인한 면적의 증가를 줄이기 위해 data line의 구조도 바뀌게 되었다 [1][2][3]. 본 논문에서는 이러한 고집적 wide data-width DRAM의 구조에서 기존의 column redundancy scheme의 문제점을 살펴보고 flexibility를 증가시킴으로써 redundancy cell의 면적을 줄이고 또한 fuse의 수도 줄일 수 있는 효율적인 redundancy scheme을 제안한다.

2. 기존의 Redundancy Scheme

그림 1은 wide data-width DRAM구조에 기존의 column redundancy 방법을 적용한 그림이다. 그림을 간단히 하기 위해 row redundancy는 생략하였다. 기존의 DRAM은 각 bank에서 한번에 access하는 data의 수가 적어 sub DB line(SDB)을 subarray들이 공유하였으나 한번에 access하는 data수가 늘어나게 되면 SDB 및 MDB(main DB line)의 수도 늘어나게 되어, SDB를 공유하면 면적이 크게 증가하므로 분할하여 각 subarray마다 들어가도록 하고 MDB도 각 subarray마다 배치하도록 한다. 각 subarray는 독립적인 SDB와 MDB를 가지게 된다. 이러한 구조에서 기존의 column redundancy scheme을 적용하기 위해서는 그림 1과 같이 각 subarray마다 column redundancy cell을 배치해야 한다. fuse에 저장된 column address로부터 redundancy column selection line(RCSL)을 택하도록 해서 redundant DB line을 SDB에 연결한다. 이 때 RBL은 각 subarray에 할당된 SDB에 연결되기 때문에 결함이 발생한 bit line(BL)은 같은 subarray에 있는 RBL에 의해서만 교체될 수 있다. 그래서 한 subarray에서 subarray가 가진 RBL수보다 많은 BL의 수가 결함이 발생하면 다른 subarray에 충분한 RBL이 있음에도 불구하고 redundancy를 사용할 수 없게 된다. 다시 말하자면 각 subarray사이에 flexibility가 존재하지 않아서 효율적으로 redundancy를 사용할 수가 없다. 특히, 고집적 DRAM에서는 DRAM의 subarray의 수가 더 커지므로 redundancy의 효율이 더 나빠지게 된다. 그러므로 고집적의 wide data-width를 갖는 DRAM에서는 subarray사이에도 flexibility가 존재하는 효율적

인 redundancy scheme이 필요하다[4][5].

3. Flexible Redundancy Scheme

그림 2는 wide data-width DRAM에 DB line shift method를 사용하는 flexible redundancy scheme을 적용한 그림이다. 기존의 subarray마다 redundancy를 넣는 방법으로부터 벗어나 전체 cell array의 양쪽에 redundant cell array를 배치하고 오른쪽, 왼쪽에 각각 right redundant main DB line(RRDB)과 left redundant main DB line(LRDB)을 넣어둔다. 그림 3은 제안된 DB line shift method를 구현하기 위한 DB line shift circuit, control circuit, 그리고 fuse block을 나타내는 그림이다. 결합 BL이 repair되는 방법은 다음과 같다. 그림 3에서는 결합 BL이 MDB1과 연결되어 MDB1이 결합을 가지고 있다고 가정한다. test 과정에서 DBSA address store circuit에 MDB1 address가 기억되고 그 때의 column address가 column address comparison circuit에 기억된다. 이 후, 기억된 column address가 입력되면 column address comparison circuit에서 redundant decoder select bar(/RDS) 신호가 발생되고, 기억되어 있는 DBSA address가 decode되어 control circuit이 DB line shift circuit을 제어하게 된다. 그러면 결합이 있는 MDB 왼쪽의 MDB부터 LRDB까지 각 shift right switch가 on 되어 모두 shift right하게 된다. 나머지 MDB들과 RRDB의 switch들은 원래의 상태 그대로 있게 된다. 이렇게 함으로써 결합이 있는 MDB은 DBSA로부터 분리되고 대신에 왼쪽에 있는 MDB이 shift되어 DBSA에 연결되어서 결합 BL이 repair되게 된다. 여기서 RBL은 DB line shift method에 의해 bank의 어떤 BL과도 교체될 수 있으므로 아주 큰 flexibility를 갖게 된다. 그림 3에서 fuse block은 간단히 하나의 bank에 대해서만 보였다. control circuit에서 VDD에서 GND를 연결하는 switch는 그림과 같이 만들어서 switch가 끊어지면 빠른 시간 내에 shift해야 할 곳은 VDD로부터 charge시키고 shift하지 않는 곳은 GND로 discharge시킬 수 있도록 구현했다.

4. 제안된 Redundancy Scheme의 확장

제안된 기본적인 redundancy scheme은 하나의 column address에 대해서 좌측 shift, 우측 shift에 의해 2개의 DB line을 교체할 수 있다. 한 column address에서 2개 이상의 DB line이 결합을 포함하는 경우에 대비하여 redundancy scheme을 확장할 필요가 있다. 그림 4는 제안된 redundancy scheme을 확장하는 두 가지 방법을 cell array 및 기타 회로들은 생략

하고 간단히 DB line shift circuit에 의해서만 나타낸 그림이다. 그림 (a)는 전체 cell array를 나누어서 DB line shift circuit을 구현한 그림이고 그림 (b)는 DB line을 홀수, 짝수로 나누어 DB line shift circuit을 구현한 그림이다. 결합의 분포에 따라 전체 cell array를 나누고 DB line을 몇 개의 group으로 나누어 두 가지 방법을 혼합해서 구현하여 제안된 redundancy scheme을 확장할 수도 있다.

5. 기존의 Redundancy Scheme과 제안된 Redundancy Scheme의 비교

기존의 redundancy scheme과 제안된 redundancy scheme을 적당한 yield를 가지는 상태에서 비교하기 위해 다음과 같이 가정한다. 하나의 bank에서 subarray의 수는 n, 하나의 subarray에서 column address의 수는 L, redundancy cell에 있는 column address의 수, 즉 repair 할 수 있는 column address의 수를 기존의 redundancy scheme에서는 kc, 제안된 redundancy scheme에서는 kp라고 가정한다. 우선 row redundancy cell을 제외한 전체 cell array에 나간 column redundant cell overhead를 비교하면 기존의 방법에서는

$$AR(\%) = 100 * kc / (2^L + kc) \quad (1)$$

가 되고, 제안된 방법에서는

$$AR(\%) = 100 * kp / (n * 2^L + kp) \quad (2)$$

가 된다. 따라서 제안된 redundancy scheme은 기존의 redundancy scheme보다 redundant cell overhead가 더 작아짐을 알 수 있다. 그리고 제안된 방법은 n이 증가할수록 flexibility가 더 커지게 되어 redundant cell overhead는 더 줄어들게 된다.

다음은 bank당 fuse의 개수를 비교해 보면 기존의 방법에서는

$$F = (L + 1 + \log_2(n)) * kc \quad (3)$$

가 되고 제안된 방법에서는

$$F = (L + 1 + 2 * \log_2(n)) * kp / 2 \quad (4)$$

가 된다. (3)에서 $\log_2(n)$ 항은 subarray를 선택하는 데 필요한 fuse개수이고 1은 redundancy를 사용할 것인가를 결정하는 fuse를 나타낸다. (4)식에서 2가 곱해지는 이유는 좌, 우 shift때문이고 2로 나누어진 이유는 제안된 방법이 하나의 column address에서 두 DB line을 대체하기 때문이다. 그림 5는 적당한 n과 L 값을 선택하여 column redundant cell overhead와 fuse의 개수를 그래프로 나타낸 그림이다. 가로축은 하나의 bank안에서 repair할 수 있는 column수를 나타낸다. 그림 (a)에서 기존의 방법에 비해 제안된 방법이 redundant cell overhead가 작음을 볼 수 있다. 기존의 방법의 overhead가 일정한 것은 repair가능한 column.

의 수가 fuse에 의해서만 결정되기 때문이다. 그림 (b)에서는 제안된 방법이 기존의 방법보다 fuse의 개수가 repair가능한 column의 개수에 따라 증가하는 기율이 더 작음을 볼 수 있다.

6. 결론

본 논문에서는 기존의 column redundancy scheme과는 달리 DB line shift method를 사용하는 flexible column redundancy scheme과 결합의 정도에 따라 확장할 수 있는 방법을 구현하여 기존의 column redundancy scheme보다 적은 면적과 fuse개수를 가지면서 더 큰 redundancy 효율을 얻도록 하였다. 또한 제안된 방법은 DRAM subarray의 수가 늘어날수록, 결합의 확률이 높아질수록, 즉 DRAM의 design rule이 줄어들수록 기존의 방법보다 더 큰 효율을 나타냄을 확인하였다.

7. References

- [1] Kiyoo Itoh et al., "Limitations and Challenges of Multigigabit DRAM Chip Design," IEEE J. Solid-State Circuits, vol. 32, pp.624-634, May 1997
- [2] Tadahiko Sugibayashi et al., "A 30-ns 256-Mb DRAM with a Multidivided Array Structure," IEEE J. Solid-State Circuits, vol. 28, pp.1092-1098, Nov. 1993
- [3] Jei-Hwan Yoo et al., "A 32-Bank 1 Gb Self-Strobing Synchronous DRAM with 1 GByte/s Bandwidth," IEEE J. Solid-State Circuits, vol. 31, pp.1635-1644, Nov. 1996
- [4] Tadato Yamagata et al., "A Distributed Globally Replaceable Redundancy Scheme for Sub-Half-Micron ULSI Memories and Beyond," IEEE J. Solid-State Circuits, vol. 31, pp.195-201
- [5] Toshiaki Kiriata et al., "Fault-Tolerant Designs for 256 Mb DRAM," IEEE J. Solid-State Circuits, vol. 31, pp.558-565

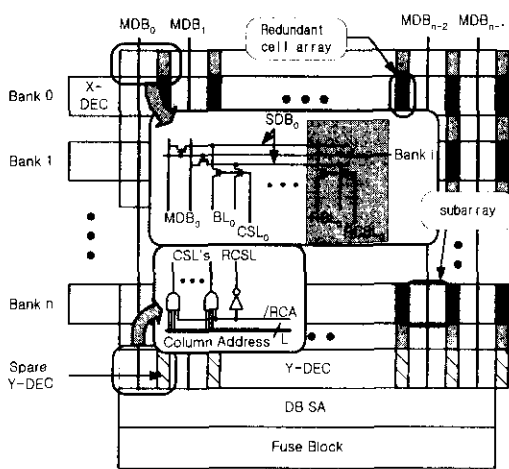


그림 1 Wide data-width DRAM with conventional redundancy scheme

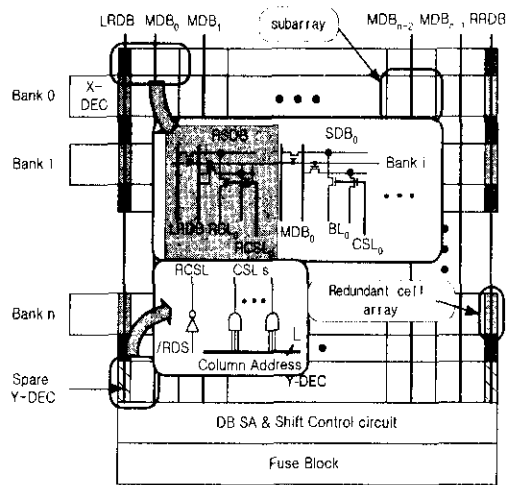


그림 2 Wide data-width DRAM with proposed redundancy scheme

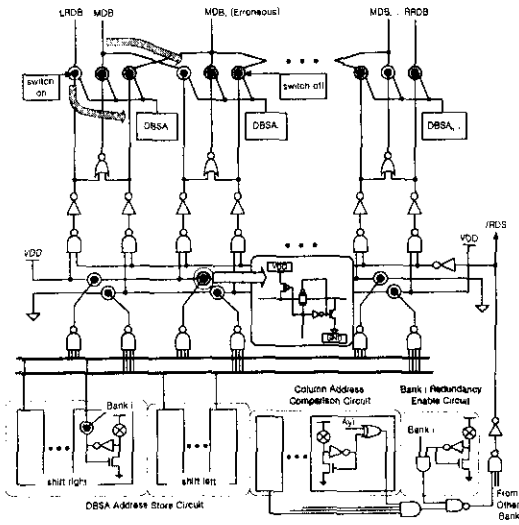


그림 3 DB line shift circuit, control circuit, and fuse block

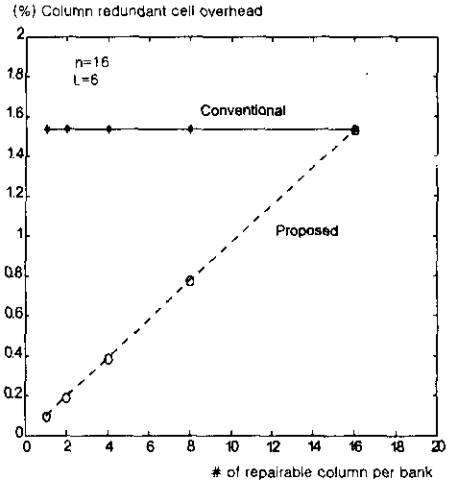


그림 5 (a) Column redundant cell overhead

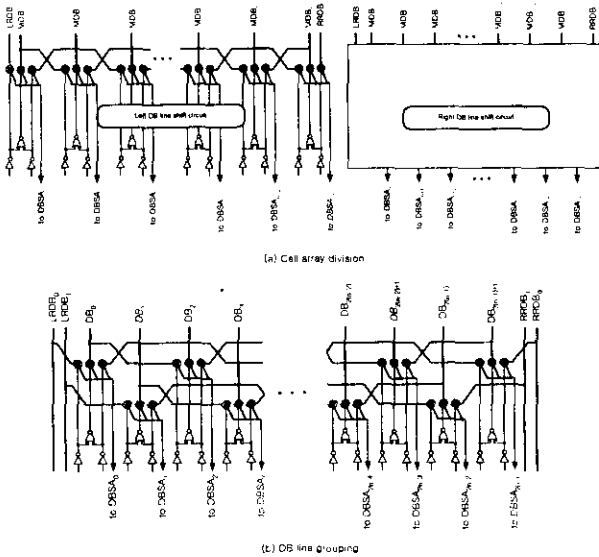


그림 4 Expansion of proposed redundancy scheme

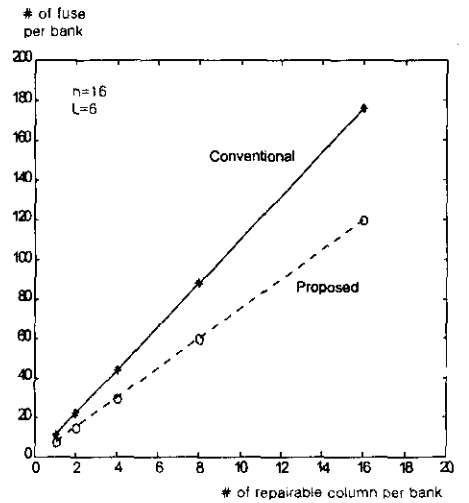


그림 5 (b) Number of fuse per bank