

# DRAM 의 저전력, 고속화에 따른 VDC 설계에 관한 연구

주중두,곽승욱\*, 이승훈\*\*, 성양현\*\*\*,곽계달\*  
 한양대학교 미세구조 반도체공학과,전자공학과\*,한국 원자력 엔지니어링\*\*,첨단반도체 연구소\*\*\*  
 133-791 서울시 성동구 행당동 17 번지  
 jdju @hymail. hanyang.ac.kr

## A Study on the Design of the Voltage Down Converter for Low Power, High Speed DRAM

Jong-Doo Joo, Seung-wuk Kwack\*, Seung-Hoon Lee\*\*, Yang-Hyun Sung\*\*\*, Kae-Dal Kwack\*  
 Dept. of Nanostructure Semiconductor Engineering, Dept. of Electronic Engineering Hanyang University\*,  
 Korea Nuclear Engineering co. LTD\*\*, Advanced Semiconductor Laboratory of Hanyang University\*\*\*  
 17 Heangdang-Dong Seongdong-Gu Seoul 133-791, KOREA

### Abstract

This paper presents a new voltage down converter(VDC) for low power, high speed DRAM. This VDC Consists of RVG(Reference Voltage Generator) and Driver Circuit. And it is independent of temperature variation, and Supply Voltage. Using weak inversion region, this RVG dissipates low power. Internal Voltage Source of this VDC is stable in spite of high speed operation of memory array. This circuit is designed with a 0.65 $\mu$ m nwell CMOS technology. In HSPICE simulation results, Temperature dependency of this RVG is 20 $\mu$ V/ $^{\circ}$ C, supply voltage dependency is  $\pm$ 0.17%,  $V_{CC}$ =3.3V $\pm$ 0.3V, and current dissipation is 5.22 $\mu$ A. Internal voltage source bouncing of this VDC is smaller than conventional VDC

### 1. 서론

현재 Gb 급 DRAM 이 개발되고 있고 노트북 컴퓨터, PDA(Personal Digital Assistant)와 같은 밧데리로 동작하는 장비들이 널리 사용됨에 따라서 낮은 전압/저전력 소모 DRAM 에 대한 필요성이 증가되고 있다. 이를 위하여 DRAM 에서 활성전류와 데이터 보존시 전력소모를 줄이는 기술이 절실하게 필요하게 되고 있다[1]. 또한 DRAM 의 주된 용도는 주기억 장치로 최근 캐쉬 메모리를 채용하는 컴퓨터가 늘고 있는데 이러한 캐쉬 메모리에 연계되어 사용되는 주기억 장치에서는 CPU 에 의한 랜덤 액세스는 캐쉬에서 주로 처리하여 캐쉬는 DRAM 으로부터 Block 단위로 정보를 전송 받는다. 따라서 Row 어드레스는 불력전송을 위해서 동일한 상태

로 하고 Column 어드레스만 바꾸어주면서 고속으로 DRAM 을 액세스하는 고속 Column 액세스 기능이 많이 연구되어 현재 여러 가지 동작 모드가 상용화되고 있는데 동작 모드의 주파수를 보면 EDO(Extended Data Output)mode 는 40MHz, SDRAM 은 100MHz, Rambus DRAM 은 300MHz 이다. 그림 1 은 DRAM 의 작동전압과 작동주파수의 경향을 나타낸 그림이다[4].

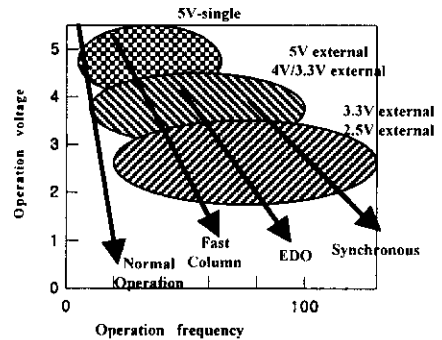


그림 1. DRAM 의 작동전압과 작동주파수의 경향

이런 경향을 만족시키기 위해서 회로기술은 저전압화, 고속화를 지향하고 있다. 동시에 작동전압의 저전압화에 따라 저전력을 소모하고 고속화에 안정한 Voltage Down Converter 의 출현은 필수 불가결하게 되었다. 그래서, 데이터 보존 시 저전력을 소모하고 공급전압과 온도변화, 공정에 안정한 VDC 의 한불적인 기준 전압기를 설계하는 것이 중요하게 되고 있다[2,5]. 특히 칩의 고 주파수 작동과 변화 많은 부하 전류에 안정한 특성을 가지는 VDC 의 내부 전압원 회로를 필요로 하고 있

다. 본 논문에서는 위와 같은 설계 기술들에 대해서 고찰하고 이러한 문제점들을 개선한 새로운 구조의 VDC 를 현대 표준 CMOS 공정상에서 설계하였다.

## II. 제안된 VDC(Voltage Down Converter)

### 동작원리

본 논문에서 제안한 Voltage Down Converter(VDC)는 기준전압 발생기와 구동단으로 크게 두개의 블록으로 나눌 수 있다. 먼저 제안된 기준 전압발생기는 DRAM 의 저전력화 경향에 초점을 두었고, VDC 의 구동단은 DRAM 의 고속화에 따라 빠른 동작 주파수의 메모리 어레이 및, 센스 앰프의 전력 소모로 인하여 생기는 불안정한 내부전압원을 안정하게 하는데 목적을 두었다. 기준 전압발생기는 약반전 영역에서 동작하는 전류 발생기와 이를 이용한 기준 전압발생기로 나눌 수 있고, 구동단은 크게 비교기와 Level Detector 로 나눌 수 있다. 그림 2 는 제안한 VDC 의 블록도이고, 그림 3 은 전체 회로도이다.

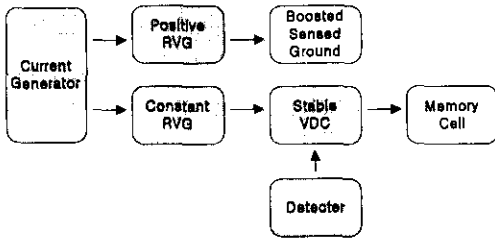


그림 2. 제안된 VDC 의 블록도

### II.1 제안된 기준 전압 발생기 동작원리

제안된 기준전압발생기는 온도변화에 따라 증가하며 공급전압의 변화에 안정한 특성을 가지는 전류발생기를 가지는데 DRAM 의 저전력화에 따라 MOS 트랜지스터가 약반전 영역에서 동작되도록 하여 94nA 정도의 전류를 얻을 수 있도록 하였다. 저항과 K(MP1 과 MP2 의 W/L 비), 그리고 MOS 트랜지스터의 Length 의 파라미터를 이용하여 약반전 영역에서 작동되도록 하였다. 저항은 Layout 시 폴리 실리콘을 사용하였다. 작은 전류를 얻기 위해 저항을 크게 하고, K 의 비를 작게 하면 된다. 설계된 기준 전압발생기는 표준 CMOS 공정상에서 구현 가능한 음의 온도계수를 갖는 Vtp 항(NMOS 의 2Vtn)과 양의 온도계수를 가지는 MP6,MP7 의 W/L 비와 R2 의 저항을 이용하여 온도보상을 함으로써 온도변화에 일정하고, 공급 전압 변화에 일정한 기준 전압원 회로를 얻을 수 있다. 기준 전압원회로는 다음식과 같은 관계를 갖는다.

$$V_{REF} = 2V_{TN} + I \cdot R2 \dots\dots(1)$$

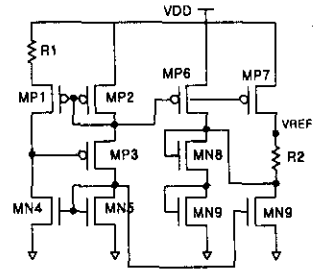


그림 4. 제안된 기준 전압발생기

기준 전압기의 외부공급전압이 3.3V 일때 출력전압은 2.1V 이고, 온도변화에 대한 변화율은 20μV/°C 이다. 또한 외부공급 전압에 대한 의존성은 ±0.17% 이고 (V<sub>CC</sub>=3.3V±0.3V), 전력소모는 5.22μA 이다.

### II.2. 제안된 VDC 의 구동 회로 동작 원리

제안한 Level Detector 회로는 래치회로와 Overshoot Detector 회로, Undershoot Detector 회로, Current Sink 회로, Current Source 회로로 구성된다. 래치회로는 V<sub>REF</sub> 전압과 V<sub>INT</sub> 전압을 고속 비교하기 위해서 이용되며,

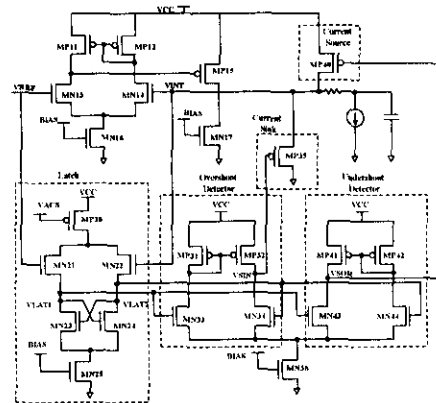


그림 5. 제안된 VDC 의 구동회로

이 래치 회로에 의해 비교된 후 node 전압 값에 따라 Overshoot Detector 회로와 Undershoot Detector 회로로 연결된다. V<sub>INT</sub> 전압이 V<sub>REF</sub> 전압보다 높아지면 Node Vlat2 의 전압이 Vlat1 보다 내려가게 된다. 이렇게 하여 Overshoot Detector 에 의해 Vsin Node 가 내려가서 트랜지스터 Mp35 는 Current Sink 역할을 하게 된다. 반대로 VINT 전압이 VREF 전압보다 내려가면 Node Vlat 의 전

압이 Vlat2 보다 높아지게 되고 이것은 Undershoot Detector에 의해 Mp 40으로 하여금 Current Source 역할을 하게 한다. 이런 동작을 함으로써 VINT 전압은 메모리 어레이의 고 주파수 동작에도 안정한 특성을 갖게 될 수 있다.

### III. 시뮬레이션 결과

본 논문에서 제안한 VDC는 HSPICE Tool을 이용하여 시뮬레이션 되었다. 그림 6과 7은 기준 전압발생기의 각각의 시뮬레이션 결과를 나타내고 있으며 공급 전압과 온도변화에 대해서 안정된 특성을 나타내고 있다. 온도 변화에 일정한 기준 전압 발생기의 변화율은  $20\mu V/^{\circ}C$ 이며, 공급 전압에 대한 변화율은  $\pm 0.17\%/V$ ,  $V_{CC} = 3.3V \pm 0.3V$ 이다. 표 1에 제안한 기준 전압 발생기와 기존의 기준 전압 발생기의 결과를 비교해 보았다. 그림 8과 9는 각각의 동작주파수에 따른 기존의 VDC와 제안한 VDC의 내부 전압 원의 Bouncing 변화 시뮬레이션 결과를 나타내었다. 표 2에 제안한 VDC와 기존의 VDC의 비교결과를 나타내었다. 제안한 회로는 Cadence Tool을 이용하여 Full-custom 방식으로 layout을 하였고, DRC, LVS 체크를 했다. 그리고 IDEC에서 주최하는 MPW 칩 설계 공모전에 DB가 제출되어 칩이 제작 중에 있다. 그림 10은 제안한 회로의 Layout도를 나타낸다.

### IV. 결론

본 논문에서는 DRAM의 저전력화 고속화에 따른 새로운 구조의 Voltage Down Converter를 설계하였다. 제안된 VDC는 크게 기준전압발생기와 구동회로로 나눌 수 있다. DRAM의 저전력화에 맞게 데이터보존시 기준 전압발생기는 전류를 적게 소모하고 외부공급전압의 변화에 안정하고 온도보상이 잘 되는 특성을 가지며, VDC의 구동회로는 메모리 어레이의 고속동작에 안정한 특성을 갖을 수 있는 내부 전압원을 가진다. 그러므로, 제안한 VDC는 향후 개발될 DRAM에 이용되어 저 좋은 결과를 얻을 수 있을 것이다.

### 참고 문헌

[1] Kiyoo Itoh, et al., "Limitations and Challenges of Multi-gigabit DRAM circuits" Symposium on VLSI circuits Digest of Technical Papers. pp.,2-7, 1996.  
 [2] D.S. Min, et al., "Temperature-Compensation Circuit Techniques for High-Density CMOS DRAMs," IEEE Journal of Solid-State Circuits, vol. 27, no. 4, pp,626-631, April 1992.  
 [3] T. Ooishi, et al., "An Automatic Temperature Compensation of Internal Sense Ground for Subquarter Micron DRAM's" IEEE Journal of Solid-State Circuits,

vol.30, no. 4, pp. 471-479, April 1995.

[4] Tsukasa Ooishi, et al, "A Mixed-Mode Voltage Down Converter with Impedance Adjustment Circuitry for Low-Voltage High-Frequency Memories" IEEE Journal of Solid-state Circuits, vol.31, NO. 4, April 1996.  
 [5] Hitoshi tanaka, et al., "Sub-1- $\mu A$  Dynamic Reference Voltage Generator for Battery-Operated DRAM's" IEEE Journal of Solid-state circuits, vol.29, no. 4, pp,448-453, April 1994.

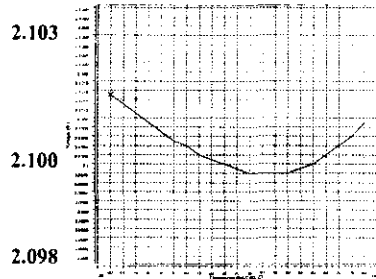


그림 6. 온도변화에 대한 기준전압 발생기의 출력전압 특성

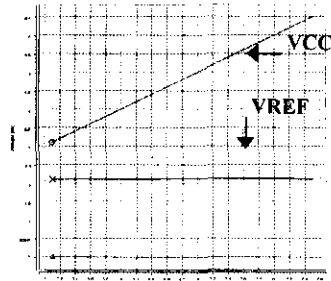


그림 7. 공급전압변화에 대한 기준전압 발생기의 출력 전압 특성

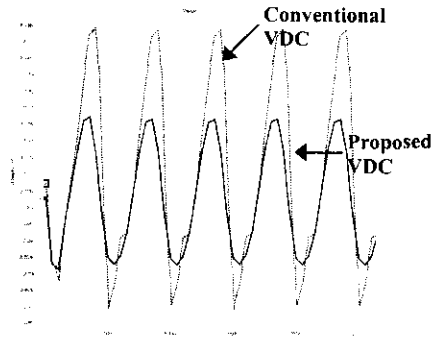


그림 8. 20MHz 동작주파수일 경우의 VDC의 내부전압 원의 Bouncing 변화율

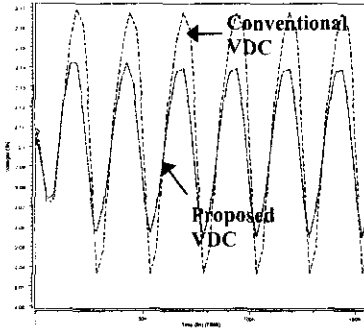


그림 9. 40MHz 동작주파수일 경우의 VDC의 내부전압원의 Bouncing 변화율

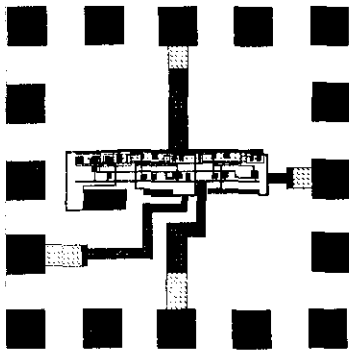


그림 10. 제안한 VDC의 Layout

Table 1.

<제한된 기준 전압 발생기의 성능 비교>

종류 Spec	[5] H.Tanaka(1994.JSSC)	[2] D.S.Min(1992.JSSC)	제한된 기준 전압 발생기
온도 의존성	777 $\mu$ V/ $^{\circ}$ C	388 $\mu$ V/ $^{\circ}$ C	20 $\mu$ V/ $^{\circ}$ C
공급 전압 의존도	$\pm 2.5\%$ ( $V_{cc}=3.3V \pm 0.5V$ )	$\pm 0.8\%$ ( $V_{cc}=3.3V \pm 0.5V$ )	$\pm 0.17\%$ ( $V_{cc}=3.3V \pm 0.3V$ )
추가 공정	Low $V_T$ PMOS	없음	없음

Table 2.

<제한한 VDC의 내부전압 변화율 성능 비교>

내부 전압 변화율 동작 주파수	Conventional VDC	Proposed VDC
20Mhz	$\pm 4.05\%$	$\pm 2.14\%$
40Mhz	$\pm 6.67\%$	$\pm 3.81\%$
80Mhz	$\pm 9.05\%$	$\pm 6.19\%$

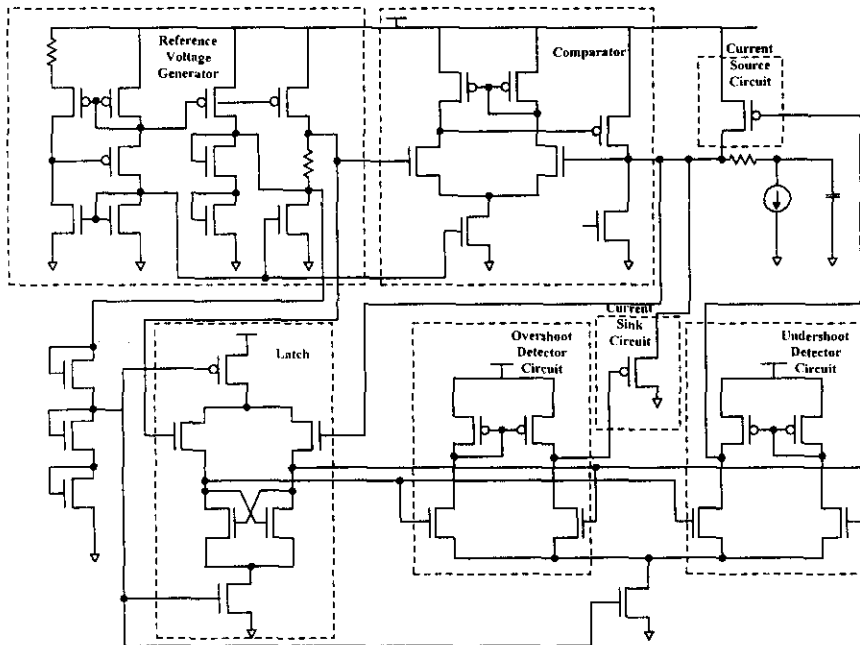


그림 3. 제안한 VDC 전체 회로도.