

# DRAM의 저전력 구현을 위한 안정한 기판전압 발생기 설계에 관한 연구

곽승욱, 성양현\*, 광계달  
한양대학교 전자공학과, 첨단 반도체 연구소\*  
133-791 서울시 성동구 행당동 17번지  
swkwack@hymail.hanyang.ac.kr

## A study on the Design of a stable Substrate Bias Generator for Low power DRAM's

Seung-wuk Kwack, Yang-Hyune Sung \*, Kae-Dal Kwack  
Dept. of Electronic Engineering Hanyang University,  
Advanced Semiconductor Laboratory of Hanyang University\*  
17 Heangdang-Dong Seongdong-Gu Seoul 133-791, KOREA

### Abstract

This paper presents an efficient substrate-bias generator(SBG) for low-power, high-density DRAM's. The proposed SBG can supply stable voltage with switching the supply voltage of driving circuit, and it can substitute the small capacitance for the large capacitance. The charge pumping circuit of the SBG suffers no  $V_T$  loss and is to be applicable to low-voltage DRAM's. Also it can reduce the power consumption to make  $V_{BB}$  because of its high pumping efficiency. Using biasing voltage with positive temperature coefficient,  $V_{BB}$  level detecting circuit can detect constant value of  $V_{BB}$  against temperature variation.  $V_{BB}$  level during  $V_{BB}$  maintaining period varies 0.19% and the power dissipation during this period is 0.16mw. Charge pumping circuit can make  $V_{BB}$  level up to -1.47V using  $V_{cc}=1.5V$ , and do charge pumping operation one and half faster than the conventional ones. The temperature dependency of the  $V_{BB}$  level detecting circuit is 0.34%. Therefore the proposed SBG is expected to supply a stable  $V_{BB}$  with less power consumption when it is used in low power DRAM's

### I. 서론

최근 DRAM의 연구 동향은 집적도 향상과 저전력에 중점을 두고 연구가 진행되고 있다. 이러한 고집적화에 따른 기판 농도와 well 농도를 증가시키고 있고 이에 따른 기판효과(Body

Effect) 영향이 커지고 있다. 특히 비트라인(Bit Line) 커패시턴스의 증가로 인하여 센싱 신호가 감소하므로 잠음여유(Nose Margin)가 작아지고, 데이터 입출력 속도의 감소 및 센싱 동작시의 전력소모가 증가하게 된다. 동작전압이 감소하면 이러한 회로의 불안정 요인은 더 크게 나타난다. 따라서 이런 문제점을 해결하기위해 DRAM 메모리 셀의 기판전압을 안정화 시켜야 할 필요성이 있다. p-well에 음(-) 전압을 인가하여 Latch-up을 막고, Body Efficient 감소, 누설전류 감소, pn 접합 커패시턴스를 감소시켜 DRAM의 기판전압 안정화 및 고속동작을 가능하게 해준다[1].

16k DRAM 시대에는 외부로부터 -5V의 음의 공급전압을 받아서 이를 기판에 직접 인가하였으나, 64M DRAM 이후에는 온 칩(on-chip) SBG 회로를 이용하여 외부 5V로부터 -2V에서 -3V 사이의 값을 가지는 전압으로 변환한 뒤 기판에 인가하는 방식이 일반화 되었다. 3.3V의 공급 전압을 사용하는 256M의 경우 -1.3V에서 -1.5V의 기판 전압을 공급하는 방식으로 요구가 되고 있다. 일반적으로 기판전압 발생 회로로 널리 사용되고 있는 레벨 감지형(Level Monitor) SBG는 링 오실레이터(ring oscillator) 구동회로, 전하 펌핑(Charge pumping)회로 그리고 기판전압 검출회로로 구성되어 있다. 그림 1은 현재 가장 널리 사용되고 있는 SBG인 레벨 감지형 블록도이다. 이런 방식은 기판전압을 조절할 수 있는 장점이

있으나 기관전압 유지시의 오실레이션으로 인하여 기관전압이 불안정해져서 검출회로가 일정한 기관 전압을 검출하지 못하는 점과, 이를 구성하는 회로 중에서 특히 전하 펌핑 회로는  $V_T$  강하가 생기는 문제점들이 있었다[2].

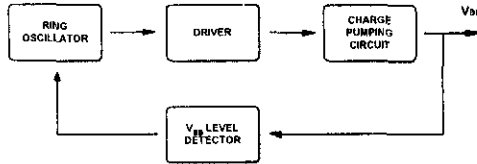


그림 1. 레벨 감지용 블록도.

종래의 기술 중에 PMOS 형과 Hybrid 형 펌핑 회로는 기관전압 유지 시 펌핑에 의한 전압 변동율이 크게 작용하고, 펌핑 효율이 1.5V일 때 -1.44V 까지 기관 전압을 유지하므로 펌핑 효율이 떨어지고, 기관전압 안정화 시에도 큰 커패시턴스를 그대로 사용하기 때문에 전력 소모가 큰 문제점이 있었다. 따라서 본 논문에서는 이러한 문제점들을 해결 및 개선 했고, 전력 소모도 줄어 들게 되어 낮은 공급전압을 사용하는 DRAM에 적용 가능하도록 설계하였다.

## II. 제안된 SBG의 동작원리

그림 2는 제안한 SBG 회로의 블록도이다. 설계된 SBG는 3.3V의 공급 전압( $V_{CC}$ )을 이용해서 큰 펌핑 커패시턴스를 구동 시키는 구동 단을 선택하여 -1.4V 까지 빠르게 전압 레벨이 내려 가면, 2.1V의 내부 전압( $V_{int}$ )을 이용해서 작은 커패시턴스를 구동 시켜서 -1.5V의 전압에서는 안정한  $V_{BB}$ 를 만들어내고, 온도 변화에 대해서 안정된 출력특성을 나타냈다[3].

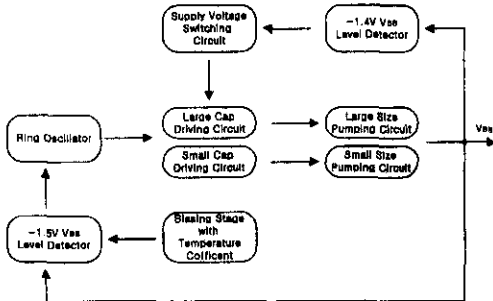


그림 2. 제안한 SBG 회로의 블록도

## II.1 새로운 구조의 전하 펌핑 회로 (Charge Pumping Circuit)

기존의 기술은 공급 전압이 2V 이하로 내려가면 문턱전압 강하로 인하여 DRAM에서 요구하는 기관 전압을 만들어 낼 수 없었다. 이런 문제점을 해결하기 위해 다음과 같은 회로를 제안했다. 그림 3에서 전하 펌핑 회로의 커패시턴스  $C_1$ ,  $C_2$ 에는 위상이 서로 반대인 할터이 들어간다. 그림 4는 전하 펌핑 과정을 보여주고 있다. 회로동작 시 전하 펌핑에 사용되는 NMOS와 방전(discharge)에 사용되는 PMOS 트랜지스터의  $V_{GS}$ 는  $|2V_{CC}|$ 의 큰 값을 가지므로  $V_T$  전압강하가 없는 효율적인 펌핑 동작이 가능하다. 또한 한 클럭(clock) 주기 내에 두 번의 전하 펌핑 동작을 수행하므로 펌핑 효율이 높고 원하는  $V_{BB}$ 를 얻기 위한 전력소모도 줄어들게 된다. 따라서 제안하는 펌핑 회로는 낮은 공급전압을 사용하는 DRAM에 적용 가능한 구조이다.

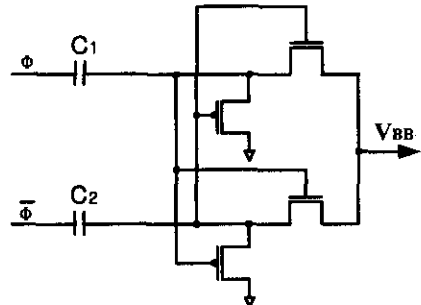


그림 3. 제안한 전하 펌핑 회로

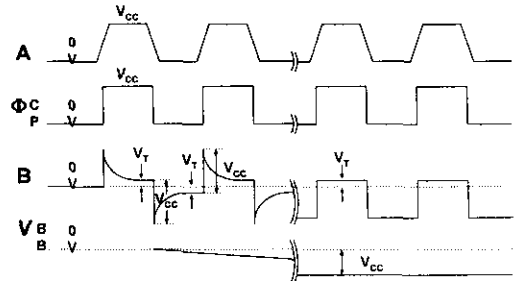


그림 4. 전하 펌핑(Charge Pumping) 회로의 동작

## II.2 구동회로 & 공급 전압 스위칭 회로 (Driving & Supply Voltage Switching Circuit)

구동회로와 공급전압 스위칭 회로는 기관전압이 원하는 값 근처에 도달했을 때 발생한 마지막 단 전압을 이용해서 구동 회로와 커패시턴스를 스위칭하여 오실레이션을 최소화할 수 있고 안정된 기관전압을 공급할 수 있도록 설계한 기술이다. 처음에는 구동 단에 일정한 공급전압을

외부전압(3.3V)에서 내부전압(2.1V)으로 변환함과 동시에 구동회로의 펌핑 커패시턴스를 바꾸어 준다. 이때 기판전압 유지 시 전압 변동이 작아지고, 큰 커패시턴스에서 작은 커패시턴스로 변환해 주는 스위칭 회로를 사용하기 때문에 기판전압 유지 시 필요 없는 전력은 줄여 줄 수 있다. 그리고  $V_{BB}$  레벨 유지 시 전압 변동폭을 줄여주면서 안정된  $V_{BB}$  전압 레벨을 유지하는 회로이다.

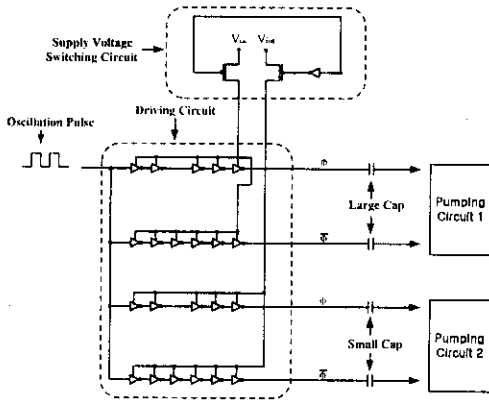


그림 5. 구동회로와 공급 전압 스위칭 회로

### II.3 온도 보상된 $V_{BB}$ 레벨 검출 회로

그림 6 레벨 검출 회로는 전체 SBG 회로의 성능을 결정하는 중요한 부분이다. 설계된  $V_{BB}$  레벨 검출회로는 양의 온도 계수를 가지는 바이어스 전압을 사용하여 PMOS에서 센싱노드 SN으로 흘러 들어오는 전류의 양을 조절하는 방식으로 온도변화에 대해  $-1.5V$ 의 안정한  $V_{BB}$  레벨을 검출해 낼 수 있다. 바이어스 단의 출력전압은 아래 식과 같고 온도증가에 따라 증가하는 값을 가진다.

$$V_{bias} = V_{TN} + 2 \left( \frac{2I_{REF} L_{n3}}{\mu_n C_{ox} W_{n3}} \right)^{1/2}$$

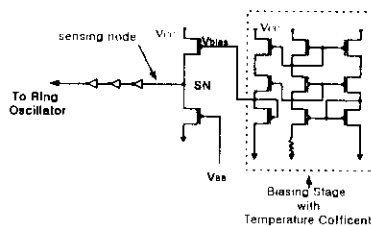


그림 6. 온도 변화에 안정한  $V_{BB}$  레벨 검출 회로

### III. 시뮬레이션 결과

본 회로는 현재  $0.65 \mu m$  CMOS 공정 파라미터를 사용하여 HSPICE tool로 시뮬레이션을 하였다. 그림 7은  $0V$ 에서  $-1.5V$ 의  $V_{BB}$ 를 만드는 과정을 나타낸다. 제안한 SBG는  $V_{BB}$ 가  $-1.4V$ 인 지점에서 펌핑 능력 조정에 의해 기울기가 감소하고 있다. 그림 8은 기존의 SBG와 제안한 SBG의  $V_{BB}$  level 유지과정을 비교 한 것으로, 기존 SBG는 0.19%의 변화를 보였다. 그림 9는 온도변화에 대한 기판 전압 검출회로의 안정한 출력 특성을 나타낸 것으로, 기존 회로는 6.1%의 변화를 보인 반면, 제안한 회로는 0.34%의 변화를 보였다. 전하 펌핑 회로는  $1.5V$ 의 공급전압을 사용하여  $V_T$  전압강하 없이  $-1.47V$ 의 기판전압을 만들어 낼 수 있다. 제안한 회로는  $0.16mW$ 의 전력을 소모하였다.

### IV. 결론

본 논문에서는 저전력, 고 집적 DRAM 구현을 위한 새로운 구조의 SBG를 설계하였다. 설계된 SBG는 공급전압 스위칭 방법으로  $V_{BB}$  level 유지 시의 오실레이션을 최소화 하여 안정한 기판 전압을 공급할 수 있었다. 제안한 SBG에 사용된 전하 펌핑 회로는  $V_T$  전압 강하가 없고, 향상된 펌핑 효율을 보였다. 또한 온도 보상된  $V_{BB}$  레벨 검출 회로는 온도변화에 대해 안정한 출력 특성을 나타내었다.

### 참고문헌

- [1] Y. Tsukikawa et al, "An efficient Back-Bias Generator with Hybrid Pumping Circuit for 1.5V DRAMs", IEE Journal of Solid-state circuit, vol. 29, no. 4, pp 534-538, April 1994.
- [2] Y. T. Lee et al, "Circuit for Sensing Back-bias level in a Semiconductor Memory device", U.S.patent, No.5,262,989, Nov.16,1993.
- [3] K. Maruyama et al, "Substrate Bias Voltage Generator Circuit", U.S. patent, no.5,243,228, Sep. 7,1993.

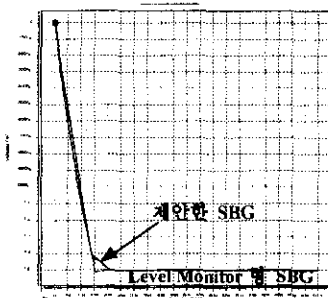


그림 7. SBG 의 100µs 까지의 시뮬레이션 결과

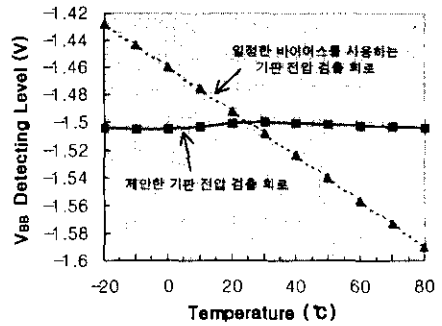


그림 9. 온도 변화에 대한 일정한 전압특성

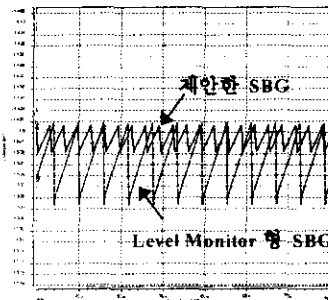
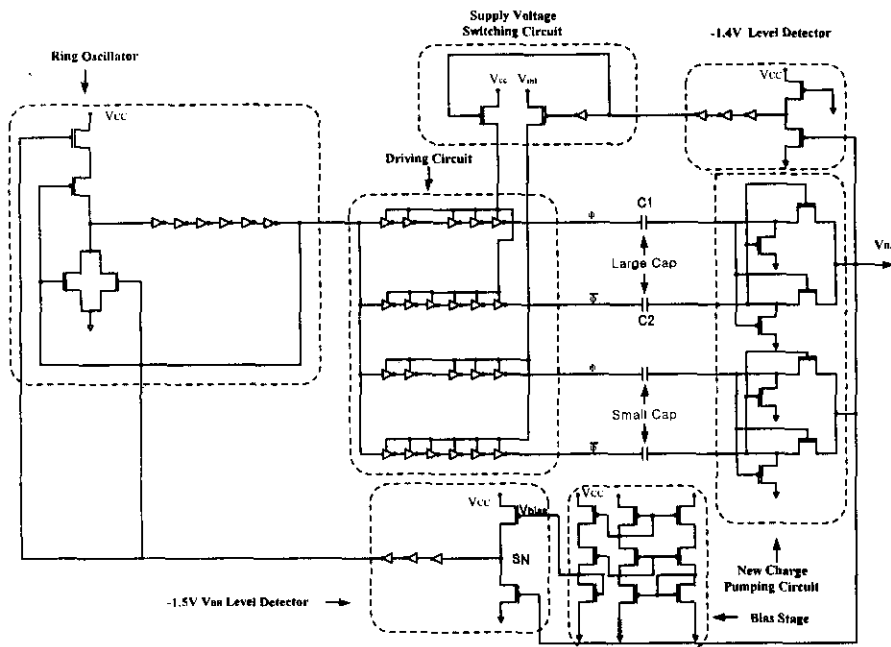


그림 8. VBB 레벨 유지 상태의 출력 특성



<제안된 SBG 전체 회로도>