

선택적 프리차지 방법을 갖는 500MHz 1.1ns 32kb SRAM 매크로 설계

김 세준, 장 일권, 꺾 계달
 한양대학교 전자공학과
 133-791 서울시 성동구 행당동 17
 lotus@hymail.hanyang.ac.kr

A 500MHz 1.1ns 32kb SRAM Macro with Selective Bit-line Precharge Scheme

Se-Jun Kim, Il-Kwon Chang, Kae-Dal Kwack
 Dept. of Electronic engineering, Hanyang University
 Haengdang-dong, 17 Sungdong-gu, Seoul, Korea 133-791
 lotus@hymail.hanyang.ac.kr

Abstract

This paper presents a 500MHz 1.1ns 32kb synchronous CMOS SRAM macro using 0.35 μ m CMOS technology. In order to operate at high frequency and reduce power dissipation, the designed SRAM macro is realized with optimized decoder, multi-point sense amplifier(MPSA), selective precharge scheme and etc. Optimized decoder and MPSA respectively reduce 50% and 40% of delay time. Also, a selective precharge scheme reduces 80% of power dissipation in that part.

라인의 구동 후부터 데이터 출력까지의 경로에서는 다양한 회로들이 제시되어왔다.[1],[3],[5] 또한 각 부분에서의 전력소모를 줄이기 위한 다양한 회로도 제시되어왔다.[1] 본 논문에서는 속도의 증가를 위하여 디코더와 센스 앰플리파이어의 개선에 중점을 두었다. 또 전력소모의 감소를 위하여 선택적 프리차지(selective precharge) 방법을 도입하였다. II에서는 제안하는 디코더와 센스 앰플리파이어 그리고 선택적 프리차지 방법에 대하여 기술하였다. III에서는 시뮬레이션 결과에 대하여 기술하였다.

I. 서론

최근 여러 시스템에 사용되는 마이크로 프로세서의 성능이 급속히 향상되면서 캐시(cash)역할을 하는 SRAM의 성능의 향상 또한 요구되고 있다. SRAM의 읽기 시간은 그림 1에서처럼 어드레스의 입력으로부터 출력까지의 어드레스 버퍼, 디코더, 메모리 셀 배열, 센스 앰플리파이어, 출력 버퍼까지의 주요 지연 경로에 의해 결정된다. 이러한 회로들 중에서, 어드레스의 입력으로부터 행 라인을 구동하는 시점까지의 지연시간을 결정하는 어드레스 버퍼와 디코더는 일반적으로 INVERTER, NAND, 그리고 NOR 게이트 같은 전형적인 CMOS 게이트들로 구성되어 있다. 따라서 이 부분의 지연시간을 줄이는 가장 효과적인 방법은 기본 게이트들의 스위칭 속도를 개선시키는 것이다. 읽기 지연시간을 줄이기 위하여 행

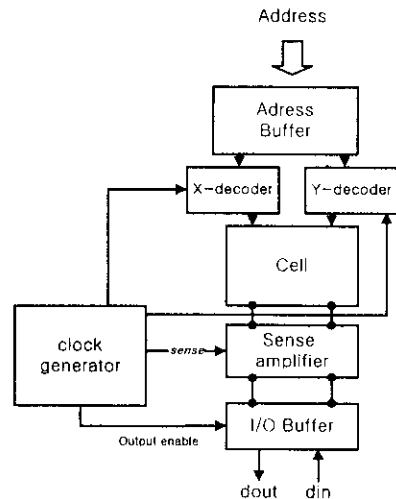


그림 1 SRAM 지연시간 경로

II. 회로 설계

본 논문에서 제안하는 동기형(synchronous) SRAM의 구조를 그림 2에 나타내었다. 전체 32kb SRAM은 8kb의 4개의 셀 뱅크로 구성된다. 뱅크는 128행(row)과 64열(column)로 구성되어 있다. 외부에서 인가되는 신호에는 어드레스 이외에, clock, Rwe(read/write enable), Oeb(output enable), CE(chip enable)로 구성된 4개의 제어신호가 인가된다.

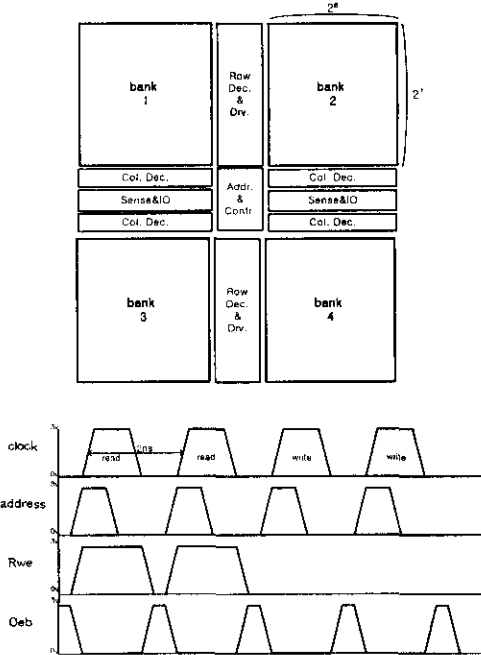


그림 2 SRAM 전체 블록도 및 외부신호

1. 행 어드레스 디코더 (Row address decoder)

SRAM의 고속 동작을 위해서는 어드레스가 인가된 후 얼마나 빨리 행 라인을 구동하느냐가 전체적인 고속 동작을 좌우한다. 이를 위해서는 디코더 지연을 최소화하는 방안이 필요하다. 메모리 크기의 증가에 따른 어드레스의 증가는 디코더를 구성하는 논리 게이트의 팬 인(fan-in)을 증가 시키게 되고 이것은 디코더 지연의 증가를 초래하게 된다. 그림 3에서 제안하는 행 디코더는 지연과 전력소모를 최소화하기 위하여 동적(Dynamic) OR 게이트로 구성된 3단 구조로 되어 있다. 첫번째 단과 두번째 단에서는 총 128개로 구성된 행 라인을 선택하는 기능을 하고 세번째 단에서는 선택된 행 라인을 구동하는 역할을 한다. 전력 소모를 줄이기 위하여 각 단은 내

부 클럭 신호에 의해 구동된다.

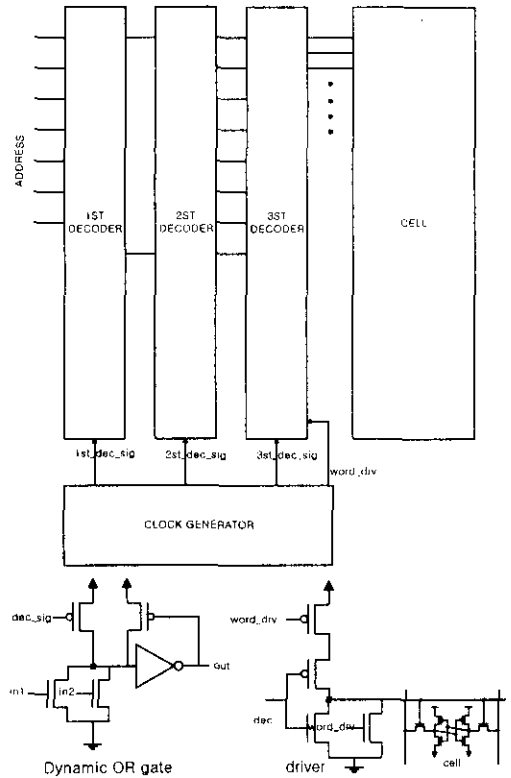


그림 3 행 어드레스 디코더

2. 다중 점 센스 앰플리파이어 (Multi-Point Sense Amplifier)

행 라인이 선택된 후 메모리 셀 내부에 저장된 데이터가 비트(Bit)라인과 비트바(Bitb)라인에 전달되어 전압차를 나타낸다. 이 전압차는 메모리 셀 배열의 특성에 따른 기생 캐패시터에 의해 상당히 미약하다. 그 결과로 느린 메모리 읽기 시간이 야기되므로 센스 앰플리파이어를 사용하여 비트 라인과 비트바 라인의 작은 전압변화를 감지하여 증폭시켜 풀 스윙하는 신호를 얻게 된다. 따라서 센스 앰플리파이어는 SRAM의 동작속도에 큰 영향을 준다. 기존의, 다단 전류 미러(current-mirror)센스 앰플리파이어나 크로스 커플링(cross-coupled)센스 앰플리파이어는 전력소모가 크다는 문제점과 비트 라인과 비트바 라인의 전압차가 작을 때 지연시간이 늘어나는 단점을 가지고 있다. 그림 4에 제안하는 다중 점 센스 앰플리파이어가 나타나 있다. 센싱 신호가 인가되기 전 MPI-MP4 PMOS의 소스노드가 각각 비트 라인과 비트바 라

인에 연결되어 센싱 신호가 인가되기 전에 비트 라인과 비트바 라인의 전압차이를 Out 노드와 Outb 노드에 미리 전달하게 된다. X와 X에 연결된 등화 트랜지스터는 센싱 속도를 증가 시킨다. 센싱 신호가 인가된 후 MN5로 전류가 흐르게 되고 MN1과 MN2의 게이트와 소스의 전압차이는 트랜지스터를 동작시킬수 있을 정도로 충분히 크다. 따라서 비트 라인과 비트바 라인의 전압차이는 증폭되게 하고 이것은 센싱의 지연을 감소 시키게 된다.

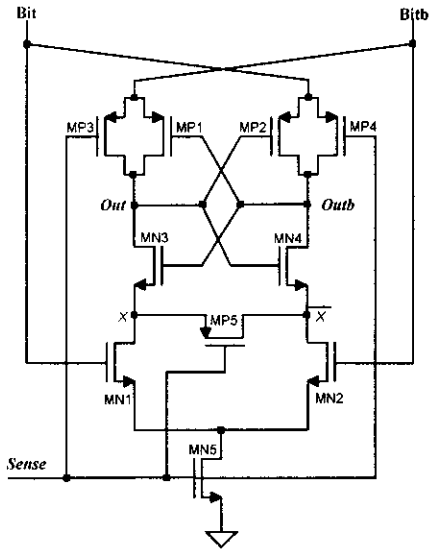


그림 4 다중 점 센스앰플리파이어

3. 선택적 프리차지 및 등화(equalize)

비트 라인과 비트바 라인의 프리차지와 등화는 메모리 셀 읽기 및 쓰기 동작 중간에 수행된다. 기존의 프리차지는 내부 클럭 생성기에서 나온 신호에 의해 읽기 동작에 들어가기전 전체 비트의 비트바 라인과 비트바 라인을 프리차지시킨다. 이러한 방법은 전체 메모리 셀에서 수행되기 때문에 큰 전력소비를 갖는 단점이 있다. 그림 5에 나타난 제안하는 선택적 프리차지 방법은 내부 클럭 생성기에서 발생된 프리차지 신호를 열 디코더를 통하여 프리차지 회로에 인가시켜 선택될 열의 비트 라인과 비트바 라인만을 프리차지하기 때문에 전력소모가 감소된다.

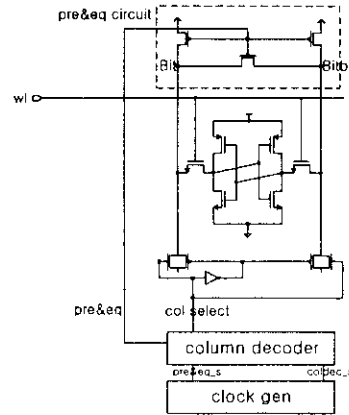


그림 5 선택적 프리차지 및 등화

III. 시뮬레이션 결과 및 고찰

전체 메모리의 용량은 32k로 4개의 뱅크로 구성되며, 외부에서 인가되는 클럭 주파수는 500MHz (2ns)이고 외부 공급전원은 3V이다. 0.35 μm 공정에서 spice를 이용하여 시뮬레이션 하였다. 외부클럭의 active time은 1.2ns이고 reset time은 0.8ns이다. 외부클럭을 기준으로 읽기 시간은 약 1.1ns이며 디코더의 지연 시간은 어드레스가 인가된 후부터 워드 드라이버 전단까지의 시간으로 정의하였다, 센싱 지연 시간은 센싱 신호가 인가된 후 1.5V를 기준으로 센스 앰플리파이어의 출력 전압차가 1V가 될 때까지의 시간으로 정의하였다. 디코더 지연 시간과 센싱 지연시간은 각각 0.37ns와 0.12ns로서 기존의 디코더와 센스 앰플리파이어에 비하여 약 50%와 40%의 지연 시간이 감소되었다. 선택적 프리차지에 의한 전력소모는 64 열에서 4 열이 선택될 때 기존의 프리차지에 의한 전력소모의 약 80% 감소를 나타내었다. 그림 6는 데이터의 읽기 및 쓰기 시간의 전체 시뮬레이션 파형을 나타낸다.

IV. 결론

본 논문에서는 0.35μm 공정을 이용하여 500MHz 32kb SRAM 마스크를 구현 하였다. 디코더, 센스 앰플리파이어, 클럭 생성기, I/O 버퍼 등 전체 블록을 새로이 설계하였고 전력소모를 줄이기 위하여 선택적 프리차지를 도입하였다. 이로 인하여 1.1ns의 고속 동작이 가능하게 되었고 기존의 프리차지방식에 비하여 약 80%의 전력소모를 감소하였다.

참고 문헌

[1] Tsugro Kobayashi, et al., "A Current-mode Latch Sense Amplifier and a static Power Saving Input Buffer for Low-power Architecture", IEEE J.Solid-State Circuits, vol 28, pp. 523-527, Apr.1993

[2] Ken-ichi Osada, et al., "A 2ns Access, 285Mhz, Two-Port Cache Macro using Double Global Bit-Line Pairs", ISSCC, pp.402, 1997

[3] Teruo Seki, et al., "A 6-ns 1-Mb CMOS SRAM with Latched sense Amplifier", IEEE J.Solid-State Circuits, pp.478-483, Apr.1993

[4] Azuma Suzuki, et al., "A 400Mhz 4.5Mb Synchronous BICMOS SRAM with Alternating Bit-line Loads", ISSCC, pp 146-147, 1996

[5] M. Izumikawa, et al., "A 400Mhz, 300mW, 8kb CMOS SRAM Macro with a Current Sensing Scheme", IEEE Custom Integrated Circuits Conference, pp. 595-598, 1994

[6] Harold Pilo, et al., "A 300Mhz, 3.3v 1Mb SRAM Fabricated in a 0.5µm CMOS Process", ISSCC, pp 148-149, 1996

Table 1: Specification

Capacity	32kb(8kb×4bank), 128 words×64 column
Fabrication technology	0.35µm CMOS double poly triple-metal
Cycle time	2ns (500MHz)
Read access time	1.1ns
Power supply voltage	3V

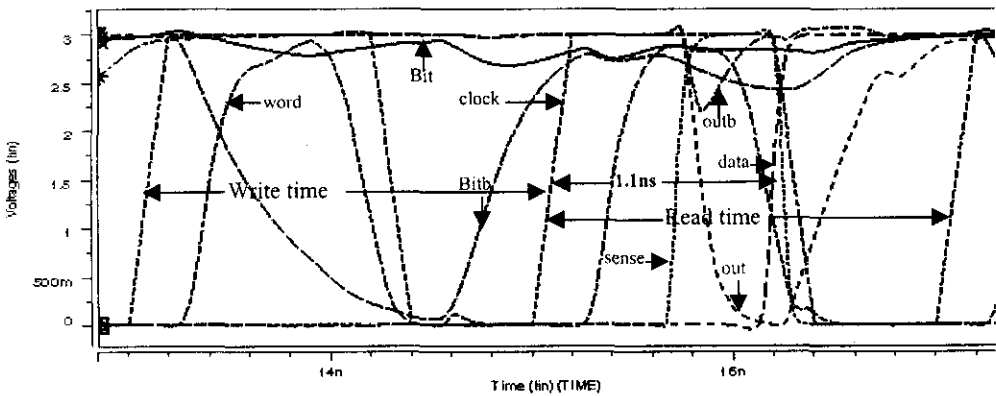


그림 .6 전체 시뮬레이션 결과