

A 6-b 400 MSPS CMOS folding and interpolating ADC

한상찬, 김수원
 고려대학교 전자공학과 ASIC 연구실
 Tel. 02-923-2081, Fax. 02-928-1216
 Email. hsc@asic.korea.ac.kr

A 6-b 400 MSPS CMOS folding and interpolating ADC

Sang Chan Han and Soo Won Kim
 ASIC Laboratory, Department of Electronic Engineering, Korea University
 Tel. 02-923-2081, Fax. 02-928-1216
 Email. hsc@asic.korea.ac.kr

Abstract—This paper describes a 6-b 400 MSPS CMOS folding and interpolating(F&I) ADC. To overcome the delay difference of an MSB part and an LSB part in a typical F&I ADC the ADC is composed of only one LSB part and to alleviate the offset voltage of comparators in the LSB part preamplifiers are used in front of the comparators. This paper analyzes a folder and presents a design procedure of the folder. The ADC has the DNL of 0.3 LSB and the INL of 0.6 LSB and consumes the power of 120 mW @ 3 V. The ADC is designed in a 0.6 μ m CMOS process.

I. INTRODUCTION

최근 멀티미디어나 통신 시스템들의 고속화와 더불어 고속 ADC의 필요성이 한 층 증가되었는데, 이러한 요구에 부응하는 여러 가지 ADC 구조가 연구되어왔다. 그 중 가장 널리 연구되고 있는 구조는 플래시 구조와 파이프라인 구조, 그리고 F&I 구조이다.

F&I 구조는 플래시 구조에 비해 비교기 수가 적어 면적, 전력 면에서 우수하고[1-3][6-7][10-12], 비교기 옵셋 보상이 필요 없는[1] 장점이 있다. Interpolator에 의해 옵셋이 감소하여 DNL이 향상되며[1-2][8], 입력에 연결되는 소자 수가 적어 입력 커패시터가 적다[8]. 또한 파이프라인과 달리 latency가 0이므로 안정도가 중요한 feedback 시스템에 적합하다. 그리고 F&I 구조는 zero-crossing을 검출하는 방법으로 변환을 수행하는데 이는 전압 레벨을 검출하는 방법보다 잡음에 강한 장점이 있다[3].

본 논문에서는 0.6 μ m CMOS 공정으로 고속의 F&I ADC를 설계하였다. 2 장에서는 F&I ADC의 구조를 3 장에서는 구성 블록의 구조와 설계 과정을, 4 장에서는 모의 실험 결과를 설명하였다.

II. FOLDING AND INTERPOLATING ADC

그림 1은 folder, interpolator, comparator, digital encoder 등으로 구성된 6-b F&I ADC의 구조를 나타내며, 이것은 전형적인 F&I ADC 구조의 LSB 부분과 같다. F&I ADC는 전압 레벨을 검출하는 플래시나 파이프라인 ADC와 달리 zero-crossing을 검출하기 때문에 이를 위해서 입력 신호로부터 zero-crossing이 서로 다른 위치에 있는 여러 개의 신호를 발생시켜야 하는데, 이것을 folder와 interpolator가 수행한다. Comparator는 발생된 신호의 zero-crossing을 검출하여 circular thermometer code로 바꾸고 이것을 digital encoder에서 디지털 신호로 바꾼다.

전형적인 F&I ADC는 비교기 수를 줄이기 위한 방법으로 MSB 부분과 LSB 부분을 나누어 2 단으로 구성하고, 파이프라인 구조와는 달리 LSB 부분의 입력을 MSB 부분으로부터 받지 않고 자체적으로 생성하여 latency를 제거한다. 그러나 MSB 부분은 플래시 구조와 같고 LSB 부분은 플래시 구조 앞에 아날로그 전처리 회로가 추가된 형태이므로, MSB 부분과 LSB 부분의 시간차에 따른 오차를 수정하는 디지털 동기화 회로가 필요한데, 이것은 오차 수정 알고리즘을 회로로 구현한 것이므로 크고 복잡하다. 따라서 디지털 동기화 회로를 사용하지 않으면서 시간차와 옵셋 전압차에 대한 부담을 없애기 위해 본 논문에서는 MSB 부분 없이 LSB 부분만으로 ADC를 설계하였다. 하지만 같은 해상도의 ADC를 LSB 부분만으로 설계하면 folder와 interpolator가 복잡하게 되므로 6-b 이상의 고해상도의 ADC에는 적합하지 않다.

ADC의 선형성은 DNL과 INL에 의해 평가되는데, zero-crossing의 위치와 comparator의 옵셋 전압에 의해 결정된다. 따라서 folder와 interpolator의 선형성과 comparator의 옵셋 전압이 ADC의 선형성에 가장 큰 영향을 미치므로 주의 깊은 설계가 요구된다.

그림 1. (page 4)

III. BLOCKS AND A DESIGN PROCEDURE

그림 2는 folder의 회로이다. 본 논문에서 설계한 ADC는 MSB 부분이 없는 F&I 구조이기 때문에 folder의 folding factor(folder의 출력 신호가 zero-crossing을 발생시키는 서로 다른 입력 전압의 수)가 2이어야 하며, folder는 차동 증폭기 2개(그림 2에서 점선으로 둘러싸인 차동 증폭기)로 구성된다. 그러나 ADC의 전압 입력 범위 양 끝에서의 비선형성을 막기 위해 차동 증폭기가 양쪽에 각각 하나씩 추가되었고, 두 부하 저항에 흐르는 바이어스 전류의 균형을 맞추기 위해 또 하나의 차동 증폭기가 추가되어서 모두 5개의 차동 증폭기로 구성되었다.

그림 2. (page 4)

Folder의 출력단은 그림 2에서와 같이 많은 소자들이 연결되어 있으므로 동작 속도를 제한하는 dominant pole을 생성한다. 게다가 folder의 출력단에는 입력 주파수보다 folding factor 만큼 좁혀진 주파수의 신호가 출력되므로 pole의 주파수는 이것보다도 높아야 한다. 일반적으로 차동 증폭기의 출력 저항은 부하 저항보다 크므로 folder의 출력 저항은 부하 저항과 같다. 따라서 pole의 주파수로부터 얻어진 다음과 같은 조건을 만족하는 부하 저항을 선택하면 된다.

$$R < \frac{1}{2\pi F_f f_m C_L \ln(2^{N+1})} \quad (1)$$

여기서 F_f 는 folding factor, f_m 은 입력 주파수, C_L 은 출력 커패시터, N 은 ADC의 해상도이다. C_L 은 차동 증폭기의 NMOS 드레인 커패시터와 출력에 연결된 회로의 입력 커패시터로 구성된다.

차동 증폭기는 입력 전압이 커질수록 비선형성이 커지기 때문에 원하는 ADC 해상도를 가지도록 선형적으로 설계되어야 한다. 차동 증폭기의 NMOS 하나의 드레인 전류는 다음과 같다.

$$i_D = \frac{I}{2} + \frac{I}{2V_{eff}} v_{id} \sqrt{1 - \left(\frac{v_{id}}{2V_{eff}}\right)^2} \quad (2)$$

$$V_{eff} = V_{GS} - V_{th} \quad (3)$$

여기서 I 는 바이어스 전류, v_{id} 는 입력 전압이다. 위 식에서 $\sqrt{1 - \left(\frac{v_{id}}{2V_{eff}}\right)^2}$ 이 비선형성을 보이는 부분인데, 이 부분이 충분히 작아서 차동 증폭기가 선형성을 보이도록 하는 V_{eff} 를 구하고 이것으로부터 NMOS의 크기를 얻으면 선형적인 차동 증폭기의 설계를 할 수 있다. Folder와 interpolator의 동작을 고려하여 선형 조건을 찾으면 다음과 같다.

$$\left(\frac{I_f - 1}{I_f}\right) \left(\frac{\Delta V}{I_f}\right) \left[\sqrt{1-x^2} - \sqrt{1-(I_f-1)^2x^2}\right] < \frac{1}{2} \text{LSB} \quad (4)$$

$$\Delta V = \frac{V_{ref}}{N_f F_f} \quad (5)$$

$$x = \frac{\Delta V}{2V_{eff} I_f} \quad (6)$$

여기서 I_f 는 interpolating factor, V_{ref} 는 입력 전압 범위, N_f 는 folder의 수이다.

그림 3은 식 (4)의 그래프이다. 곡선은 변수 x 의 값에 따른 식 (4)의 좌변 값을 나타내고, 일정한 값을 갖는 수평선은 우변인 $\frac{1}{2} \text{LSB}$ 을 나타낸다. 이 그래프에서 알 수 있듯이 식 (4)로부터 x 의 최대값, V_{eff} 의 최소값과, NMOS의 최대 크기를 얻을 수 있으며 NMOS가 작을수록 좋은 선형성을 보임을 알 수 있다.

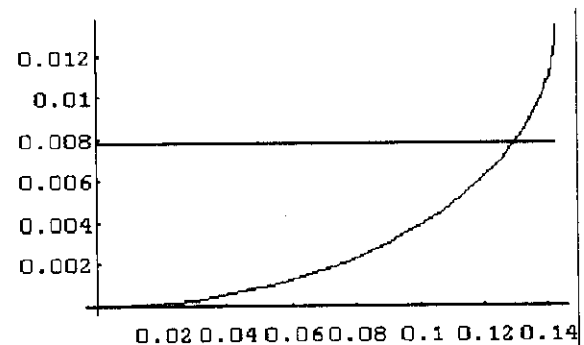


그림 3. 식 (4)의 그래프.

그리고 folder 안에서 인접한 차동 증폭기가 서로의 선형 동작에 영향을 주지 않아야 하므로, 하나의 차동 증폭기가 선형 동작을 할 때 다른 차동 증폭기는 완전히 포화 상태(두 NMOS 중 하나에만 전류가 흐르는 상태)에 있어야 하는데, 이러한 조건을 수식으로 표현하면 다음과 같다.

$$V_{eff} < \frac{1}{\sqrt{2}} (N_f - 1) \Delta V \quad (7)$$

위 식에서 V_{eff} 의 최대값과 NMOS의 최소 크기를 얻을 수 있으며, NMOS가 클수록 서로 영향을 주지 않음을 알 수 있다.

그림 4는 비교기를 나타낸다. 본 논문에서 설계한 비교기는 latch 형태를 갖는 것으로, 앞에 preamplifier가 연결되어 있어서 comparator의 옅셋 전압을 완화시키는 역할을 한다. preamplifier는 NMOS 부하를 사용하여 전압 이득은 낮지만 출력 저항이 작아서 고속 동작에 적합하다.

또한 folder 에서도 전압 이득을 제공하므로 옴셋 전압을 완화시키는데 도움을 준다.

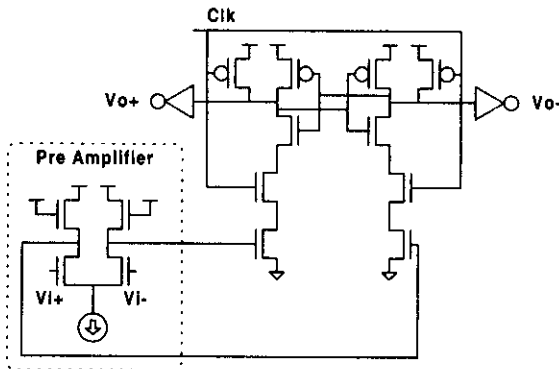


그림 4. Comparator.

IV. SIMULATION RESULTS

그림 5는 ADC의 입력에 1 MHz의 정현파 입력 신호를 인가하고 변환 주파수를 바꾸었을 때, 출력의 신호 대 잡음 비를 본 것이다. 이 그림에서 변환 주파수가 400 MHz 이하일 때에는 30 dB 이상의 신호 대 잡음 비를 보이다가 400 MHz를 넘어서면서 ADC의 성능이 급격히 떨어지는 것을 볼 수 있는데, 이것은 높은 변환 주파수에서 LSB 부분에 있는 아날로그 피로인 folder, interpolator, preamplifier가 변환 주기 안에 신호를 comparator로 전달하지 못하기 때문이다.

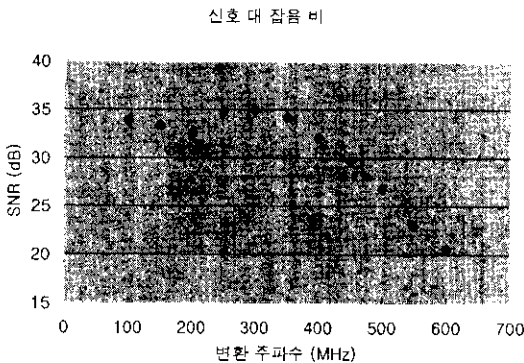


그림 5. SNR.

그림 6은 입력에 1 MHz의 삼각파를 인가하고 400 MHz로 변환된 출력을 디지털 코드별로 세는 통계적인 방법으로 DNL을 구한 것인데 최대값은 0.3 LSB이다.

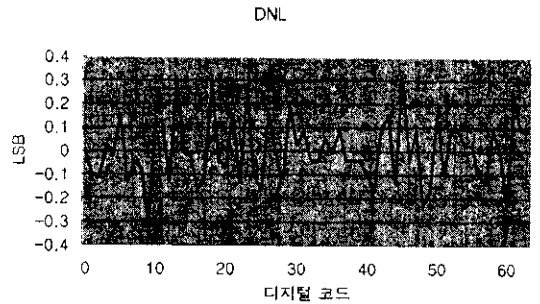


그림 6. DNL.

그림 7은 그림 6의 DNL을 누적하여 INL을 구한 것인데 최대값은 0.6 LSB이다. 그림 6과 7에서, DNL의 최대값이 INL의 최대값보다 작는데, 그 이유는 interpolator가 folder에서 발생한 옴셋 전압을 보상하기 때문이다.

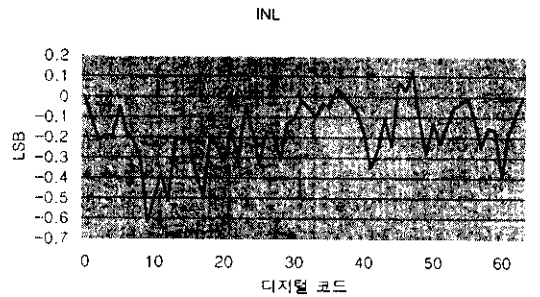


그림 7. INL.

V. CONCLUSIONS

본 논문에서는 6-b 400 MSPS CMOS F&I ADC를 설계하였다. MSB 부분과 LSB 부분의 시간차를 해결하기 위해 LSB 부분만으로 ADC를 설계하였고, comparator의 옴셋 전압을 완화하기 위해 comparator 앞에 preamplifier를 연결하였다. ADC 전체의 변환 속도를 제한하는 folder를 해석하였고, 해석 결과에 따라 설계하여 400 MSPS의 고속 ADC를 구현하였다.

0.6 μm CMOS 공정으로 설계된 ADC는 0.3 LSB의 DNL과 0.6 LSB의 INL을 보였으며, 3 V의 전원 전압 하에서 120 mW의 전력을 소모하였다.

REFERENCES

- [1] Bram Nauta and Ardie G. W. Venes, "A 70-MS/s 110-mW 8-b CMOS Folding and Interpolating A/D Converter", IEEE JSSC, Vol. 30, No. 12, pp. 1302-1308, Dec. 1995.

- [2] Michael P. Flynn and David J. Allstot, "CMOS Folding A/D Converters with Current-Mode Interpolation", IEEE JSSC, Vol. 31, No. 9, pp. 1248-1257, Sep. 1996.
- [3] Ardie G. W Venes and Rudy J. van de Plassche, "An 80-MHz, 80-mW, 8-b CMOS Folding A/D Converter with Distributed Track-and-Hold Preprocessing", IEEE JSSC, Vol 31, No. 12, pp. 1846-1853, Dec. 1996.
- [4] Pieter Vorenkamp and Raf Roovers, "A 12-b, 60-Msample/s Cascaded Folding and Interpolating ADC", IEEE JSSC, Vol. 32, No. 12, pp. 1876-1886, Dec. 1997.
- [5] Klaas Bult and Aaron Buchwald, "An Embedded 240-mW 10-b 50-MS/s CMOS ADC in 1- μm^2 ", IEEE JSSC, Vol. 32, No. 12, pp. 1887-1895, Dec. 1997.
- [6] M. Flynn and B. Sheahan, "A 400 Msample/s 6 b CMOS Folding and Interpolating ADC", IEEE ISSCC, pp. 150-151, 1998.
- [7] Kyung Myun Kim and Kwang Sub Yoon, "An 8-bit CMOS Current-Mode Folding and Interpolation A/D Converter with Three-Level Folding Amplifiers", IEEE APCCAS, pp. 409-412, 1996.
- [8] Raf Roovers and Michiel S. J. Steyaert, "A 175 Ms/s, 6 b, 160 mW, 3.3 V CMOS A/D Converter", IEEE JSSC, Vol. 31, No. 7, pp. 938-944, Jul. 1996.
- [9] Koichi Ono, Tatsuji Matsuura, Eiki Imaizumi, Hisashi Okazawa, and Ryuushi Shimokawa, "Error Suppressing Encode Logic of FCDL in a 6-b Flash A/D Converter", IEEE JSSC, Vol 32, No. 9, pp. 1460-1464, Sep. 1997.
- [10] Haruo Kobayashi, Hiroshi Sakayori, Tsutoma Tobari, and Hiroyuki Matsuura, "Error Correction Algorithm for Folding/Interpolation ADC", IEEE ISCAS, pp. 700-703, 1995.
- [11] D. M. Hummels, I. N. Papantonopoulos, and F. H. Irons, "Identification of Error Mechanisms in a Folding and Interpolating ADC", IEEE ISCAS, pp. 176-178, 1996.
- [12] Seema Varma, Ken Suyama, and Venugopal Gopinathan, "Analysis of Non-Idealities in Folding and Interpolating ADCs using a Behavioral Model Approach", IEEE ISCAS, pp. 508-511, 1996.

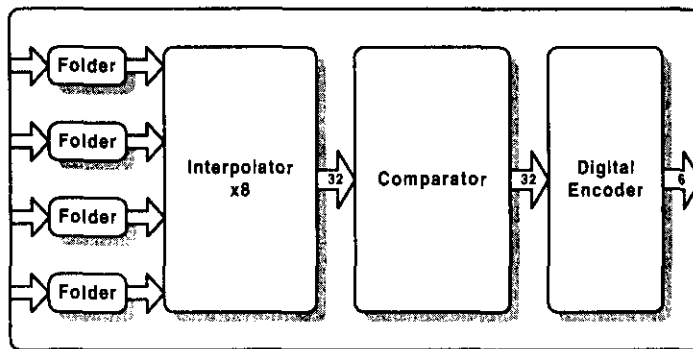


그림 1. 6-b F&I ADC.

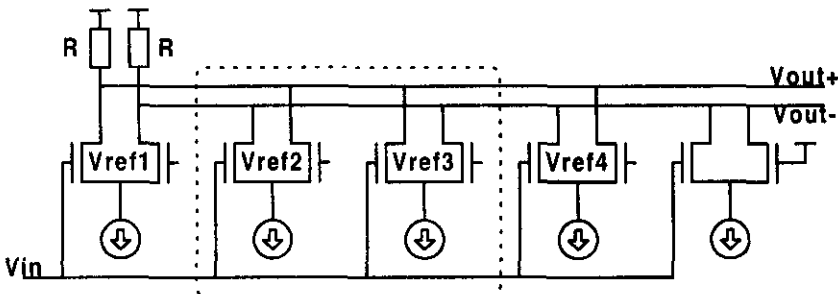


그림 2. Folder.