

간단한 구조의 폴딩 EPR4 비터비 검출기

이 천 수, 기 훈 재, 김 수 원

고려대학교 대학원 전자공학과 ASIC 연구실

Tel: 02-923-2081, FAX: 02-923-2081, e-mail: lecos@asic.korea.ac.kr

A Reduced Complexity Folding EPR4 Viterbi Detector

Cheon-Su Lee, Hoon-Jae Ki, Soo-Won Kim

ASIC Laboratory, Graduate School of Electronic Engineering, Korea University

Tel: 02-923-2081, FAX: 02-923-2081, e-mail: lecos@asic.korea.ac.kr

Abstract - The full Viterbi detector for EPRML read channel system needs large area due to complex computation. There are several conventional methods to reduce the complexity such as GVA(Generalized Viterbi Algorithm) and BMS(Branch Metric Shift). This paper proposes another method, FVD(Folding Viterbi Detector), that has state transition diagram folded with inverted states. Compared with GVA detector, FVD requires only 61% gates and has lower power consumption and better BER performance.

I. 서 론

디지털정보 시스템이 고속·대용량화함에 따라 하드디스크의 기록밀도를 높이기 위한 연구가 진행되고 있다. 기록밀도를 향상시키기 위해 채택된 신호처리방식인 PRML(Partial Response Maximum Likelihood) 방식은 대부분의 하드디스크 시스템에 사용되고 있으며, 이를 개선한 EPRML(Extended PRML), EEPRML 등을 활발히 연구하고 있다. 이러한 EPRML 또는 EEPRML 방식의 read channel에서 사용되는 Viterbi detector는 각각 8상태와 16상태의 복잡한 상태천이도를 가지고 있어 4상태의 PRML Viterbi detector에 비해 많은 칩 면적을 요구한다[1][2][7].

Viterbi detector의 복잡한 구조를 간단한 형태로 변화시킬 수 있는 방법으로 GVA(Generalized Viterbi Algorithm) 또는 LVA(List-type Viterbi Algorithm)라고도 한다[3][4][5]. 이 방법은 상태수를 줄인 방법인 반면, BMS(Branch Metric Shift)를 이용한 방법은 상태수는 줄이지 않고 trellis만을 변화시켜 구조를 개선시킨 경우이다[6].

FVD(Folding Viterbi detector)는 GVA를 개선하여 더 적은 수의 회로만으로 구현이 가능하며, BER(Bit Error Rate) 성능지하 없이 작은 면적, 적은 소비전력 등의 장점을 가지고 있다.

II. EPRML read channel 시스템

그림 1과 같은 EPRML read channel 시스템에서 Viterbi detector는 ISI(Inter-Symbol Interference)가 섞여있는 EPR4(Extended Partial Response class IV) 신호에서 디지털 데이터를 추출한다. EPR4 신호는 (식 1)과 같은 특성방정식으로 변화된 신호이다 [1][7].

$$(1-D) \cdot (1+D)^2 = 1 + D - D^2 - D^3 \quad (1)$$

여기서 D는 단위시간 지연을 나타내며, 디지털 신호 1과 0은 특성방정식에 의해 변화되어 EPR4 신호는 2, 1, 0, -1, -2의 값을 갖게된다.

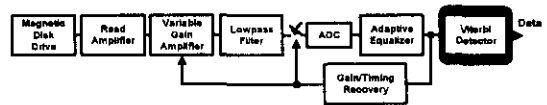


그림 1. EPRML read channel 시스템 구조

III. Viterbi Detector

Viterbi algorithm은 MLSD(Maximum Likelihood Sequence Detection)로 EPR4 신호를 검출하는데 가장 적합한 알고리즘이다[1][7]. 각 신호로 전파되기 위한 확률거리를 계산하여 가장 가능성이 있는 경로만 남기는 방법으로 ISI가 섞여있는 신호에서 디지털 신호를 추출한다. 디지털 데이터열을 $\{a_k\}$, Viterbi detector 입력 샘플신호를 $\{y_k\}$, 각 신호로 전파될 때 확률거리를 E라 할 때 (식 2)와 같이 확률거리를 구할 수 있다.

$$E = \sum_{k=0}^{\infty} \{y_k - (a_k + a_{k-1} - a_{k-2} - a_{k-3})\}^2 \quad (2)$$

여기서 비교할 값 $a_k + a_{k-1} - a_{k-2} - a_{k-3}$ 를 c_k 라고 하고 누적되는 상수항 y_k^2 를 제거하면 (식 3)과 같다.

$$E - \sum_{k=0}^{\infty} y_k^2 = \sum_{k=0}^{\infty} \{(y_k - c_k)^2 - y_k^2\} \quad (3)$$

(식 3)과 같이 구한 확률거리 중에서 가장 작은 신호열을 얻어내 원래 디지털 데이터열을 추출한다.

EPR4의 경우 표 1과 같이 다섯가지의 비교값에 대해 확률거리를 구할 수 있다.

표 1. EPR4의 확률거리

c_k (비교값)	$E_k = (y_k - c_k)^2$	$E_k - y_k^2$
0	y_k^2	0
-1	$y_k^2 + 2y_k + 1$	$2y_k + 1$
1	$y_k^2 - 2y_k + 1$	$-2y_k + 1$
-2	$y_k^2 + 4y_k + 4$	$4y_k + 4$
2	$y_k^2 - 4y_k + 4$	$-4y_k + 4$

Viterbi detector는 확률 누적거리(branch metric)를 연산하는 ACS(Add, Compare, and Select) 회로와, trellis와 동일한 구조를 가지고 있는 PM(Path Memory) 회로로 그림 2와 같이 나눌 수 있다. ACS 회로에서 확률 누적거리를 연산한 뒤 판단한 결과를 이용하여 PM 회로의 내용을 확장시켜 신호를 얻게 된다.

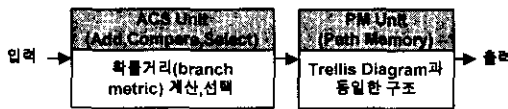
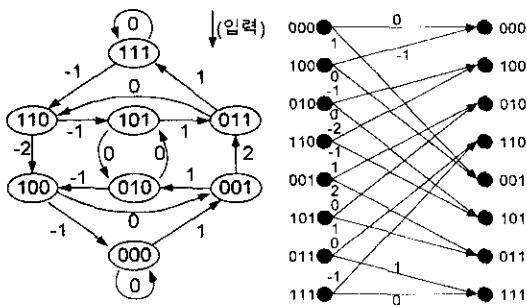


그림 2. 일반적인 Viterbi detector의 구조

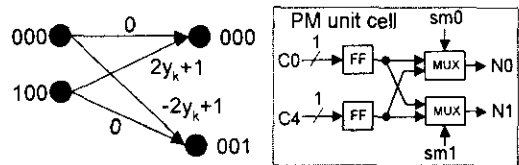
EPR4 신호는 (식 1)에서와 같이 연속된 3개의 자화 정보 기록을 추적해야만 하므로 8개의 상태가 있게 된다. 즉 EPR4에서는 "000", "001", "010", "011", "100", "101", "110", "111" 상태를 가진다.



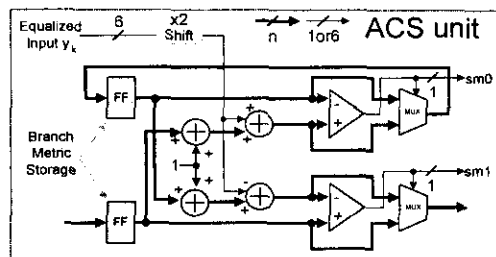
(a) EPR4 상태전이도 (b) EPR4 trellis
그림 3. EPR4 상태전이도(a)와 Trellis(b)

EPR4 상태전이도를 그림 3(a)에 나타내었고, 그 상태전이도를 옆으로 펼친 모양인 EPR4 trellis를 그림 3(b)에 나타내었다. 이 trellis 일부를 구현한 예를 그림 4에 나타내었으며, 그림 4(a)는 표 1과 같은 확률거리로 표시하였다. 이와 같은 trellis를 ACS 회로와 PM 회로를 각각 그림 4(b), (c)와 같이 구현할 수 있다. ACS 회로는 register 2개, increment 회로 2개, adder 2개, comparator 2개, mux 2개 등으로 이루어져

있음을 알 수 있다. 모두 branch metric을 더하거나 비교해야하기 때문에 n비트 회로로 이루어져 있으며 이에 대한 하드웨어가 상당히 큰 비중을 차지하게 된다. 그리고 PM 회로는 path memory cell들이 여러 신호를 추적할 수 있도록 여러 개를 직렬로 연결하게 된다. 그림 3(a)의 trellis는 그림 4-(a)와 같은 나비모양의 trellis가 네 개로 이루어져 있어, Full EPR4 Viterbi detector는 그림 4(b)와 비슷한 ACS 회로가 네 개 있어야한다.



(a) trellis 일부 (c) (a)를 구현한 PM 회로

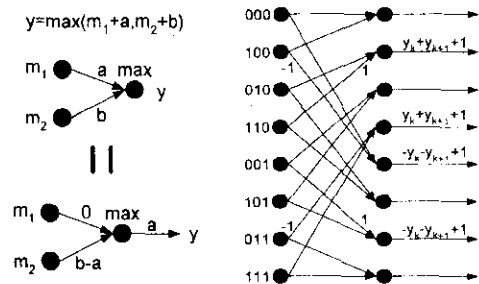


(b) (a)를 구현한 ACS 회로

그림 4. Full Viterbi detector의 일부 구현 예

IV. BMS (Branch Metric Shift)

그림 5(a)와 같이 $\max(m_1 + a, m_2 + b)$ 을 구하는 trellis가 $\max(m_1, m_2 + b - a) + a$ 와 같다. 이러한 원리를 BMS(Branch Metric Shift)라 하며, 이를 이용하여 EPR4 trellis를 바꾸어 보면 그림 5(b)와 같다 [6]. BMS 방법을 이용해 EPR4 Viterbi detector를 구현할 경우 적은 수의 회로로 구현 가능하다.



(a) 원리 (b) BMS EPR4 trellis

그림 5. BMS 방법 원리(a)와 확률거리로 나타낸 BMS EPR4 trellis(b)

V. GVA(Generalized Viterbi Algorithm)

GVA(Generalized Viterbi Algorithm)는 LVA(List-type Viterbi Algorithm)로 불리기도 하며, L개의 집합(list)으로 묶어서 나타낸 trellis에서 S개 경로(survivor)를 선택하는 방법이다. 이를 (L,S) GVA로 표현한다[3][4][5]. EPR4 신호에 대해서는 8상태를 4상태 또는 2상태로 줄여 (L=4,S) GVA 또는 (L=2,S) GVA를 구현하여 Viterbi detector의 구조를 줄인 것이다.

EPR4의 모든 8상태가 동시에 항상 중요하지 않기 때문에 큰 BER 성능저하 없이 일부 상태를 줄일 수 있다. 그림 6과 같이 (L=4,S) GVA EPR4 trellis에서 가장 오래된 신호를 don't care로 둬으로써 두 개의 상태를 하나의 branch metric으로 표현이 가능하여 필요한 register, PM 회로 등을 반으로 줄일 수 있게된다.

EPRML 시스템 성능을 비교해볼 때, (L=2,S=1) GVA detector는 full Viterbi detector보다 BER 성능이 어느 정도 떨어지게 되지만, (L=2,S=2) GVA detector 정도 되면 거의 같은 성능을 보이게 된다.

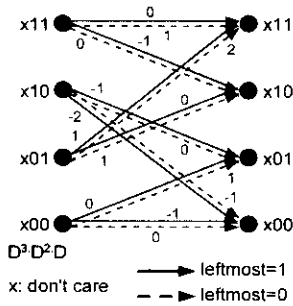


그림 6. (L=4,S) GVA EPR4 Trellis

그림 6의 (x11, x01)상태에서 (x11, x10)상태로 확장되는 trellis만을 구현한 ACS 회로를 그림 7에 나타내었다.

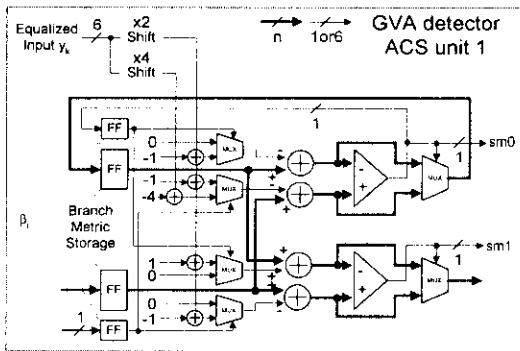


그림 7. (L=4,S=1) GVA detector의 ACS 회로일부

VI. 제안한 Folding Viterbi Detector

Folding Viterbi detector(FVD)는 상태천이도 또는 trellis가 대칭적인 구조를 가진 점을 이용하여 반으로 접은 형태의 trellis를 이용한다. FVD는 GVA detector에서 필요한 adder들을 adder/subtractor로 바꿈으로써 적은 수의 회로만으로 ACS 회로를 구현할 수 있다.

A. Folding EPR4 Viterbi Detector

FVD 개념을 EPR4에 적용하면 그림 8의 trellis와 같으며, EPR4 GVA trellis를 구현할 때 필요한 adder나 increment, mux 회로 등이 줄어든다. 예를 들어 그림 8에서 111/000상태에서 111/000상태로 확장되는 경우, 단지 100/011상태에서 확장되는 확률거리와 비교선택하기 위해 comparator와 mux 회로만 필요할 뿐 adder나 increment 회로가 필요하지 않다. GVA detector의 경우는 비슷한 상태들끼리 묶어 adder와 increment 회로가 별도로 필요한 반면, 제안한 FVD의 경우 입력신호와 비교할 값들이 서로 부호가 다른 것끼리 묶어 adder/subtractor와 increment/decrement 회로 등으로 바꿀 수 있다.

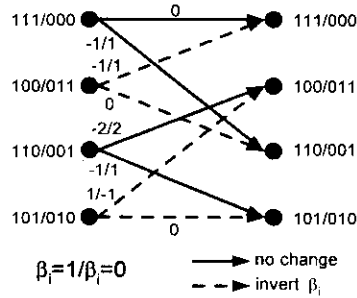


그림 7. FVD의 EPR4 Trellis

각각의 두 상태를 구분하기 위해 β_i 를 두는데 이에 따라 비교값과 PM회로에 전달하는 값을 선택하게 된다. 그림 8에 111/000, 100/011 상태에서 111/000, 110/001 상태로 확장되는 trellis만을 구현한 회로를 나타내었다.

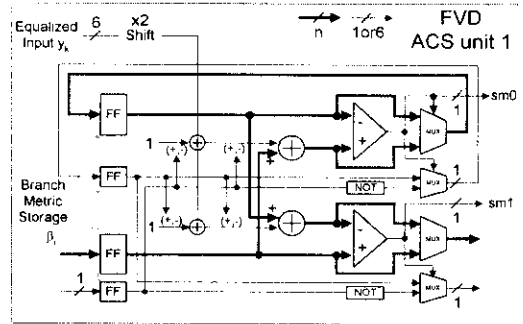


그림 8. 제안한 FVD의 ACS 회로일부

B. GVA detector와의 모의실험 비교

FVD와 GVA detector를 비교하기 위해 입력신호는 디지털 데이터열을 임의로 생성시켜 Lorentzian model을 이용해 정규기록밀도(normalized recording density) δ 가 2.5인 EPR4 신호로 바꾼 뒤 8탭 적응등화기를 거쳐 나온 신호 6비트(-4~3.875)를 이용하였다[1][9]. 여기서 적응등화기는 6비트 입력(-4~3.875)과 9비트 계수(-2~1.99609375)를 이용하였다. Viterbi detector를 PPL(Push-pull Pass Transistor Logic) 논리회로로 설계한 기본셀들을 이용하여 설계하였다[8][9].

설계한 회로의 전체 비교를 표 2에 나타내었다. 설계한 회로의 트랜지스터 수를 비교할 때 25% 감소효과가 있으며, 버퍼를 제외한 게이트 수를 비교할 때 40% 정도 감소시킬 수 있음을 알 수 있다. 소비전력은 5V, 100MHz 조건에서 60개 샘플입력에 대한 소비전력을 모의실험하였다. 제안한 FVD의 회로의 소비전력도 작지만, 게이트 수에 비해 작은 폭인 것은 β_1 의 상태전이 가 GVA detector보다 많이 일어나기 때문이다.

표 2. (L=4,S=1) GVA detector와 FVD의 설계 비교

주요 회로	GVA detector	제안한 FVD
전체 트랜지스터 수	11361 (100%)	8517 (75%)
게이트 수 (버퍼 제외)	1306 (100%)	807 (61%)
칩 면적 [mm ²]	2.83 (100%)	1.53 (54%)
소비전력[mW](100MHz,5V)	0.7780 (100%)	0.7174 (92%)

C. BMS를 이용한 FVD

FVD에 BMS 방법을 적용하면 더욱 크기가 작아지며, 그 적용한 trellis를 그림 9에 나타내었다. 이 경우 두 개의 상태를 같은 상태로 묶음 따라 BER 성능이 많이 떨어진다.

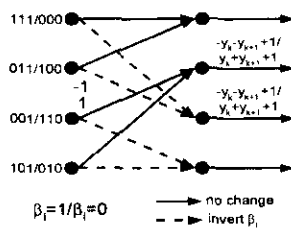


그림 9. FVD에 BMS 방법을 적용한 EPR4 Trellis

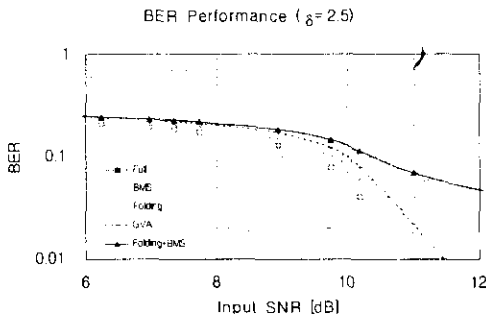


그림 10. BER 성능 비교

D. BER 성능

10⁵개의 임의 샘플을 이용하여 입력 SNR에 따른 각각의 BER 성능 비교를 그림 10에 나타내었다. FVD의 BER 성능은 GVA detector와 비교해볼 때 더 좋거나 비슷한 성능을 보인다.

VII. 결론

EPRML read channel 시스템에서 사용되는 Viterbi detector의 구조를 줄이기 위한 방법으로 FVD (folding Viterbi detector)를 제안하였다. 이 FVD는 기존의 방법인 GVA detector보다 트랜지스터 수와 게이트 수를 각각 75%와 61%로 줄일 수 있었으며, 칩 면적과 함께 소비전력과 BER 성능에서도 더 좋은 성능을 보였다.

VIII. 참고문헌

- [1] Y. Lin, C. Y. Yeh, "Study of an Extended Partial-Response, class IV, Channel for Digital Magnetic Recording," *IEEE Transactions on Magnetics*, vol. 33, no. 5, pp 4392-4404, Sep. 1997
- [2] H. K. Thapar and A. M. Patel, "A Class of Partial Response Systems for Increasing Storage Density in Magnetic Recording," *IEEE Trans. on Magnetics*, vol. MAG-23, no. 5, 3666-3668, Sep. 1987
- [3] T. Hashimoto, "A List-Type Reduced-Constraint Generalization of the Viterbi Algorithm," *IEEE Trans. on Information Theory*, vol. IT-33, no. 6, pp. 866-876, Nov 1987
- [4] N. Seshadri and C. W. Sundberg, "List Viterbi Decoding Algorithms with Applications," *IEEE Trans. on Communications*, vol. 42, no. 2/3/4, pp. 313-323, Feb./Mar./Apr. 1994
- [5] Y. Lin and C. Y. Yeh, "A Generalized Viterbi Algorithm for Detection of Partial Response Recording Systems," *IEEE Trans. on Magnetics*, vol. 32, no. 5, pp 3983-3985, Sep. 1996
- [6] G. Fettweis, et al. Thapar, "Reduced Complexity Viterbi Detector Architectures for Partial Response Signalling," *Proc. of GLOBECOM '95*, pp. 559-563, 1995
- [7] Alexander Taratorian, "Characterization of Magnetization Recording Systems A Practical Approach", *GUZIK Technical Enterprises*, 1996
- [8] W. H. Paik, H. J. Ki, and S. W. Kim, "Push-pull Pass-transistor Logic Family for Low Voltage and Low Power," *1996 European Solid State Circuit Conference*, pp. 116-119, Sep. 1996.
- [9] H. J. Ki, W. H. Paik, J. S. Yoo, and S. W. Kim, "A High Speed, Low Power 8-Tap Digital FIR Filter for PRML Disk-Drive Read Channels," *1997 European Solid State Circuit Conference*, pp. 312-315, Sep. 1997