

완전차동 전류모드 준디지털 포스트필터를 사용하는 시그마-델타 DAC

김재완, *민병무, 김수원

고려대학교 전기 전자 전파 공학부 ASIC 연구실, *LG반도체

서울시 성북구 안암동 5가

*서울시 서초구 우면동 16번지

Tel: 923-2081, Fax: 923-2081, E-mail: kjw@asic.korea.ac.kr

A Sigma-Delta DAC with a Fully-Differential Current-Mode Semidigital Postfilter

Jae Wan Kim, *Byung Moo Min, Soo Won Kim

Dept. of Electronic Engineering, Korea University, *LG Semicon

ASIC Lab., School of Electronics Eng., Korea Univ.

Anam-Dong 5-Ga, Sungbuk-Gu, Seoul, Korea

*LG Semicon Co., Ltd., 16, Woomyeon-dong, Seocho-gu, Seoul, Korea

Tel: 923-2081, Fax: 923-2081, E-mail: kjw@asic.korea.ac.kr

ABSTRACT

This paper introduces a sigma-delta DAC with a fully-differential current-mode semidigital IFIR postfilter. A proposed fully-differential postfilter exhibits not only an improved SNR(signal-to-noise ratio) but also a reduced power dissipation.

1. 서론

표준 디지털 공정에서 디지털 프로세서와 함께 집적할 수 있는 고해상도 ADC, DAC의 필요성이 높아져 왔다. 여러 형태의 데이터 변환기 중에서 시그마-델타 변환기는 비록 속도는 느리지만 정밀한 아날로그 회로 없이 쉽게 고해상도를 구현할 수 있으므로, 디지털 프로세서와 함께 집적하기가 용이하다. 따라서, 휴대폰의 음성대역 코덱, PC의 오디오 코덱 등에 광범위하게 응용되고 있다.

그림 1은 아날로그 포스트필터를 사용하는 시그마-델타 DAC의 블록도이다. 이 시그마-델타 DAC는 디지털

보간기(digital interpolator), 디지털 잡음 변조기(digital noise shaper), 아날로그 포스트필터(analog postfilter)로 구성되어 있다. 이 블록에서 디지털 보간기는 과표본화 홀만큼 주파수를 증가시키고 이에 따라 발생한 스펙트럼 이미지를 감쇠하는 역할을 하고 디지털 잡음 변조기는 낮은 양자화 잡음을 얻기 위해 대역 밖으로 잡음을 밀어내는 변조 동작을 한다. 그리고, 포스트필터는 변조된 대역밖 잡음을 감쇠하는 저역통과 필터링을 한다.

보간기와 잡음 변조기는 디지털 회로로 구현되므로 기존의 시그마-델타 DAC의 성능은 아날로그 회로인 포스트필터에 의해 제한된다. 기존의 포스트필터는 주로 이산시간 스위치드-커패시터(Switched-Capacitor) 필터나 연속시간 RC 필터로 구현되어 오다가 포스트필터를 그림 2와 같은 전류모드 준디지털 필터로 구현하는 방법이 제안되었었다[1][2]. 이와 같은 구현을 통하여 엄격한 회로 매칭 없이 낮은 양자화 잡음을 가지는 다레벨(multi-level) D/A 인터페이스를 얻을 수 있었고, 표준 디지털 CMOS 공정만으로도 DAC를 제작 가능하게 되었다. 그리고, 대칭되는 계수들을 가진 FIR 필터를 이용하므로 선형 위상 특성도 쉽게 얻을 수 있

었다. 현재 대부분의 고성능 CMOS 아날로그 회로는 전원전압 잡음과 짝수차 고조파를 제거하기 위해 완전 차동(fully-differential) 신호 경로를 사용한다. 그러나, 기존의 전류모드 포스트필터 회로는 단일 출력(single-ended) 신호 경로로 되어있어 잡음 등에 의해 성능이 저하되는 문제점이 있다. 따라서, 본 논문은 기존의 회로를 간단히 수정한 완전차동 포스트필터 회로를 제안하여 이와 같은 문제점을 해소하고자 한다.

2. 단일 출력 준디지털 IFIR 포스트필터

기존의 단일 출력 전류모드 준디지털 포스트필터의 구현은 그림 3에 보인다. IFIR 포스트필터는 n-탭 준디지털 필터와 아날로그 단극 저역통과 필터로 구성되는데, n-탭 준디지털 필터의 전달함수 $H(z^2)$ 는 아래 식과 같이 주어진다.

$$H(z^2) = a_1z^{-2} + a_2z^{-4} + \dots + a_nz^{-2n} \quad \dots \quad (1)$$

a_1, a_2, \dots, a_n 는 필터 계수이고, $z^{-2}, z^{-4}, \dots, z^{-2n}$ 는 지연 성분이다. 필터 계수 성분은 아날로그 PMOS 가중치 전류 원들로 지연 성분은 디지털 쉬프트 레지스터로 구현된다. n-탭 준디지털 필터는 FIR 필터의 일종이므로 대칭되는 필터 계수들을 가지고 있어서 선형 위상 응답 특성을 보인다.

아날로그 단극 저역 통과 필터는 전류를 전압으로 바꾸고, 전체 필터의 출력 신호를 평활화하고, IFIR 포스트필터 설계 과정에서 발생하는 원치 않는 대역통과 이미지를 억제하는 역할을 한다.

기본적인 동작을 살펴보면 그림 3에서 디지털 입력은 2n비트 쉬프트 레지스터를 통해 지연되므로 1비트 직렬 입력은 매 두 지연 성분들마다 다비트 병렬 출력으로 변환된다. 따라서, 실제 D/A 변환은 이 쉬프트 레지스터에서 일어나게 된다. 지연된 쉬프트 레지스터의 다비트 병렬 출력은 아날로그 필터 계수나 0에 승산되어 n-탭 준디지털 필터의 전달함수에서의 가중치를 가진 지연 성분들을 발생시키게 된다. 이 승산된 성분들은 아날로그 전류 값이므로 전류-합산 증폭기의 입력 단에서 합쳐지게 된다.

3. 완전 차동 준디지털 IFIR 포스트필터

본 논문에서 제안된 완전 차동 전류모드 준디지털 포스트필터는 그림 4에 보인다. 필터 회로는 디지털 입력을 지연하는 2n비트 쉬프트 레지스터 블록, 필터 계

수들을 나타내는 n개의 PMOS 가중치 전류 원 블록, 계수 전류 값을 승산하는 n개의 전류 스위치 블록, 승산된 전류 값을 합산하여 전압 신호로 변환하면서 저역통과 필터 역할도 하는 전류-합산 증폭기 블록으로 구성된다. 따라서, 기존의 회로 구성과 동일하며 기본 동작도 거의 유사하다. 차이점은 필터 계수를 승산하지 않을 때(0을 승산할 때) 그라운드로 빠지는 전류를 활용하는 것이다. 그림 3의 기존의 단일 출력 포스트필터에서 필터 계수를 승산할 때는 전류 원들의 아날로그 전류를 전류-합산 증폭기의 (-) 입력 단자로 흘려 합산하고 0을 승산할 때는 그라운드로 전류를 방출한다. 그러나, 그림 4의 제안된 완전 차동 포스트필터에서는 0을 승산할 때 그라운드로 방출되는 전류를 전류-합산 증폭기의 (+) 입력 단자에도 흐르도록 구성한다. 그림으로써, (-) 입력 단자에 흐르는 전류와 함께 차동 출력 전압 신호를 만들어 낸다. 그러므로, 제안된 완전 차동 회로는 단일 출력 회로와 비교해 볼 때 주어진 전류에 대해 2배의 출력 스윙을 제공한다. 게다가, 완전 차동 회로는 대칭이므로 짝수차 왜곡 성분을 제거할 수 있고, 우수한 전원전압 잡음 제거비(PSRR)를 가지게 된다. 반면에 그림 3의 기존 회로는 단일 출력 신호 경로를 사용하므로 잡음과 왜곡 성분에 의해서 SNR이 완전 차동보다 저하된다. 한편, 전류 원들은 1/f 잡음을 줄이기 위해 PMOS로만 구성되므로 기존의 회로에서는 양과 음의 출력 스윙을 얻기 위해서는 그림 3에 보이는 총 가중치 전류 원들의 전류 값의 절반을 항상 빼주는 전류 싱크(sink) 회로가 필요하다. 그래서, 포스트 필터에서 사용하는 총 전류의 1/3을 실제적인 회로 동작에 상관없이 소모하게 된다. 그러나, 그림 4의 제안된 회로에서는 이런 전류 싱크 회로가 필요 없으므로 성능을 향상시키기 위해서 부가적인 전력을 소모할 필요가 없다.

포스트 필터의 총 전류 값은 최소 0에서 최대 I_{tot} 까지 갖는다고 가정하고, 디지털 입력에 의해 발생하는 신호 전류를 I_{sig} 라고 놓자. 그러면, 그림 3의 단일 출력 포스트필터의 출력 전압 I_{out} 은 전류-합산 증폭기의 저항 R과 곱해져 식 (2)과 같은 최종 출력 값을 가지게 된다.

$$V_{\alpha(\text{단일출력})} = -I_{out} \times R = \left(\frac{I_{tot}}{2} - I_{sig} \right) \times R \quad \dots \quad (2)$$

여기서, 단일 출력 회로의 최대 출력 전압은 $\frac{I_{tot}}{2} \times R$. 최소 출력 전압은 $-\frac{I_{tot}}{2} \times R$ 이 되고, $0 \leq I_{sig} \leq I_{tot}$ 이다.

한편, 그림 4의 차동 출력 포스트필터의 출력 전압은

증폭기의 (-) 입력 단자에는 I_{sig} 전류가 (+) 입력 단자에는 $I_{kt} - I_{sig}$ 이 흐르게 되므로 식 3과 같은 출력 값을 가지게 된다.

$$V_{\alpha(\text{차동출력})} = -(I_{out+} - I_{out-}) \times R = (I_{kt} - 2I_{sig}) \times R \quad \dots (3)$$

차동 출력 구조에서의 최대 출력 전압은 $I_{kt} \times R$, 최소 출력 전압은 $-I_{kt} \times R$ 이 된다.

따라서, 제안된 완전 차동 포스트필터는 잡음에 의한 효과를 무시하더라도 같은 전력 하에서 기존의 회로보다 2배 더 큰 출력 신호를 제공하므로 필터의 SNR이 증가한다. 그리고, 양과 음의 출력 스윙을 얻기 위해 단일 출력 포스트 필터 회로에 사용되었던 총 가중치 전류 값의 반($\frac{I_{kt}}{2}$)을 빼주는 전류 싱크 회로를 제거할 수 있어서 같은 성능 하에서는 전력 소모도 크게 감소시킬 수 있다.

그림 5는 그림 4의 변형 회로로서 가상 차동(pseudo-differential) 포스트필터 회로이다. 완전 차동보다 전류 합산 증폭기를 하나 더 사용하고 전원전압에 더 약한 단점이 있으나 CMFB(common-mode feedback) 회로를 증폭기가 필요로 하지 않는다는 장점이 있다.

4. 모의실험 결과

그림 6은 완전차동 전류모드 포스트필터를 통과하여 복원된 4kHz의 아날로그 출력 신호의 모의 실험한 파형이다. 전체 모의 실험은 아날로그 회로가 전체의 성능을 좌우하므로 디지털 stimulus 파일을 입력 원으로 사용하여 아날로그 회로만을 HSPICE로 모의 실험하였다. 모의 실험한 결과 단일 출력 시 77dB의 SNR이 제안된 완전 차동 회로에서는 82dB로 향상되었으며 단일 출력 회로에서 88dB나 되던 2차 고조파가 121dB로 크게 감소됨을 알 수 있었다.

5. 결론

본 연구에서는 기존의 단일 출력 포스트필터를 개선한 완전 차동 구조의 전류모드 준디지털 IFIR 포스트필터를 제안하였다. 제안된 완전 차동 전류모드 포스트필터는 필터 계수를 증산하지 않을 때 그라운드로 빠지는 전류를 활용하여 양과 음의 스윙을 가지는 차동 출력 신호를 만듦으로써 필터의 SNR을 향상하고 전력 소모를 크게 줄일 수 있다.

6. 참고문헌

- [1] David K.Su and Bruce A.Wooley, "A CMOS Oversampling D/A Converter with a Current-Mode Semidigital Reconstruction Filter", *IEEE JSSC*, vol28, no.12, pp.1224-1233, Dec.1993
- [2] J.W. Kim, M.B. Min, J.S. Yoo and S.W. Kim, "An Area-efficient Sigma-delta DAC with a Current-mode Semidigital IFIR Reconstruction Filter", *IEEE ISCAS 98*
- [3] James C. Candy and Gabor C. Temes, *Oversampling Delta-Sigma Data Converters*, IEEE Press, 1992

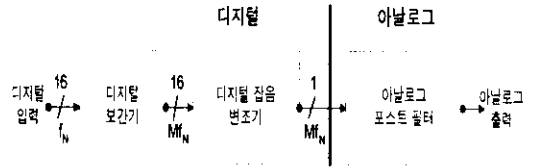


그림 1. 아날로그 포스트필터를 사용하는 시그마-델타 DAC의 블록도

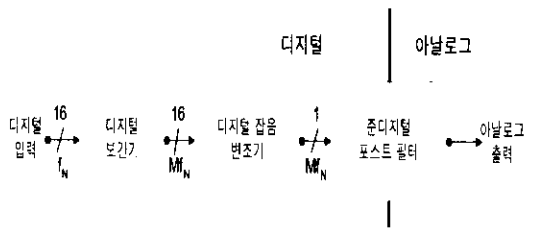


그림 2. 준디지털 포스트필터를 사용하는 시그마-델타 DAC의 블록도

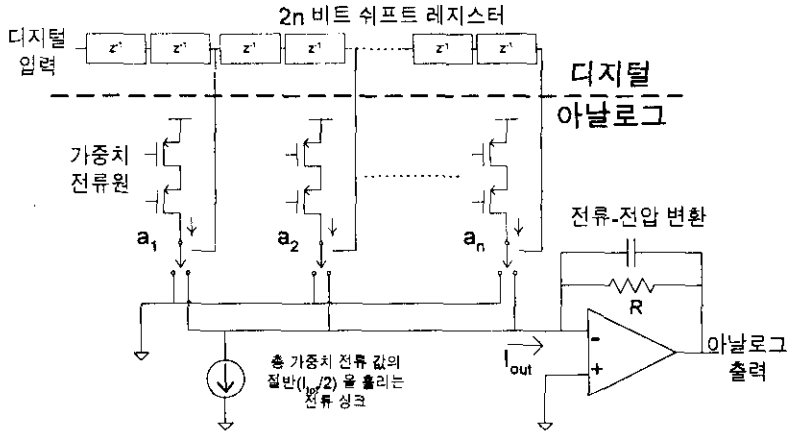


그림 3. 기존의 단일 출력 준디지털 IFIR 포스트필터의 구현

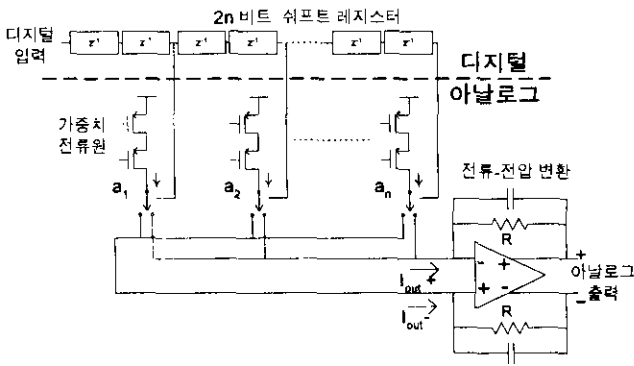


그림 4. 제안된 완전 차동 준디지털 IFIR 포스트필터의 구현

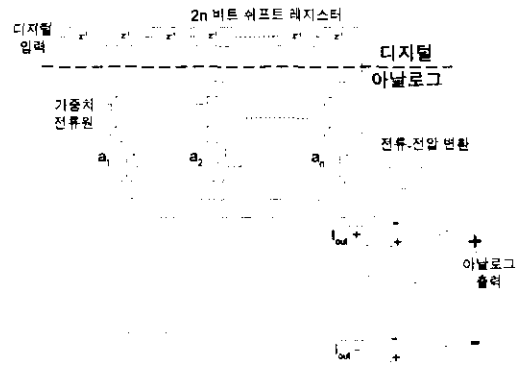


그림 5. 가상 차동 준디지털 IFIR 포스트필터의 구현

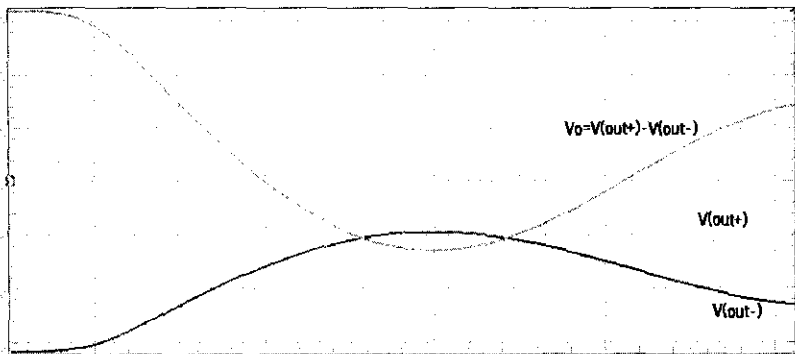


그림 6. 완전차동 전류모드 포스트필터를 통과하여 복원된 아날로그 출력 신호의 모의 실험