

전력용 HEMT를 이용한 1740~1780MHz 대역의 MMIC 전력증폭기 설계

윤관기*, 조희철**, 이진구*

* 동국대학교 전자공학과 반도체 및 집적회로 연구실

** (주) 맥암

E-mail : younkk@cakra.dongguk.ac.kr

Design of MMIC Power Amplifier using Power HEMT at 1740~1780MHz

K.K.Youn*, H.C.Cho** and J.K.Rhee*

* S & IC Lab., Dept. of Elec. Eng., Dongguk Univ.

** MacAm

Abstract

In this paper, power amplifiers for PCS phone were designed with the GEC Marconi H40 HEMT library. The 1st stage was carefully designed in order to obtain $k > 1$ using a parallel resistor, and its S_{21} gain of 18.3dB and input reflection coefficient of -4dB were obtained. And S_{21} gain of 18dB and input reflection coefficient of -7dB were obtained from the 2nd stage. Finally, total S_{21} gain of 38dB, input reflection coefficient of -16dB, power gain of 35.2dB, output power of 28.7dBm and PAE(power added efficiency) of 29% were obtained from the designed MMIC power amplifiers. The chip size is $1.729 \times 0.94 \text{mm}^2$.

많은 사람에 의한 보다 많은 정보가 무선통신을 통하여 교환되고 있다. 이동통신 기기는 그 특성상 소형화, 초경량화 및 저전력 소비를 위하여 고출력 및 고효율의 소자 개발이 필수적이다. 이를 위해서는 RF 대역의 초고속, 고효율, 고전력 소자와 소형화, 경량화 되고 고신뢰도를 갖는 단일칩 집적회로(MMIC : Monolithic Microwave Integrated Circuits)의 개발은 핵심과제로 부각되고 있다.

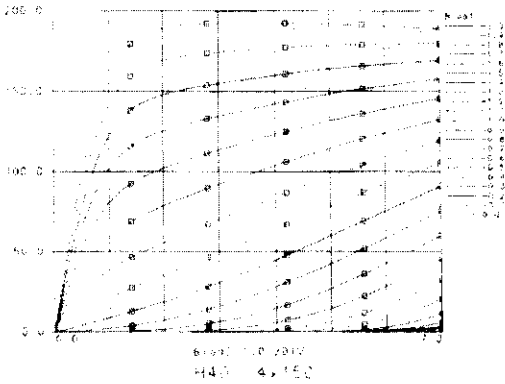
본 논문에서는 영국 GEC Marconi사의 $0.25 \mu\text{m}$ 게이트 길이를 갖는 전력용 HEMT와 저항, 인덕터 및 캐패시터의 라이브러리를 이용하여 MMIC 2단 전력증폭기를 설계하였다. 설계목표는 주파수 범위 1750~1780MHz, 이득 25dB 이상, VSWR 2.2:1 이하, output power 28dBm 이상, efficiency 32% 이상이며, 동작전압은 3.3V 이다.

I. 서 론

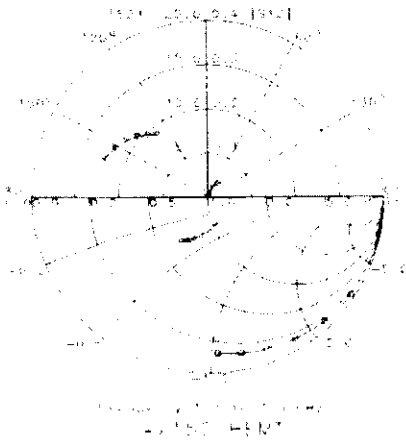
1921년 미국 디트로이트 경찰국의 경찰차에 무선 송/수신기를 부착한 것을 시초로 무선통신의 기술은 눈부시게 발전하고 있다. 이러한 무선통신 기술의 발달과 더불어 무선통신 기기의 발달은 대량정보 유통을 가능하게 하였으며, 지속적인 기술발달로 인하여 보다

II. 입력단 전력증폭기

입력단 전력증폭기는 게이트 길이 $0.25 \mu\text{m}$ T-gate, 단위 게이트 폭 $150 \mu\text{m}$ 및 게이트 핑거수가 4개인 영국 GEC Marconi사의 H40 HEMT 라이브러리를 이용하였다. 그림 1에 총 게이트 폭이 $600 \mu\text{m}$ 인 H40 HEMT의 DC 및 S-파라메타 특성을 보였다.



(a) DC 특성



(b) S-파라메타 특성

그림 1. 총 게이트 폭이 600 μm 인
입력단 HEMT의 DC 및 RF 특성

전력증폭기의 설계시 발견되지 않는 조건을 찾기 위하여 안정도 계수가 1이상의 값이 되도록 전력증폭기의 입력단에 병렬 저항을 삽입하였다. 또한, 칩면적의 감소를 위하여 입력단 매칭은 MMIC 칩외부에서 하도록 하였다. 이러한 방법으로 설계된 입력단 전력증폭기의 회로도를 그림 2에 보였다. 그림 3은 설계된 입력단 전력증폭기의 이득 및 입력반사계수로 동작 전압이 3V 일 때 S_{21} 이득 18.3dB와 입력반사계수(S_{11}) -4dB 이하의 결과를 얻었다.

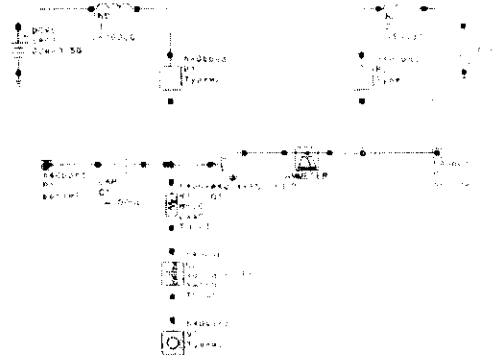


그림 2. 입력단 전력증폭기의 회로도

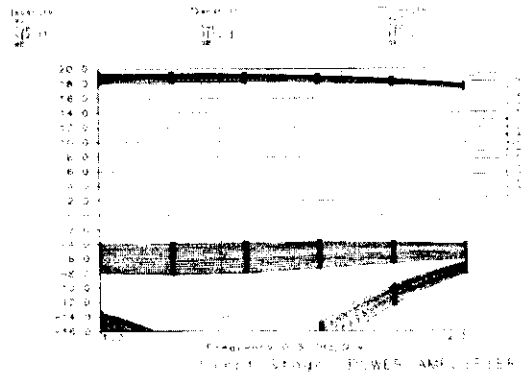
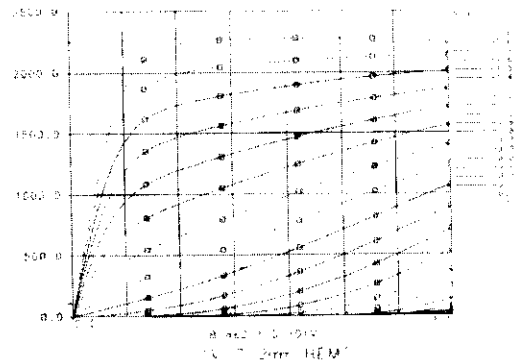


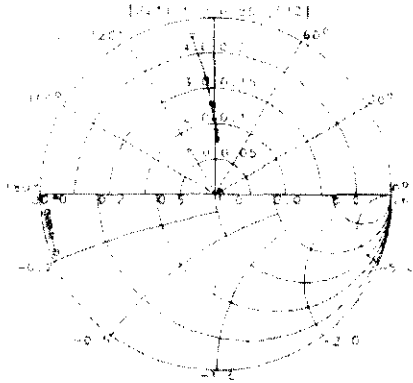
그림 3. 입력단 전력증폭기의 이득

III. 출력단 전력증폭기

출력단 전력증폭기는 단위 게이트 길이 0.25 μm , 단위 게이트 폭 200 μm 그리고 게이트 수 36개인 HEMT를 이용하였으며, 그림 4에 DC 및 S-파라메타 특성을 보였다.



(a) DC 특성



Frequency 1.740 to 1.780 GHz
0.7mm HEMT

(b) S-파라메타 특성

그림 4. 게이트 폭이 7.2mm인 출력단 HEMT의 DC 및 RF 특성

입력단 전력증폭기와 마찬가지로 출력단 전력증폭기도 3.3V의 동작점을 사용하였으며, 출력단 매칭은 MMIC 칩 외부에서 하도록 하였다. 이러한 방법으로 설계된 출력단 전력증폭기를 그림 5에 보였다.

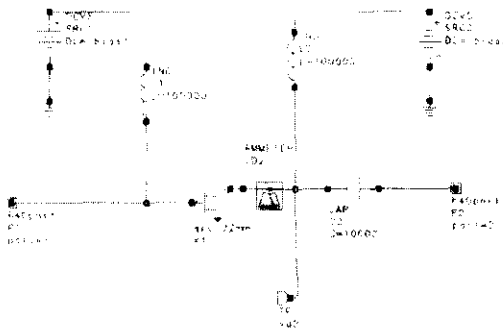


그림 5. 출력단 전력증폭기의 회로도

그림 6에 설계된 입력단 전력증폭기의 이득 및 입력반사계수를 보였다. 그림 6에서 동작 전압 3V 일 때 S_{21} 이득 18dB와 입력반사계수 -7dB 이하의 결과를 얻었다.

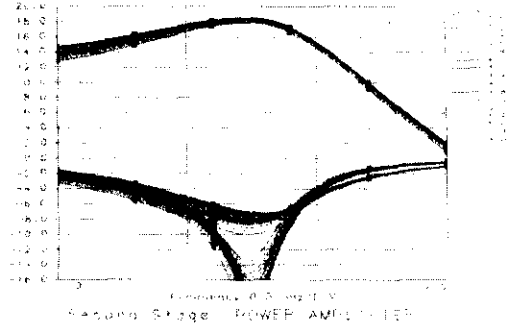


그림 6. 출력단 전력증폭기의 이득

IV. MMIC 2단 전력증폭기

설계된 입력단 및 출력단 전력증폭기를 LC 매칭을 이용하여 MMIC 2단 전력증폭기를 설계하였다. 설계된 전력증폭기의 회로도를 그림 7에 보였다. 그림 7에서 C1, C4와 L5는 입력단과 출력단의 매칭을 위한 커패시터와 인덕터이며 입력단의 L2와 L3 및 출력단의 L1과 L4는 시뮬레이션을 위한 50Ω 매칭회로 이다.

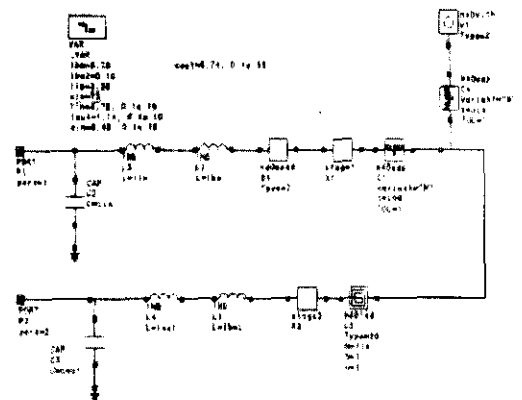


그림 7. 설계된 MMIC 2단 전력증폭기의 회로도

설계된 MMIC 2단 전력증폭기의 S_{21} 이득과 입력반사계수를 그림 8에 나타내었다. 설계결과는 패키지의 영향을 고려하여 인덕터를 그림 7의 외부에 추가하여 결과를 얻었다. 그림 8에서 동작전압이 3V 일 때 S_{21} 이득 38dB와 입력반사계수 -16dB 이하의 결과를 얻었다.

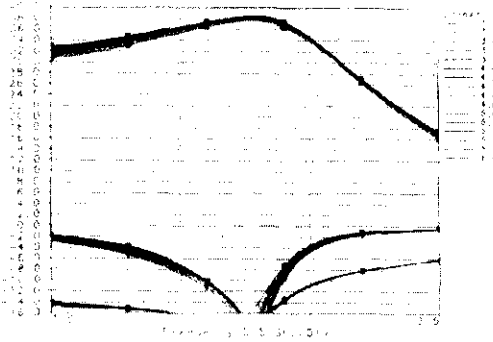


그림 8. MMIC 2단 전력증폭기의 이득 특성

그림 9에 동작전압의 변화에 따른 전력이득, 출력전력 및 전력부가효율은 보였다. 그림 9에서 동작전압이 3V 일 때 전력이득은 35.2dB, 출력전력은 28.7dBm 그리고 전력부가효율은 29% 이상의 결과를 얻었다.

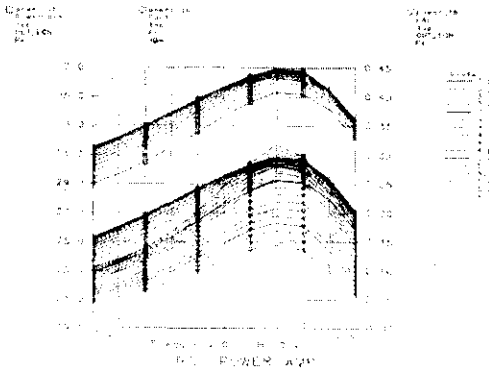


그림 9. 주파수 및 동작전압 변화에 따른 전력이득, 출력전력 및 전력부가효율

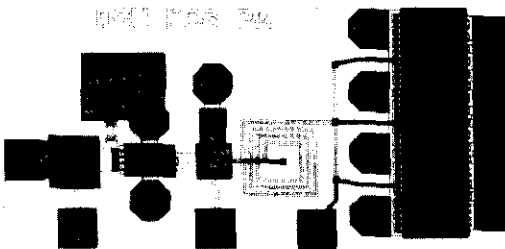


그림 10. 제작에 사용된 마스크 레이아웃

그림 10에 디자인 룰에 의거하여 설계된 마스크를 보였다. 그림 10에서 총 마스크 수는 10장으로 chip 크기는 $1.729 \times 0.94 \text{mm}^2$ 이다. 설계된 전력증폭기는 현재 제작중이다.

V. 결 론

본 논문에서는 이동통신용 단말기인 PCS 단말기에 사용할 수 있는 전력증폭기를 설계하였다. 전력증폭기에 사용된 소자는 영국 GEC Marconi사의 H40 HEMT 라이브러리를 이용하였다. MMIC 2단 전력증폭기는 PCS 단말기용으로 3V 동작을 기본으로 하여 설계하였다.

입력단 전력증폭기는 안정도를 고려하여 저항을 입력측에 삽입함으로써 안정도 계수가 1 이상의 값을 갖도록 하였다. 입력단에 사용된 소자는 H40 라이브러리 중 단위 게이트 길이가 $0.25 \mu\text{m}$ 이고 4개의 단위 게이트 폭은 $150 \mu\text{m}$ 로써 총 게이트 폭이 $600 \mu\text{m}$ 이다. 설계결과 S_{21} 이득 18.3dB와 입력반사계수(S_{11}) -4dB 이하의 결과를 얻었다.

출력단 전력증폭기설계에 사용된 소자는 H40 라이브러리 중 단위 게이트 길이가 $0.25 \mu\text{m}$ 이고 36개의 단위 게이트 폭은 $200 \mu\text{m}$ 로써 총 게이트 폭이 7.2mm이다. 설계결과 S_{21} 이득 18dB와 입력반사계수 -7dB 이하의 결과를 얻었다.

최종적으로 입력단과 출력단 전력증폭기를 LC 매칭을 이용하여 MMIC 2단 전력증폭기를 설계하였다. 설계 결과 S_{21} 이득 38dB와 입력반사계수 -16dB 이하의 결과를 얻었으며, 전력 이득은 35.2dB, 출력전력은 28.7dBm 그리고 전력부가효율은 29% 이상의 결과를 얻었다.

설계된 전력증폭기의 chip 크기는 $1.729 \times 0.94 \text{mm}^2$ 이다. 본 논문에서 설계된 MMIC 2단 전력증폭기는 현재 공정이 진행중에 있으며 PCS 단말기용 전력증폭기의 국산화를 이룰 수 있을 것으로 기대된다.

(* 본 연구는 1998년도 정보통신부 ASIC 공동 기술 과제의 지원을 받아 연구되었음)