

900MHz대 저전력 저잡음 증폭기 설계

*김영호, 정항근

전북대학교 전자공학과

전북 전주시 덕진구 덕진동 1가 664-14

E-mail : a977082@cbnu.chonbuk.ac.kr

Design of 900MHz Low Noise Amplifier

*Young-Ho Kim, Hang-Geun Jeong

Dept. of Electronic Engineering, Chonbuk National University

664-14, 1-Ga, Dukjin-Dong Chonju, Korea, 561-756

E-mail : a977082@cbnu.chonbuk.ac.kr

Abstract

본 논문에서는 최근 급격히 수요가 증대하고 있는 휴대용 단말기의 수신기 선단에 사용되는 저잡음 증폭기(LNA)를 0.6 μ m CMOS공정 파라미터를 사용하여 설계하였다. 설계된 LNA는 전원 전압 $\pm 1.2V$, 900MHz대에서 동작하는 전류 재사용방식의 적층 CMOS구조로서 시뮬레이션 결과 전력소모가 9.45mW, 전력이득은 23.7dB, 잡음지수 2.27dB, 선형지수 OIP3는 7.6dBm을 나타내어 저전력 저잡음 특성을 얻었다. 사용된 인덕터의 Q는 3.5이다.

1. 서론

최근들어 휴대이동전화기 및 PCS의 가입자수는 폭발적인 기록을 보이고 있다. 이는 21세기 정보통신 사회의 도래에 발맞추어 나타난 통신시장의 자연스런 팽창에 따른 결과이다.

CMOS공정은 단말장치의 소형경량화, 저전력화, 저가각화를 위하여 바람직하며 이를 통한 단말장치의 단일 칩화 연구가 최근 활발히 진행되고 있다. 본 논문에서는 0.6 μ m CMOS 설계파라미터를 사용하여 RF 수신기의 선단에 필요로 하는 900MHz 저잡음 증폭기를 설계하였고 시뮬레이션 결과를 기술하였다.

2. 저잡음 증폭기(LNA) 블럭의 기능

저잡음 증폭기는 이동통신용 수신기의 안테나로부터 받은 고주파 신호를 중간주파수로 변환하기 이전에 증폭하는 고주파 증폭단으로서 감도(sensitivity)를 결정한다. 또한 주파수혼합기(mixer)의 잡음지수가 대부분

상당히 크므로 이 주파수혼합기 앞에 저잡음증폭기 회로는 없어서는 안될 중요회로이다. 이 저잡음증폭 회로의 잡음지수는 전체 수신기의 감도에 큰 영향을 미치므로 무엇보다 저잡음 특성을 갖도록 설계하여야 한다.

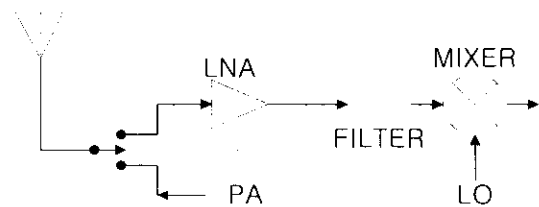


그림 1 고주파 송수신단 부분

전형적인 이동통신기 고주파블럭을 보면 크게 수신부와 송신부로 나눌 수 있다. 이중 수신부는 그림 1에서 보는 것처럼 크게 저잡음 증폭기, 주파수혼합기, 국부 발진기(LO)로 구성된다. 이중 저잡음 증폭기는 수신기의 감도를 결정하는데 가장 큰 역할을 하는 부분으로 수 μ W의 매우 약한 신호를 받아 증폭시킨 다음 이를 주파수 혼합기에 보내게 된다. 이때 신호왜곡(distortion) 및 잡음이 적게 추가되도록 증폭기를 설계하는 것이 중요하다.

안테나로부터 나온 신호를 만사 손실없이 받아 들이기 위해서는 또한 외부 RF필터에 최대 전력전달을 위해 입력단과 출력단은 정합이 필요하다. 최근 발표된 논문[1]들을 보면 여러 정합 회로들중 인덕터 종단 정합이 가장 전력소모가 적고 잡음지수도 작아 가장 많이 사용되는 정합회로이다.

3. 제안하는 저잡음 증폭기구조

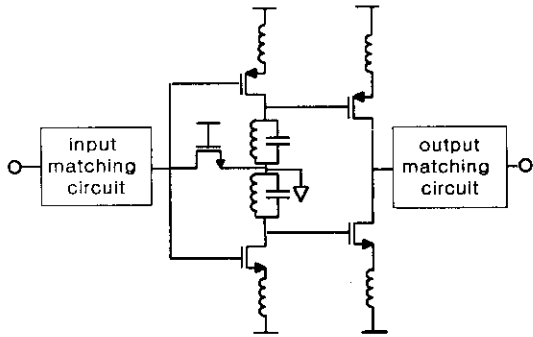


그림 2 설계된 900MHz 저잡음 증폭기

제안하는 900MHz용 LNA는 그림 2와 같다. 0.6 μ m CMOS 공정을 사용하여 저전력 소모와 함께 저잡음 특성 및 큰 이득을 얻었다. 이 회로의 특징을 보면 전류재사용 방식의 적층 CMOS구조를 채택하여 저전력 소모를 이루도록 하였다. 또한 적층구조에 요구되는 큰 용량의 커패시터를 사용하지 않기 위해 전원처리를 함으로써 on-chip화 가능성을 높였다. 아울러 tuned load를 통한 필터기능이 가미되어 밴드밖의 잡음제거와 이미지 신호 제거(image signal rejection)기능을 수행하며 따로 바이어스 회로를 두지 않아도 자체적으로 바이어스가 형성되므로 회로구조가 간단해지고 저전력 소모를 이룬다

본 저잡음증폭기를 설계하는데에는 다섯 가지 주요특성(이득, 전력소모, 잡음지수, 입력정합, 선형성)이 고려되었다. 제안된 LNA구조의 첫 단은 DC적으로 CMOS push-pull증폭기 형태이며 AC적으로는 N/PMOS로 이루어진 공통소스단 증폭기를 병렬로 연결한 구조이다. 둘째단에는 complementary common source 증폭기를 사용하였다. 후단블럭의 잡음 부담의 영향을 줄이기 위해 2단 증폭을 통해 큰 이득을 얻도록 하였다. 또한 잡음 감소를 위해 게이트 전압은 충분히 높게 주었다. 정합은 인덕터 부재한 입력정합을 사용하여 반사손실을 줄이고 저잡음 및 고이득을 얻고자 하였다. tuned load에서 인덕터 손실은 인덕터의 직렬저항을 r 이라 할 때 $(1+Q^2)r$ 값의 등가병렬저항으로 환산할 수 있으며 공진주파수에서 부하의 저항값과 전압이득을 결정한다.

4. 회로동작 및 simulation결과

신호접지에 필요한 용량이 큰 커패시터를 사용하는 것을 피하기 VDD=1.2V, VSS=-1.2V의 전원을 사용하였다. 첫단에서는 협대역 공진을 이용하여 타 주파수 성분을 제거함으로써 채널선택도를 높였다. 또한 입력단, 출력단은 50 Ω 정합을 이루어 최대 신호 입력 전력 전달 및 출력전력 전달을 이루도록 하였다. LNA의 후단(LNA와 MIXER 사이)에 보통 외부소자인 image rejection 필터가 연결되므로 외부특성인피던스(50 Ω)를 고려하여 설계하여야 한다.

저잡음, 저왜곡을 가진 LNA에서 전력 이득을 극대화하기란 어려운 일이 아닐 수 없다. 왜냐하면 이득이 크면 저잡음에는 유리하지만 신호의 선형성이 떨어지기 때문이다. 최대 전력이 전달이 되려면 입력력 정합이 이루어져야 가능하며 이 때의 전력 이득은 식1과 같다.

$$G_p = \frac{P_{out}}{P_{in}} = \frac{V_{out}^2/R_L}{\frac{V_{in}^2}{4R_s}} = 4 \frac{V_{out}^2}{V_{in}^2} = 4A_v^2 \quad \dots\dots(1)$$

$$G_p = 20 \log(S_{21})$$

여기에서 A_v 는 교류전압이득이다. 식(1)을 보면 입력력 정합이 되어있는 가정하에 전력이득이 전압이득보다 6dB만큼 큼을 알 수 있다.

제안된 회로에서 입력신호는 정합회로를 통과하여 cascode 동조증폭기 입력단에서 각각 LC공진을 이용하여 증폭된다. 협대역화된 신호는 두 번째단에서 다시 증폭되어 충분한 이득을 얻도록 하였다.

이득은 다음 식2와 같다.

$$A_v = \frac{\frac{1}{S_{CGS}} \cdot g_m(1+Q^2) r}{S(L_C+L_S) + \frac{1}{S_{CGS}} + g_m \frac{L_S}{C_{GS}}} \frac{2g_m}{g_{dsn} + g_{dsp}} \quad \dots\dots(2)$$

시뮬레이션 결과 LNA의 전압이득은 900MHz에서 약 17.7dB이었다. 첫째 단의 전류는 4.5mA, 둘째 단 전류는 2.4mA로 분배하여 주었다. 시뮬레이션 결과에서 S_{21} 은 23.7dB의 높은 이득을 얻었다. 또한 S_{12} (-48dB) 값이 상당히 작으므로 국부발전기신호의 누설이 차단된다. (그림 3)

잡음지수는 첫단의 증폭기의 이득이 크므로 뒷단의 잡음정도가 작다고 가정하면 다음과 같다.

1. 신호원 저항 자체에 의해 발생된 출력 잡음 전류

$$\frac{\overline{i_{02}^2}}{i_n} = \frac{1 + sC_{gs}R_s + s^2C_{gs}(L_g + L_s)}{1 + s(L_s g_m + C_{gs}R_s) + s^2C_{gs}(L_g + L_s)}$$

여기에서 $\overline{i_n^2} = 4kT \frac{2}{3} g_m \Delta f$ 이다
..... (3)

2. 트랜지스터 자체에 의해 발생되는 채널잡음전류는

$$\frac{\overline{i_{01}^2}}{v_{ns}} = \frac{g_m}{1 + s(L_s g_m + C_{gs}R_s) + s^2C_{gs}(L_g + L_s)}$$

여기에서 $\overline{v_{ns}^2} = 4kTR_s \Delta f$ 이다
..... (4)

3. 트랜지스터 자체에 의해 발생되는 공진회로의 출력 잡음 전류를 보면

$$\frac{\overline{i_{03}^2}}{v_{nr}} = \frac{1}{r + sL} = \frac{1}{L(\frac{\omega_c}{Q} + S)}$$

여기에서 $\overline{v_{nr}^2} = 4kTr \Delta f$ 이다.
..... (5)

따라서 전체 NF를 구하면 다음과 같다.

$$F = \left[\frac{\overline{i_{01}^2} + \overline{i_{02}^2} + \overline{i_{03}^2}}{\overline{i_{01}^2}} \right] \quad \dots\dots (6)$$

$$= \left[1 + \frac{\overline{i_{02}^2} + \overline{i_{03}^2}}{\overline{i_{01}^2}} \right]$$

윗식을 각각 대입하여 정리하면

$$F = \left[1 + \frac{[1 - (\frac{\omega}{\omega_0})^2]^2 + \omega^2 C_{gs} R_s (L_s g_m + C_{gs} R_s) \frac{2}{3}}{g_m R_s} + \frac{[1 - (\frac{\omega}{\omega_0})^2]^2 + \omega^2 (L_s g_m + C_{gs} R_s)^2}{(1 + (\frac{Q\omega}{\omega_c})^2) g_m^2 R_s} \right]$$

$$NF = 10 \log F \quad \dots\dots (7)$$

이제 이 수식에 값을 대입하여 전체 NF를 구하여 그리면 그림 4과 같다. 그림 4에서 볼 수 있는 바와 같이 중심주파수 880MHz에서 2.27dB의 NF값을 얻었다. 주파수가 중심주파수에서 벗어나서 증폭기의 입력임피던스가 맞지 않은 경우에는 잡음특성도 나빠짐을 그래

프를 통하여 알 수가 있다.

그림 5는 같은 진폭의 2-tone 입력전압(850MHz, 910MHz)에 대한 각각의 출력 전압(3차 왜곡신호(790MHz, 970MHz), 850MHz, 910MHz)의 값을 주파수 분석하여 데시벨값으로 표현하고 이를 전력(dBm)으로 환산하여 기본주파수 성분과 3차 왜곡성분을 나타낸 그래프이다. 선형 시뮬레이션 결과 OIP3의 값은 평균값으로 7.6dBm값으로 나왔다.

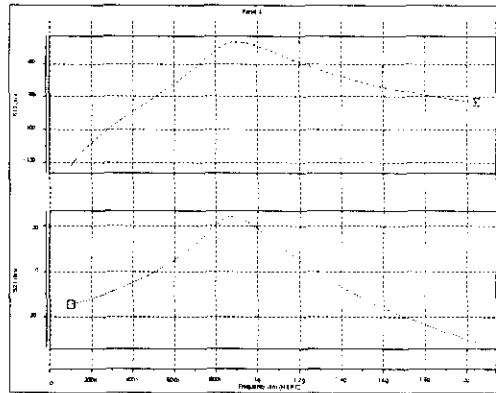


그림 3 제안된 저전압 증폭기 S12, S21곡선

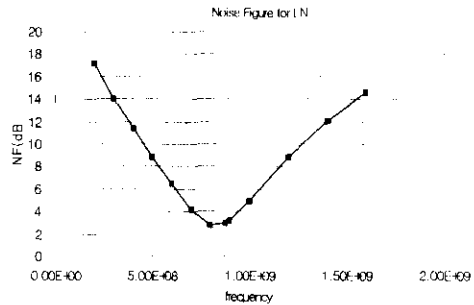


그림 4 제안된 저잡음 증폭기의 NF

5. 결론

무선이동통신의 주요블럭중 LNA를 one-poly three-metal 0.6μm CMOS공정을 이용하여 설계하고 시뮬레이션을 통하여 검증 하였다.

전체 저잡음 증폭기 설계 결과는 표 1과 같다. 이 결과로부터 고주파 전단부의 설계가 기존 갈륨비소 및 바이폴라 LNA와 마찬가지로 CMOS로도 대체 가능함으로써 CMOS공정을 통한 수신기 전체 시스템의

on-chip화의 가능성 및 통신기기의 소형 경량화 및 저가격화의 가능성을 보여 주었다.

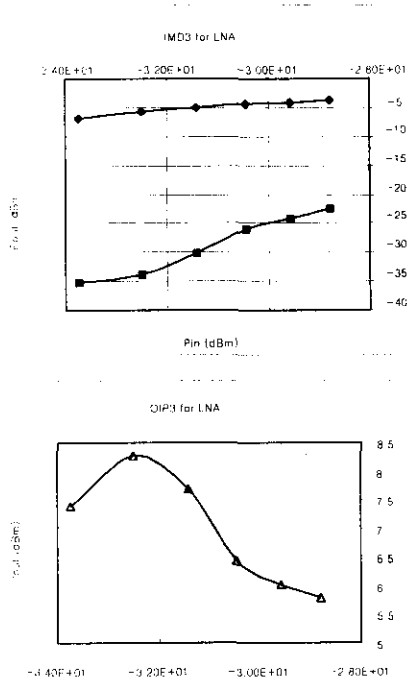


그림 5 제안된 저잡음 증폭기의 OIP3

동작주파수 (중심주파수)	880MHz (CDMA 대역: 869~894)
사용전압	± 1.2V
사용공정	0.6 μ m 1-poly 3-metal
전력소모	9.45mW
전력 이득	23.7dB
잡음 지수	2.27dB
OIP3	7.6dBm
s11	-20.8dB
s12	-48.0dB
s21	23.7dB
s22	-29.2dB

표 1 설계된 저잡음 증폭기의 시뮬레이션 결과 (Q=3.5기준)

참 고 문 헌

[1] P.K. Shaeffer and T.H. Lee, " A 1.5 V 1.5 GHz CMOS Low Noise Amplifier," in *SOVC Dig. Tech. Papers*, pp. 32-33, June, 1996.

[2] A.N. Karanicolas, "A 2.7 V 900 MHz CMOS LNA & Mixer," in *ISSCC Dig. Tech. Papers*, pp. 50-51, Feb, 1996.

[3] R.G. Meyer and W.D. Mack, " A 1 GHz BiCMOS RF Front-end IC," *IEEE J. Solid-state Circuits*, Vol. 29, pp.166-176, March, 1994.

[4] Robert G. Meyer, and William D. Mack, "A 1 GHz BiCMOS RF front-end IC," *IEEE J. Solid-States Circuits*, vol.29, no. 3, pp. 350-355, Mar, 1994.

[5] A.A. Abidi, "Noise in active resonators and the available dynamic range," *IEEE Trans. Circuits*