고정도 바이폴라 트랜스레지스턴스 증폭기

°김 동용*, 김 종필*, 차 형우**, 정 원섭*,
청주대학교 *반도체공학과, **전자 · 정보통신 · 반도체 공학부,
*360-764 청주시 상당구 내덕동 36

High-Accuracy Bipolar Transresistance Amplifier

Dong-Yong Kim*, Jong-Pil Kim*, Hyeong-Woo Cha**, and Won-Sup Chung*
*Dept. of Semiconductor Eng.,**School of Electronic, Information & Communication, Semiconductor Eng., Chongju Univ.
36, Naedok-dong, Sangdang-gu, Chongju-shi, 360-764,
Tel : (0431) 229-8441, E-mail : hwcha@wslab.chongju.ac.kr

Abstract

Novel bipolar transresistance amplifier(TRA) for high-accuracy current-mode signal processing is described. The TRA consists of two current follower for the current inputs, a current summer for curent -differential, and a voltage follower for the voltage output. The simulation results show that the impedence of the current input and the voltage output is 0.5 Ω and the 3-dB cutoff frequency when used as a current to voltage converter extends beyond 40 MHz.

Ⅰ. 서 론

트랜스레지스턴스 증폭기(transresistance amplifier :TRA), 또는 전류-차 증폭기(current-differencing amplifier)는 두 입력 전류의 차를 이것의 저항에 비례하는 전압으로 출력하는 것으로, 전류-모드(current-mode) 신호 처리 회로의 기본 구성 소자이다[1]. 이상적인 트랜스레지스턴스 증폭기(TRA)는 영(zero)의 임피던스를 갖는 전류 입력단자와 영(zero)의 임피던스를 갖는 전압 출력 단자를 갖는다.

현재, 전류-모드 신호 처리를 위해 상용화된 TRA는 내셔널 반도체(National Semiconductor) 사의 전류-모드(노턴(Norton)) 증폭기 LM359가 있다[2]. 이 소자의 기본 회로도를 그림 1에 나타냈다. 이 소자는 고주파 특성이 우수하여 광대역 증폭기 및 파형 발생기 등으로 응용되고 있으나, (1) 전류 입력 단자의 높은 임피던스($r_{in} = V_T / I_{in}$), (2) 전류 입력 단자의 큰 직류 전압 V_{BE} ($\approx 0.7\,V$)에 따른 전치 회로의 오동작 가능, (3) 입력 신호 범위의 제한성($I_{in1} > I_{in2}$ 경우에만 증폭기로 동작 가능), (4) 전압 출력 단자의 임피던스($r_{OUT} = r_{o3} \| r_{in4}$)가 크다는 등의 문제점을 갖고 있다. 따라서, 이 증폭기를 사용해 각종 응용회로를 설계할 때, 많은 주의가 필요할 뿐만 아니라 각종 고정도의 응용회로를 실현하기가 어렵다.

본 논문에서는 이러한 문제점을 해결한 새로운 고정도의 TRA를 제안한다. 제안한 증폭기에서는 전류 입력 단자와 전압 출력 단자의 임피던스를 줄이기 위해 국부 전류 귀환(local current feedback) 기법을 사용한다[3]. 이 절에 이어, TRA의 회로 구성, 동작 원리, 그리고 시뮬레이션에 의한 성능 평가에 대해서 서술한다.

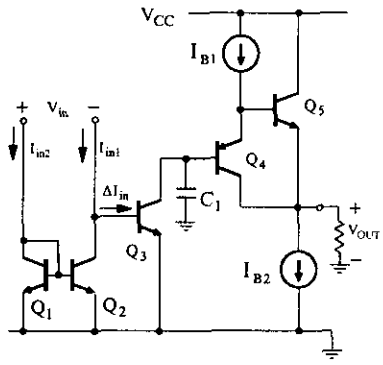

그림 1. 종래의 TRA의 기본 회로도.

Ⅱ. 트랜스레지스턴스 증폭기(TRA) 회로 구성 및 동작 원리

Ⅱ-1. 기호 및 블록도

TRA의 기호와 회로 구성의 블록도를 그림 2(a)와 (b)에 각각 나타냈다. 이 기호로부터, TRA는 전류 입력 두 단자는 영(zero)의 임피던스, 그리고 전압 출력 단자 또한 영(zero)의 임피던스, 그리고 입력 전류와 출력 전압과의 트랜스레지스턴스 R을 갖어야만 한다는 것을 알 수 있다. 이러한 이상적인 특성을 갖도록 설계한 TRA의 회로 구성을 그림 2(b)에 나타냈다. 이 구성에서 전류 폴로워(current follower:CF)와 전압 폴로워(voltage follower:VF)가 이상적이라면 R에 걸리는 전압 v_R은 $v_R = R(i_1 - i_2)$가 되고, VF에 의

해 $v_{OUT} = v_R$이 된다. 따라서, $v_{OUT} = v_R = R(i_1 - i_2)$로 주어진다.

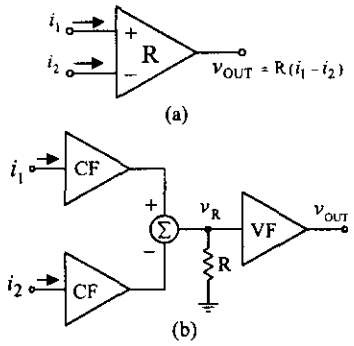

그림 2. 제안한 TRA의 (a) 기호와 (b) 회로 구성의 블록도.

Ⅱ-2. 전류 폴로워(CF)와 전압 폴로워(VF)

그림 2의 회로 구성을 실현하기 위해 제안한 CF와 VF를 그림 3의 (a)와 (b)에 각각 나타냈다. CF의 회로는 전류 입력 단자의 임피던스를 줄이기 위해 정류된 전류 셀(cell)을 구성하는 Q_1 Q_2, Q_3, 그리고 Q_4와 전류 입력 단자에 인가된 전류를 그대로 복제하기 위한 전류 미러 Q_3와 Q_5로 구성되어 있다. VF의 회로는 전류 복제를 위해 사용한 Q_5를 제외하고는 CF와 동일하다. 그러나, CF의 전류 입력 단자를 VF의 전압 출력 단자로, CF의 접지 단자(Q_1의 베이스)를 전압 입력 단자로 각각 사용했다.

그림 3(a)의 회로에서, 전류 입력 단자에 입력되는

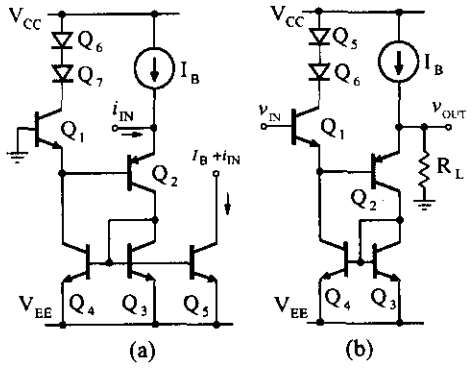

그림 3. 제안한 (a) 전류 폴로워(CF)와 (b) 전압 폴로워(VF)의 회로도.

바이어스 전류 I_B와 입력전류 i_{IN}의 합이 전류 미러 Q_3과 Q_4에 의해 복제되어 Q_1의 컬렉터(collector) 전류가 된다. 모든 트랜지스터의 베이스(base) 전류를 무시한다면, 전류 입력 단자의 전압 v_{IN}은 다음과 같이 주어진다.

$$v_{IN} = V_T \ln\left(\frac{I_{S2}A_2}{I_{S1}A_1}\right) \tag{1}$$

여기서, I_S는 컬렉터 역포화 전류이고, A는 베이스-이미터 접합 면적이다. 이 식으로부터, pnp와 npn 트랜지스터의 I_S는 다르지만 A의 조정으로 식(1)의 값을 0으로 만들 수 있다. 따라서, 전류 입력 단자의 전압은 입력 신호 전류에 관계없이 항상 가상(virtual) 접지가 된다는 것을 알 수 있다.

그림 3(a)에 대한 소신호 등가 회로를 이용해 전류 입력 단자의 입력 임피던스 r_X를 구하면 다음과 같이 된다.

$$r_X = \frac{v_t}{i_t} = \frac{1}{g_{m2}} - \frac{1}{g_{m1}} + \frac{1}{g_{m1}g_{m2}r_{x2}} \tag{2}$$

여기서, r_{x2}는 베이스와 이미터간의 저항이다. 전류 미러 $i_{C1} = i_{C2}$이 되므로 $r_X = 1/g_{m1}\beta_2$가 된다. 일반적인 값($I_C = 250\,\mu A$, $\beta_2 = 100$)을 적용하여 r_X를 계산하면 2 Ω 이하가 된다. 따라서, 소신호에 대해서도 전류 입력 단자는 가상 접지가 형성된다고 할 수 있다.

전류 입력 단자에 유입되는 전류 $I_B + i_{IN}$는 전류 미러 Q_3과 Q_5에 의해 복제시켜 얻을 수 있다. 따라서, 그림 3에 나타낸 전류 폴로워의 출력 전류는 $I_B + i_{IN}$이 된다. 이 전류를 전류 가산기의 + 입력 신호가 되게 하고, 정합된 다른 전류 폴로워(CF)의 전류를 가산기의 − 입력 신호가 되게 함으로서 전류 가산기의 출력단에서 두 입력 전류의 차를 얻을 수 있을 것이다.

그림 3(b)에 나타낸 VF 회로에서, 바이어스 전류 I_B와 입력 전류 i_{IN}의 합을 전류 미러 Q_3와 Q_4를 사용해 귀환시켰다. 이 귀환 전류는 Q_1에도 흐른다. 따라서, 다음의 식이 성립된다.

$$g_{m1}(v_{IN} - v_{E1}) = g_{m2}(v_{OUT} - v_{E1}) = -\frac{v_{OUT}}{R_L} \tag{3}$$

여기서, g_{m1}과 g_{m2}는 Q_1과 Q_2 각각의 트랜스컨덕턴스이고, v_{E1}는 Q_1의 이미터 전압, R_L은 전압 출력 단자와 접지간에 접속된 부하 저항이다. 식 (3)으로부터 v_{IN}에 대한 v_{OUT}의 관계식을 구하면

$$\frac{v_{OUT}}{v_{IN}} = \frac{g_{m1}g_{m2}R_L}{g_{m1} - g_{m2} + g_{m1}g_{m2}R_L} \tag{4}$$

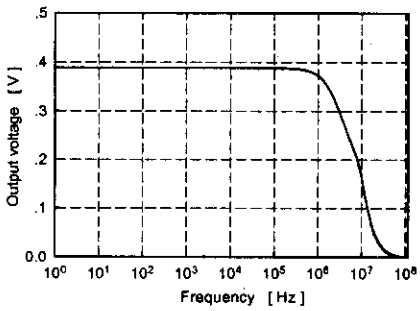

그림 7. 트랜스레지스턴스 증폭기의 주파수 특성.

수 있다. 또한, 두 전류 입력단에 바이폴라 쌍의 구성 (Q_1의 밑에 다이오드 연결(diode connection)된 pnp 트랜지스터와 Q_2의 위에 다이오드 연결된 npn을 사용)을 채용함으로서 이 오프셋 전압을 줄일 수 있다 [6].

TRA의 트랜스레지스턴스 R에 대한 주파수 특성을 그림 7에 나타냈다. 입력 교류 신호 전류의 크기를 100 μA로 설정했다. 이 결과로부터, 이상적인 입력 전류에 대한 출력 전압의 비가 $v_{OUT}/i_{IN} = R$보다 낮아진 것을 알 수 있다. 그 원인은 공통-이미터 전류 이득(common-emitter current gain) β가 유한한 값을 갖고 있기 때문이다. 트랜스레지스턴스 R의 3-dB 주파수는 40 MHz 이다.

TRA의 차동 입력 전류에 대한 출력 전압의 파형을 그림 8에 나타냈다. 입력 전류의 크기는 $i_{IN}^+ =$ 100 μA, $i_{IN}^- =$ 50 μA이고, 이 두 신호의 주파수는 100 kHz로 하였다. 이 결과로부터 측정값이 이론값 $v_{OUT} = R(i_{IN}^+ - i_{IN}^-)$과 일치한다는 것을 알 수 있다.

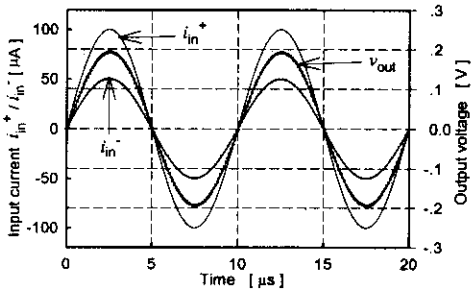

그림 8. 트랜스레지스턴스 증폭기의 차동 입력 전류에 대한 출력 전압의 파형.

그림 4에 나타낸 트랜스레지스턴스 증폭기의 소비 전력은 11.25 mW이다.

Ⅳ. 결 론

새로운 트랜스레지스턴스 증폭기(TRA)를 제안했고, 컴퓨터 시뮬레이션을 통해 그 동작 원리와 성능을 확인했다. 동일한 바이어스 조건에서, 그림 1에 나타낸 종래의 노턴(Norton) 증폭기와의 성능 비교를 표 1에

표 1. 노턴 증폭기와의 성능 비교.

종류 / 항목	노턴(Norton) 증폭기	제안한 트랜스레지스턴스 증폭기
전류입력단자 임피던스[Ω]	V_T/i_{IN}	1[Ω] 이하
전압출력단자 임피던스[Ω]	약 200 [Ω]	1[Ω] 이하
3-dB 주파수	30 MHz	40 MHz
소비 전력	2.5 mW	11.25 mW
입력 전류 범위	단일 방향 $I_{IN1} > I_{IN2}$	$(\pm I_B) \times 80\,\%$
응용 회로 설계의 용의성	불편함	편리함

나타냈다. 이 표로부터, 제안한 트랜스레지스턴스 증폭기(TRA)는 우수한 전류 입력 단자와 전압 출력 단자를 갖고 있다는 것을 알 수 있다. 따라서, 고정도의 전류-모드 신호 처리 회로의 기본구성 소자로써 유용할 뿐만 아니라, 고정도의 각종 응용회로를[2] 설계할 수 있을 것으로 기대된다.

참 고 문 헌

[1] A. B. Grebene, *Bipolar and MOS analog integrated circuit design* ; John Wiley & Sons, chap. 7.9, 1984.

[2] *National Operation Amplifier Databook*, pp. 283, 1995.

[3] H.-W. Cha and K. Watanabe, "Wideband CMOS current conveyor," *Electron. Lett.*, vol. 32, no. 14, pp. 1245-1246, July 1996.

[4] 차 형우외 4인, "A급 바이폴라 전류 콘베이어 (CCII)", 대한전자공학회 1997년도 추계종합학술대회 논문집, 제20권, 제2호, pp. 731-734, 1997.

[5] C. Toumazou, F. J. Lidgey, and D. G. Haigh, *Analogue IC design : the current-mode approach*, London ; Peter Peregrinus, chap. 4.6, 1990.

[6] H. O. Elwan and A. M. Soliman, "A novel CMOS current conveyor realization with an electreonically tunable current mode filter suitable for VLSI," *IEEE Trans, Circuits and Systems*, Pt. II, vol. 43, pp. 663-670, Sept. 1996.

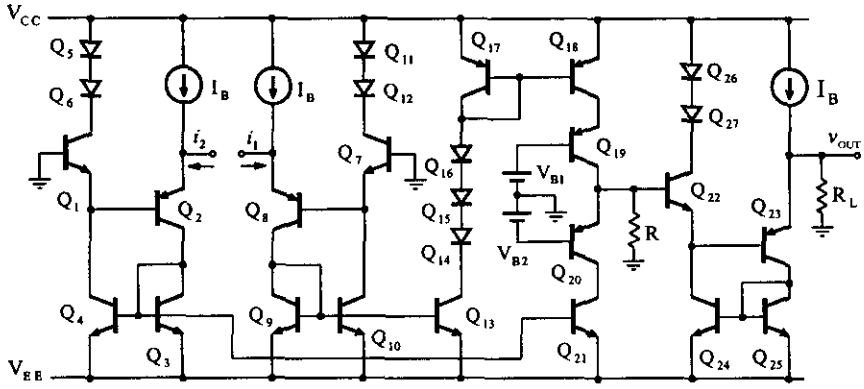

그림 4. 제안한 트랜스레지스턴스 증폭기(TRA)의 전체 회로도.

이 된다. 이 식에서 $g_{m1}=g_{m2}$ 혹은 $g_{m1}g_{m2}R_L \gg (g_{m1}-g_{m2})$의 경우, R_L에 관계없이 v_{OUT}은 정확하게 v_{IN}과 일치한다는 것을 알 수 있다. 이 VF의 출력 단자의 임피던스는 식 (2)와 같다.

Ⅱ-3. 트랜스레지스턴스 증폭기(TRA)

제안한 TRA의 완성된 회로를 그림 4에 나타냈다. 이 회로의 블록도는 그림 2(b)와 같다. 여기서, $Q_{14}\sim Q_{21}$은 전류 가산기를 형성하며 그 출력은 (i_1-i_2)가 된다. 따라서, 저항기 R에 걸리는 전압은 $v_R=R(i_1-i_2)$가 되고, VF에 의해 $v_{OUT}=v_R=R(i_1-i_2)$로 주어진다. 그림 4에 나타낸 TRA의 전류 입력 단자의 임피던스와 전압 출력 단자의 임피던스는 식 (2)로 주어지고, v_R과 v_{OUT}의 관계는 식 (4)로 주어진다.

Ⅲ. 시뮬레이션 결과 및 고찰

그림 5에 제안한 트랜스레지스턴스 증폭기의 회로에 대한 동작 원리와 그 성능을 MicroSim PSpice 프로그램을 사용하여 시뮬레이션했다. 시뮬레이션에 사용한 바이폴라 트랜지스터는 Q2N3906(pnp)와 Q2N 3904(npn)이다. 전원 전압은 $V_{DD}=2.5$ V, $V_{SS}=-2.5$ V, $V_{B1}=V_{B2}=-1.25$ V으로 설정했다. 정전류원 I_B는 캐스코드(cascode) 전류 미러를 사용해 실현하였고, $I_B=250\ \mu$A로 설정했다. 트랜스레지스턴스 R과 부하저항 R_L은 4 kΩ으로 각각 설정했다.

그림 5는 전류 입력 단자의 임피던스 Z_{in}을 측정한 결과이다. 이 결과로부터 직류(dc)에서 100 kHz까지의 Z_{in}은 1 오옴(Ω)이하이고 고주파에서 임피던스가 증가하는 것을 알 수 있다. 따라서, 제안한 TRA는 수 MHz 이하에서는 항상 가상 접지를 갖고 있기 때문에 고정도(high-accuracy)의 전류 검출이 가능하다.

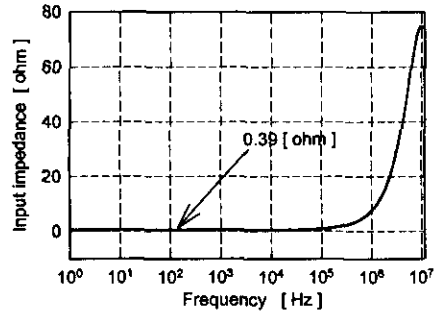

그림 5. 전류 입력 단자의 임피던스 특성.

단일 직류 전류 입력($i_1=i_{IN}{}^+$=가변, $i_2=i_{IN}{}^-=0$) 신호에 대한 직류 출력 전압 v_{OUT}의 특성을 그림 6에 나타냈다. 여기서, v_R은 전류 가산기의 출력

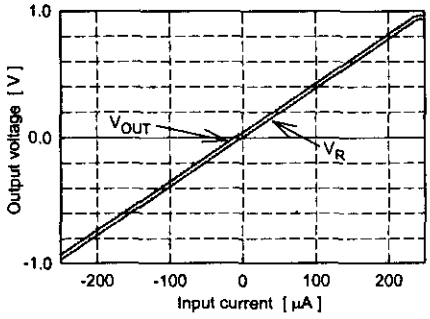

그림 6. 단일 전류 입력 신호에 대한 전압 출력 특성.

단자 전압이다. 이 결과로부터 전압 폴로워가 40 mV의 오프셋 전압을 갖고 있다는 것을 알 수 있다. 이것은 R과 접지 사이에 −40 mV의 직류 전압이 인가되도록 간단한 바이어스 회로를 구성함으로서 조절할