

CMOS 기준 전압 발생기

°최 용*, 김명식*

*금오공과 대학교 전자공학부

(0546) 467-4257, yong@knut.kumoh.ac.kr

CMOS Reference Voltage Generator

°Yong Choi*, Myung-Sik Kim*

*The department of electronics engineering Kumoh National Univ.

(0546) 467-4257, yong@knut.kumoh.ac.kr

Abstract

CMOS Reference Voltage Generator(RVG) is designed to possible CMOS process without additional process steps. It is possible to compensate the temperature of RVG by using PTAT(proportional to the absolute temperature).

Temperature compensation is profitable because μ_n (electron mobility) is used. When VDD sweeps from 3V to 7V, variation ratio of V_{ref} is 0.3125mV/V. Also temperature variation ratio of V_{ref} is -47.1ppm/°C during sweeping from 0°C to 100°C.

Power Consumption is 50.3 μ W.

I. 서론

최근의 노트북 컴퓨터와 같이 배터리로 동작하는 휴대용 제품의 증가로 인해 저전력 시스템에 대한 구현이 필요하게 되었다. 시스템에서 전력소모를 줄이는 방법은 공급전압을 낮추어 사용하는 것이 가장 확실한 방법이다. 최근에는 1.5V로 동작하는 저전압 동작 소자에 대한 연구도 진행되고 있을 뿐만 아니라[1] 전압

강하변환기(Voltage Down Converter)를 이용하여 외부공급전원을 내부에서 낮추어 사용하는 방법이 연구되고있다. 이러한 방법에 사용되어지는 기준전압발생기(Reference Voltage Generator)는 외부의 공급 전압 변화, 온도 변화 등의 영향을 받지 않고 일정한 전압을 생성하는 중요한 역할을 한다. 기존에는 바이폴라 트랜지스터를 이용한 bandgap 전압을 이용한 기준전압발생기와 공핍형(depletion)트랜지스터와 증식형(enhancement)트랜지스터의 문턱전압(threshold) 차를 이용하여 기준 전압을 생성시키는 방법 등이 사용되었다.[2][3] 그러나 이러한 방법들은 부가적인 CMOS 공정과 많은 비용이 들며 좋은 성능을 기대하기도 힘들다. 따라서 최근에는 일반적인 CMOS 공정 (증식형 enhancement 트랜지스터 사용)만을 사용해서 기준전압을 만드는 회로들이 소개되고 있다. 본 논문에서는 CMOS 공정 기준전압발생기에 대해 설명하고 제안된 기준전압발생기를 소개하겠다.

II. CMOS 공정 기준 전압 발생기

그림 1의 전압 발생기는 기존의 기준전압발생기와는 다르게 CMOS로만 구현 가능하도록 설계되었다.[4] 기준 전압 V_{int} 은 식 (1)과 같이 표현된다.

$$V_{int} = V_{ref} = |V_{TP}| \cdot \left(1 + \frac{RMP}{R}\right) \quad (1)$$

R은 폴리실리콘 저항값이고, RMP는 PMOS 트랜지스터의 channel 저항값으로 다음과 같이 나타낼 수 있다.

$$RMP = \frac{\partial v_{ds}}{\partial i_{ds}} \quad (2)$$

$$= \frac{L_p}{W_p \cdot \mu_p \cdot C_{ox} \cdot (|V_{gs}| - |V_{tp}|)}$$

만약 주변회로부터 $|V_{gs}| = 2|V_{tp}|$ 가 되게 설계한다면 RMP는 식 (3)와 같이 정리할 수 있다.

$$RMP = \frac{L_p}{W_p \cdot \mu_p \cdot C_{ox} \cdot |V_{tp}|} \quad (3)$$

식 (1) ~ (3)로부터 V_{int} 을 식 (4)과 같이 표현가능하며

$$V_{int} = V_{ref} = |V_{TP}| + \frac{1}{R} \cdot \frac{L_p}{W_p \cdot \mu_p \cdot C_{ox}} \quad (4)$$

폴리실리콘 저항 R은 온도 증가에 따라 감소하므로 결과적으로 문턱전압의 음의 온도계수와 보상전압의 양의 온도계수가 상호 보상함으로 온도변화에 독립적인 V_{int} 값을 얻을 수 있다. 그러나 폴리실리콘 저항 R을 제작하기 위해 새로운 공정이 추가될 뿐만 아니라 온도보상을 위해 회로에 큰 전류가 흐르게 되고 전력소비가 늘어나게 된다.

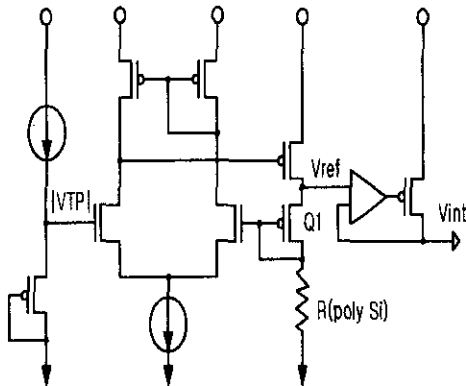


그림 1. 내부 전압 변환기

이러한 단점을 보완하기 위해 $|V_{TP}|$ 의 영향을 받지 않고 전력 소비를 줄인 기준전압발생기를 설계하였다.

III. 설계된 기준 전압 발생기회로

설계된 기준전압발생기는 NMOS 트랜지스터의 문턱 전압 (V_{TN})을 사용하며 모든 MOS는 saturation 영역에서 동작하도록 설계하였다. 또한 일반적인 CMOS 공정을 사용하기 위해 enhancement MOS만으로 설계하였다.

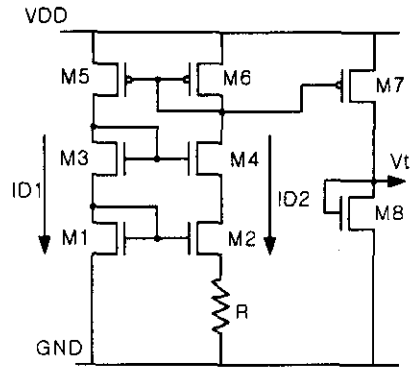


그림 2. 전류 발생기

그림 2는 설계된 기준 전압 발생기의 기본이 되는 전류발생기이다. $M_1 \sim M_4$ 는 cascode를 형성하므로써 saturation이 되는 영역을 늘여주고 두 path의 전류를 같게 해주는 current mirror역할을 한다. 두 path의 전류를 I_{D1} 과 I_{D2} 라 하면 다음과 같이 표현할 수 있다.

$$I_{D1} = \frac{\beta_1}{2} (V_G - V_T)^2 \quad (5)$$

$$I_{D2} = \frac{\beta_2}{2} (V_G - V_T - V_R)^2 \quad (6)$$

M_5 와 M_6 이 current mirror이므로 $I_{D1} = I_{D2} = I_{ref}$ 이고 또한 $\beta = \beta_2 = K\beta_1$ 으로 두면 식 (5), (6)은 다음과 같이 표현된다.

$$V_R = \frac{\sqrt{2\sqrt{K(\sqrt{K}-1)}}}{\sqrt{\beta}} \quad (7)$$

$$\therefore I_{ref} = \frac{2L_2(\sqrt{K}-1)^2}{\mu_n C_{ox} W_2 R^2} \quad (8)$$

단, $K = (W_2/L_2)/(W_1/L_1)$, $\beta = \mu_n C_{ox} (W_2/L_2)$ 이다. 식 (8)을 살펴보면 μ_n 이 온도가 증가함에 따라 감소하는 특성을 가지므로 I_{ref} 는 온도가 증가함에 따라

서 증가하는 특성을 갖는다. 그러나 I_{ref} 은 R의 크기에 따라 양이 결정된다. 즉, R의 크기가 너무 작으면 I_{ref} 의 크기가 증가하여 문턱전압(V_T)을 유지할 수 없게 되고 VDD의 의존성도 나빠지게 된다. 따라서 R을 충분히 키워 nA의 정도의 작은 전류를 만들어 M_7 을 통해서 전류를 흘려보내면 M_8 은 NMOS V_T 을 유지하게 된다. V_T 은 온도에 따라서 약 $-1.76mV/^\circ C$ 감소하는 특성이 있으므로 회로를 추가하여 온도보상을 한다.

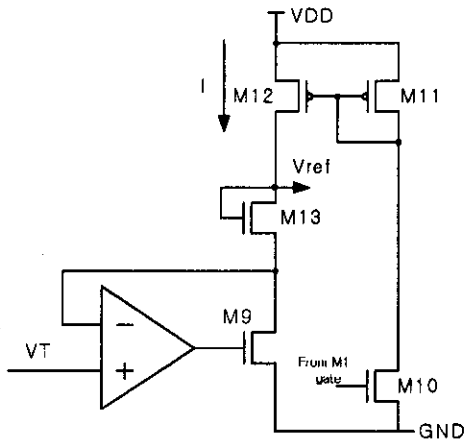


그림 3. 설계된 기준 전압 발생기

그림 3은 설계된 기준 전압 발생기 회로이다. V_{ref} 은 식 (9)와 같이 표현할 수 있다.

$$V_{ref} = V_T + V_{gs13} = 2V_T + \sqrt{\frac{2I}{\beta_{13}}} \quad (9)$$

M_{10} 은 $M_1 \sim M_2$ 의 게이트에 연결되어 있으므로 saturation영역에서 동작하고 M_{11} 와 M_{12} 은 current mirror를 구성하며 M_{13} 은 Active resistor역할을 한다. 따라서 M_{13} 의 resistor크기를 조절하여 온도보상을 할 수 있다. $(W/L)_{12}/(W/L)_{11}$ 을 α 라고하고 $\beta_{13} = \beta_2$ 이라 하면 식 (10)과 같이 표현할 수 있고 I_{ref} 의 값을 식 (9)에 넣어 정리하면

$$I = I_{ref} = I_{D3} = \alpha I_{D10} \quad (10)$$

$$V_{ref} = 2V_T + \frac{2\sqrt{\alpha(\sqrt{K} - 1)}L_{13}}{\mu_n W_{13} C_{ox} R} \quad (11)$$

식 (11)은 전류가 온도에 비례해서 증가하는 PTAT (proportional to the absolute temperature)특성을 가진다. 본 연구에서는 좋은 결과를 얻기 위해 $\alpha = 100$, $K=8$, $(L/W)_{13} = 1.28$ 로 하였다.

IV. Simulation 결과

그림 4는 온도변화에 따른 기준 전압(V_{ref})의 변화를 보이고 있다. 온도가 섭씨 0°C에서 100°C까지 변하는 동안 $-47.1ppm/^\circ C$ 정도의 좋은 성능을 나타낸다. 그림 5는 V_T 가 온도에 따라 $-1.76mV/^\circ C$ 변하는 것을 보여주며 V_{ref} 은 온도에 따라 거의 일정한 전압을 출력한다. 그림 6은 DC sweep의 simulation 결과이다. 0V ~ 7V까지 변하는 동안 2.5V부터는 거의 일정한 전압을 출력한다. 3V ~ 7V까지의 V_{ref} 의 변화량은 0.3125mV/V로 좋은 값을 얻을 수 있다. 회로의 전체 전류가 $15.24\mu A$ 이고 소비전력은 $50.3\mu W$ 이다. 이는 기존의 기준전압발생기에 비해서 우수한 소비전력감소이다.

V. 결론

본 연구에서 설계한 기준전압발생기는 일반적인 CMOS 공정만으로 구현이 가능하므로 추가공정이 필요하지 않다. 그리고 전체전류가 $15.24\mu A$ 이고 소비전력이 $50.3\mu W$ 정도로 저전력 특성을 나타낸다. 따라서 DRAM과 같은 저전력이 요구되는 분야 등에 이용될 수 있으리라 기대된다.

참고 문헌

- [1] Y. Nakagome et al., "An Experimental 1.5V 64Mb DRAM" *IEEE J. Solid-State Circuits*, vol. 26, No. 4, pp. 456-471, April 1991.
- [2] G. Kitusukawa et al., "A 1-Mbit BiCMOS DRAM Using Temperature-Compensation Circuit Techniques" *IEEE J. Solid-State Circuits*, vol. 24, No. 3, pp. 597-602, April 1992.
- [3] Koichiro Ishibashi et al., "A Voltage Down Converter with Submicroampere Standby Current

for Low Power Static RAM's" *IEEE J. Solid-State Circuits*, vol. 27, No. 6, pp. 920-926, Jun. 1992.

- [4] Dong-Sun Min et al, "Temperature-Compensation Circuit Technique for High-Density CMOS DRAM's" *IEEE J. Solid-State Circuits*, vol.27, No. 4, pp. 626-631, April 1992.

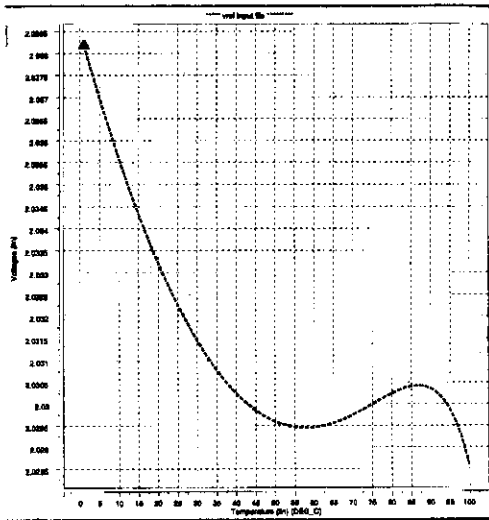


그림 4. 온도 특성 결과

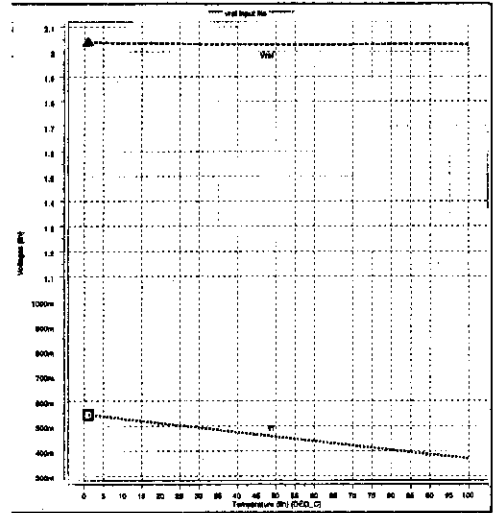


그림 5. V_T 과 V_{ref} 의 온도변화

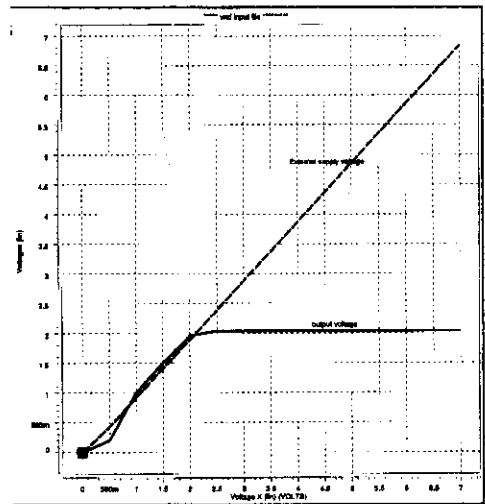


그림 6. DC sweep 결과 (0V ~ 7V)