

실리콘 기판상에서 나선형 인덕터의 최적설계 및 제작

서종삼, 박종욱, 이성희, 김영석
충북대학교 반도체공학과

TEL:017-406-7816 , FAX:0431-274-9614 , E-mail:jsseo@mickey.chungbuk.ac.kr

OPTIMAL DESIGN AND FABRICATION OF SPIRAL INDUCTOR ON SILICON SUBSTRATE

Jong-Sam Seo, Jong-Wook Park, Seung-Hee Lee, Yeong-seuk Kim
Dept of semiconductor Eng. , chung-buk National Univ

TEL: 0431-261-3137, FAX:0431-274-9614, E-mail:kimvs@cbuucc.chungbuk.ac.kr

Abstract

We used a three-dimensional inductance extraction program, Fasthenry for optimal design of the spiral inductors on silicon substrate. The inductance and quality factor of the spiral inductors with various design parameters were calculated so that the optimal parameter value was determined. The spiral inductors then were fabricated using different foundary processes and were measured using the network analyzer and microwave probes. The pad and other parasitics of measurement system were de-embedded using the y-parameter calibration technique. The inductors fabricated using the LG 0.8um process and HP 0.5um process showed the quality factor of 5.8 and 3, respectively. Finally the equivalent circuit parameters of the spiral inductors on silicon substrate were extracted from the measurement data using the matlab.

1. 서론

정보화 사회의 출현에 따라 주파수대역폭 400MHz - 2.5GHz를 활용하는 각종 휴대용 무선통신 단말기들이 소비자 시장이 급속히 성장하고 있다. 이러한 무선통신 단말기들의 송수신 시스템은 지금까지 GaAs를 이용한 RF IC와 실리콘 CMOS를 이용한 IF IC와 같이 두 가지의 반도체 기술이 혼용되어 왔다. 그러나 앞으로는 낮은 가격의 단말기 제작을 위하여 한 기술에 의한 one chip의

필요성이 대두되고 있다. GaAs 기술은 아주 높은 주파수까지 동작이 가능하나 넓은 면적에서의 수율 하락과 가격 면에서 실리콘 기술과 경쟁할 수가 없다. 이에 비하여 실리콘 기술은 높은 차단 주파수(f_t) 및 최대공진주파수(f_{max})(0.25 μ m 기술의 경우 $f_t > 40GHz$, $f_{max} > 60GHz$ 이상), 낮은 전력소모, 높은 집적도, 낮은 생산원가 등의 장점을 가지기 때문에 RF 및 IF를 포함한 one-chip 기술로 적합하다. 본 논문에서는 널리 사용되고 있는 정방형 모양의 평면 나선형 인덕터(rectangular spiral inductor)를 제작하였다. 표준CMOS 공정, 1) LG 0.8 μ m 공정(97 후반기 IDEC MPW), 2) MOSIS HP 0.5 μ m 공정으로 나선형 인덕터를 제작하였다. 제작된 인덕터는 network analyzer 및 Cascade Microtech RF probe를 이용하여 on-wafer 상태에서의 s-parameter를 측정하였다. On-wafer에서의 인덕터는 패드(pad)등의 기생성분이 포함되기 때문에 이에 대한 보정(calibration)이 필요하다. 측정된 데이터로부터 패드의 기생성분을 제거하기 위하여 "open"패드 구조(인덕터가 없이 패드만 있는 구조)를 사용한다. 보정이 끝난 데이터를 이용하여 인덕터의 등가회로상의 각성분들의 최적치를 구하였다. 인덕턴스 값, 인덕터의 금속선 저항, 금속 배선사이의 커패시턴스, 금속선과 기판사이의 기생저항성분 및 기생커패시턴스 값 등의 추출하였다. 그리고 추출후 등가회로의 시뮬레이션과 측정치의 비교가 필요하며, 만약 최적화가 불가능할 때는 새로운 등가회로 모델의 개발이 필요하다. RF IC 개발에 있어서 가장 중요한 구비 요건은 공정한 대 기존의 가능한 CMOS공정용 RF IC 공정으로 변환하

여 사용하는 것으로 하였다. 회로설계 및 레이아웃은 HSPICE와 초고주파 설계틀인 Super COMPACT를 이용하였다.

2. 나선형 인덕터 모의실험 및 최적설계

VCO 및 LNA등의 RF IC 설계를 위해서는 높은 Q-factor를 가지는 인덕터가 필요하다. 나선형 인덕터의 최적설계 및 모의실험을 위하여 fasthenry를 이용하였다. 저항의 추출시 초고주파에 의한 skin depth영향도 고려하고 있다. 이 프로그램의 정확도를 알기 위하여, 금속선의 인덕턴스를 모의실험하고 기존의 식과 비교하였는데 기존의 식과 일치함을 확인하였다.

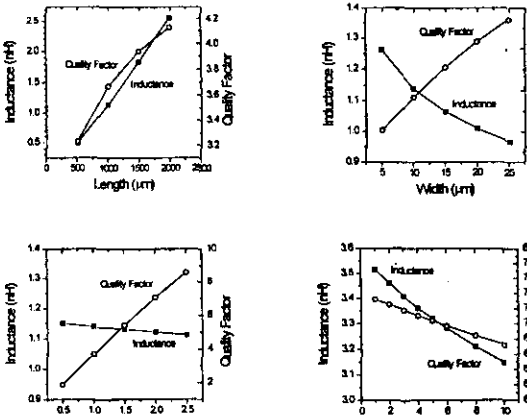


그림 1 금속선 길이, 폭, 두께, 간격의 변화에 따른 인덕턴스 및 Q-factor 시뮬레이션

그림 1은 금속선 길이, 폭, 두께, 간격의 변화에 따른 인덕턴스 및 Q-factor 모의실험 데이터를 보여주고 있다. 이 그림에서의 Q-factor는 wL/R 로 간단하게 계산하였기 때문에 고주파에서는 정확치 않다. 즉, 고주파에서 기판의 누설에 의한 Q-factor감소는 고려치 못하고 있다. 길이가 증가하면 인덕턴스 및 Q-factor는 증가하였다. 금속선 폭이 증가하면 인덕턴스는 감소하고, Q-factor는 저항의 감소로 인하여 증가한다. 금속선 폭이 증가할 때 기판사이의 기생커패시턴스가 증가하여 고주파에서 Q-factor의 증가는 둔화되나 그림에서는 고려치 못하고 있다. 금속선의 두께가 증가하면 인덕턴스 값은 거의 변화가 없으나 저항은 급격히 감소하여 Q-factor는 증가한다. 금속선 사이의 간격이 증가하면 인덕턴스 및

Q-factor는 감소한다. 따라서 금속선 간격은 최서 design rule로 하는 것이 좋을 수 있다.

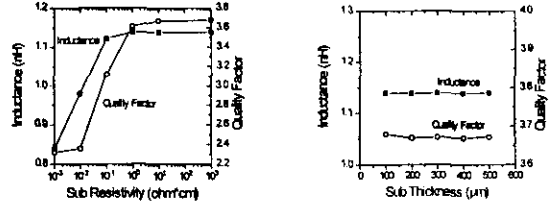


그림 2 기판의 농도 및 두께 변화에 따른 인덕턴스 및 Q-factor 시뮬레이션

그림 2는 기판의 농도 및 두께 변화에 따른 인덕턴스 및 Q-factor 모의실험 결과이다. 기판의 농도가 증가하면(즉, 저항률이 감소하면) 인덕턴스 및 Q-factor는 감소하였다. 이는 고주파에서 기판의 누설에 의한 당연한 결과이다. 기판의 두께는 인덕턴스 및 Q-factor에 영향을 미치지 못하고 있다. 그림의 결과로부터 인덕터의 Q-factor향상을 위한 몇 가지 조건을 알 수 있다. 두께는 최대한 두꺼운 것이 좋으며, 기판의 농도는 낮을수록 좋다. 그러나 금속선의 폭은 최적 값을 구해야 한다.

3. 나선형 인덕터 제작 및 s-파라미터 측정

앞 절에서의 모의실험으로 얻어진 결과를 바탕으로 CMOS공정을 이용하여 나선형 인덕터를 직접 제작하고, network analyzer 및 초고주파 프로브를 이용한 on-wafer 측정 및 분석을 하였다. 나선형 인덕터는 LG 반도체의 0.8μm공정과 HP사의 0.5μm공정으로 제작하였다. 한가지 주의할 사항은 LG반도체 0.8μm공정과 HP 0.5μm공정에서 사용하는 기판의 저항률이 각각 10Ω-cm 및 0.4Ω-cm이다. HP 0.5μm공정의 경우 latch-up방지를 위하여 낮은 저항률의 기판을 사용하고 있는데 이는 RF 나선형 인덕터의 Q-factor에 아주 치명적일 수 있다. 대표적인 나선형 인덕터에 대한 각종 변수들이 다음 표에 나와 있다.

그림 3에 나선형 인덕터 A-D에 대한 레이아웃도가 나와 있다. 레이아웃은 CADENCE를 이용하였다. 제작된 소자는 HP8510B network analyzer와 GGB industries 회사의 RF probe를 이용하여 on-wafer상에서 0.5GHz - 20GHz까지 s-파라미터를 측정하였다. 또한 보정을 위하여 소자는 없고 패드만 남아있는 open 패드

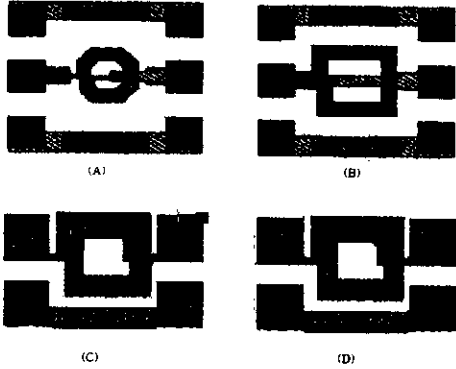


그림 3 나선형 인덕터 A,B,C,D의 레이아웃도

구조의 s-parameter를 측정하였다. 소자와 open 패드 구조의 s-파라미터를 matlab 프로그램을 이용하여 y-파라미터로 변환하고 open 패드 구조의 y-파라미터를 제거하여 de-embedding하였다. 이 나선형 인덕터의 인덕턴스 및 Q-factor 계산은 matlab를 이용하였다. Q-factor는 s-파라미터를 z-파라미터로 변환하고 이로부터 입력 임피던스 z_{in} 을 계산하여, $Q = \text{Imag}(z_{in}) / \text{Real}(z_{in})$ 식으로 구하였다.

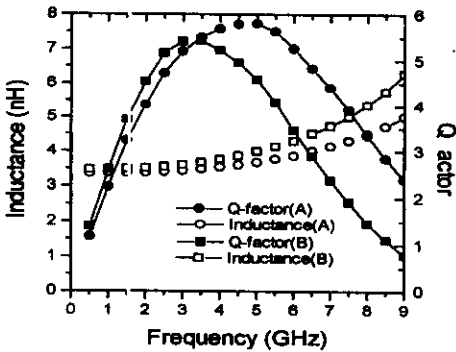


그림 4 주파수에 따른 인덕턴스 및 Q-factor의 변화(LG 반도체 0.8 μ m 공정)

그림 4에 LG반도체 0.8 μ m공정으로 제작된 인덕터에 대한 주파수 변화에 따른 인덕턴스 및 Q-factor가 나와 있다. 인덕턴스는 낮은 주파수 영역에서는 주파수에 거의 무관함을 알 수 있다. Q-factor는 낮은 주파수에서는 증가하다가($Q = \omega L / R$), 높은 주파수에서는 skin effect와

기판에 의한 누설로 인하여 감소한다. Q-factor의 최대치는 약 7.5 정도이다. 인덕터B가 인덕터 A에 비하여 높은 주파수 영역에서 Q-factor가 낮은 이유는 인덕터의 폭이 크기 때문이다.

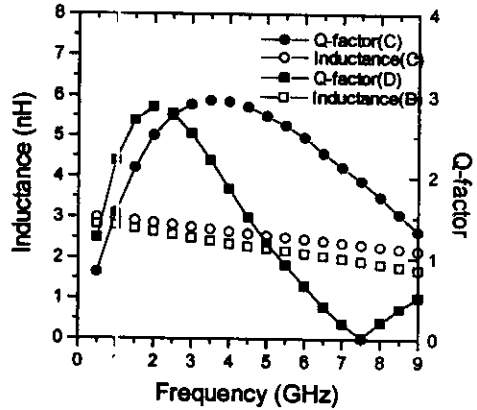


그림 5 주파수에 따른 인덕턴스 및 Q-factor의 변화(HP 0.5 μ m 공정)

그림 5에 HP0.5 μ m공정으로 제작된 인덕터에 대한 주파수 변화에 따른 인덕턴스 및 Q-factor가 나와 있다. Q-factor의 최대치는 3 정도이다. LG반도체의 공정으로 제작된 인덕터보다 Q-factor가 훨씬 낮은 이유는 HP공정에서 사용하는 기판의 저항률이 낮기 때문에 기판에

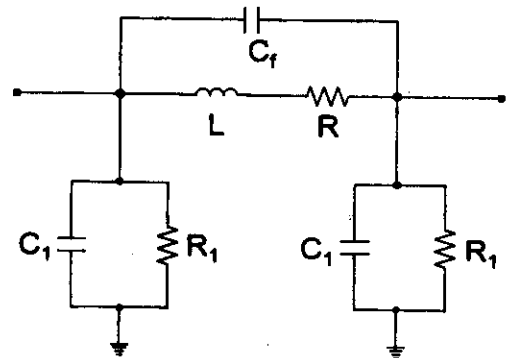


그림 6. 나선형 인덕터 동가회로 ($L = 3.4nH$, $R = 9.4\Omega$, $C_f = 15fF$, $C_1 = 24.1fF$, $R_1 = 1.9k\Omega$)

의한 누설이 증가하기 때문에 추정된다. 인덕터D가 인덕터 C에 비하여 높은 주파수 영역에서 Q-factor가 낮은 이유는 metal I layer를 사용하기 때문이다.

4. 나선형 인덕터 등가회로 모델변수 추출

앞장에서 측정된 나선형 인덕터 A의 s-파라미터를 분석하여 그림 6과 같이 등가회로를 구성하였다.

나선형 인덕터등가회로 변수추출 방법은 다음과 같다. 먼저 보정된 s-파라미터를 y-파라미터로 변환한다. 등가회로의 L, R, C_f의 admittance를 y_{ind}로 정의하면

$$y_{ind} = j\omega C_f \parallel \frac{1}{R + j\omega L}$$

$$= \frac{1}{R + w^2 L^2 / R} + j\omega [C_f - \frac{L}{R^2 + W^2 L^2}]$$

$$= -y_{21}$$

이식에서 $1/\text{real}(y_{ind})$ 를 w^2 에 대하여 그리면, x-절편이 R이 되고 기울기는 L^2/R 이 된다. 즉, 이 그래프로부터 R 및 L값을 추출할 수 있다. 또한 $\text{imag}(y_{ind})/w$ 를 w 에 대하여 그려서 $w \rightarrow \infty$ 일 때의 값이 C_f가 된다.

$$R = x\text{-intercept of } [1/\text{real}(y_{ind}) \text{ vs } w^2]$$

$$L = \sqrt{R * \text{slope of } [1/\text{real}(y_{ind}) \text{ vs } w^2]}$$

$$C_f = \lim_{w \rightarrow \infty} \frac{\text{imag}(y_{ind})}{w}$$

다음으로 등가회로에서 C₁, R₁의 admittance를 y_{par}로 정의하면, 이로부터 C₁, R₁을 추출할 수 있다.

$$y_{par} = 1/R_1 + j\omega C_1 = y_{11} - y_{21}$$

$$R_1 = 1/\text{real}(y_{par})$$

$$C_1 = \text{imag}(y_{par})/w$$

이렇게 하여 추출된 등가회로는 변수는 다음과 같다.

5. 결론

앞으로의 RF IC 설계를 위한 기초 작업으로 LG반도체 0.8 μ m공정 및 HP 0.5 μ m공정을 이용하여 나선형 인덕터를 제작 및 평가하고 등가회로 변수들을 추출하였다. 이 소자들을 on-wafer상에서 측정하고 y-파라미터 de-embedding 방법으로 패드와 같은 기생 성분들을 보정하였다. LG반도체 0.8 μ m공정으로 제작된 2.9nH값을 가지는 나선형 인덕터의 최대 3정도였다. HP 0.5 μ m공정으로 제작된 인덕터의 Q-factor가 LG반도체의 0.8 μ m공정

으로 제작된 인덕터의 Q-factor보다 훨씬 낮은 이유는 기판의 낮은 저항률으로 인한 기판 누설의 증가 때문으로 추정된다. 또한 보정된 s-파라미터로부터 matlab을 이용하여 소신호 등가회로의 각 변수들을 추출하였다. 체계적인 등가회로 변수 추출방법을 제시하였다.

6. 참고문헌

- [1] B-K. Kim et al., "Monolithic planar RF inductor and waveguide structures on silicon with performance comparable to those in GaAs MMIC," in IEDM Tech. Dig., pp. 717-720, 1995.
- [2] J. Y.-C. Chang et al. "Large suspended inductors on silicon and their use in a 2- μ m CMOS RF amplifier," IEEE Electron Device Lett., vol. 14, pp. 246-248, MAY 1993.
- [3] J. N. Burghartz et al., "Monolithic spiral inductors fabricated using a VLSI Cu-damascene interconnect technology and low-loss substrates," in IEDM Tech. Dig., pp. 99-102, 1996