

# ETRI MMIC 라이브러리를 이용한 Wideband MMIC LNA의 설계

안 단, 채연식, 이진구  
 동국대학교 전자공학과 반도체 및 집적회로 연구실  
 E-mail : jkrhee@cakra.dongguk.ac.kr

## Design of wideband MMIC LNA using ETRI MMIC Library

D. An, Y. S. Chae and J.K.Rhee  
 S & IC Lab., Dept. of Elec. Eng., Dongguk Univ.

### Abstract

In this paper, wideband MMIC LNA's were designed using low Q matching network. Gains of 23.6~25.4dB ( $24.5 \pm 0.9$ dB), noise figures of 0.9~2.8 dB were obtained from the designed wideband MMIC LNA in the frequency ranges of 1.2~2.8GHz. And,  $P_{1dB}$  of 10.13 dBm,  $IP_3$  of 12.25 dB were obtained at the center frequency of 2 GHz. A chip size of the designed wideband MMIC LNA is 1.4mm×1.4mm.

### 1. 서 론

이동통신 서비스가 확대됨에 따라 초고주파 특성이 우수한 반도체소자 및 통신 부품등의 개발이 필수적이다. 초고주파 대역의 통신 부품을 개발하기 위한 핵심 기술의 하나가 초고주파 단일칩 집적회로인 MMIC(Monolithic Microwave Integrated Circuits) 기술이다.

본 논문에서는 ETRI에서 개발한 GaAs E-MESFET 및 수동소자 라이브러리를 이용하여 MMIC LNA(Low Noise Amplifiers)를 설계하였다. 설계 주파수 대역은 PCS (Personal Communication Services), WLL (Wireless Local Loop) 및 IMT (International Mobile Telecommunications)-2000 등에 모두 이용될 수 있도록 L-band (1.2~2.8GHz) 에서 설계하

였다. MMIC 증폭기는 설계시 광대역 이득 특성을 얻기 위해 낮은 Q 값을 갖도록 임·출력 정합회로를 구성하였다. 또한, MMIC LNA는 4GHz 이하의 전 영역에서 안정도 백터 K가 최대가 되도록 설계하여 발진을 막을 수 있도록 하였으며, 칩 크기를 최소화하고자 하였다.

### 2. MMIC LNA의 임·출력단 설계

MMIC LNA의 입력단 및 출력단에 사용된 소자의 DC 및 주파수 특성을 표 1에 나타내었다. 표 1에서 MMIC LNA의 입력단에 사용된 소자의 동작 바이어스는 증폭기의 잡음 특성을 향상시키기 위하여 게이트 전압을 0.4 V로 낮게 하였으며, 드레인 전압은 2V로 하였다. 이때 소스-드레인 전류는 4.94 mA 이었다. 출력단에 사용된 소자의 바이어스 점은 이득 특성을 향상시키기 위해 게이트 전압을 입력단 보다 0.1V 높은 0.5V, 드레인 전압은 2V로 하였다. 이때 소스-드레인 전류는 15.94 mA이다.

표 1. 임·출력단 소자의 DC 및 RF 특성

파라메타	소자	입력단	출력단
단위 게이트폭	( $\mu$ m)	100	100
게이트 핑거수	(개)	2	4
$I_{dss}$	(mA)	13	24
$V_k$	(V)	0.5	0.5
$g_m$	(mS/mm)	180	190
$S_{21}$	(dB) at 2 GHz	7.5	9.5
$f_r$	(GHz)	23	19

입력단에 사용된 소자의 경우 2 GHz에서 안정도 K가 0.82이기 때문에 병렬 저항 400Ω 과 소스단에 인덕터를 추가하여 안정도 K를 1.2로 향상시켰으며, 4GHz 이하의 전 주파수 영역에서 1이상이 되도록 하였다.

그리고, 정합회로의 설계는 입력단 증폭기가 낮은 잡음지수를 갖도록 잡음 정합을 하였으며, 광대역 특성을 위하여 낮은 'node Q'를 갖도록 three element 매칭회로로 구성하였다.[1]

그림 1에 입력단 전력증폭기의 입력 정합과정을 나타내었다.

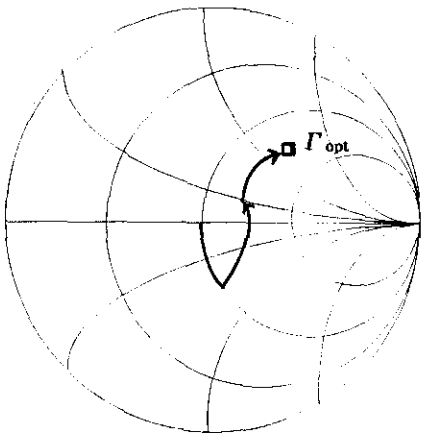


그림 1. 입력 정합 과정

일반적으로 FET에서  $S_{21}$ 과  $S_{12}$ 는 주파수에 따라 변화하며  $S_{21}$ 은 주파수가 증가함에 따라 감소하고  $S_{12}$ 는 증가한다.[2] 따라서, 그림 2에서 설명되는 것과 같이 평탄한 이득 특성을 얻기 위해서 출력 매칭 회로가 positive slop를 가져야 한다. 이를 위해서 출력 정합 회로 설계를 더 높은 주파수에서 큰 load power를 가지도록  $G_L$  power Gain circle을 50Ω load로 matching 하였고 정합결과  $G_L$  power Gain circle의 변화를 그림 3에 나타내었다.

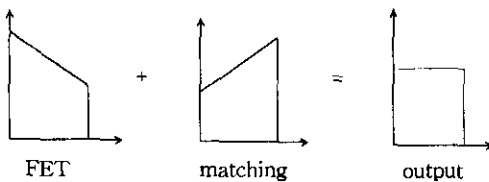
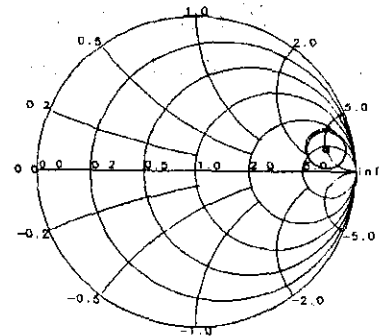
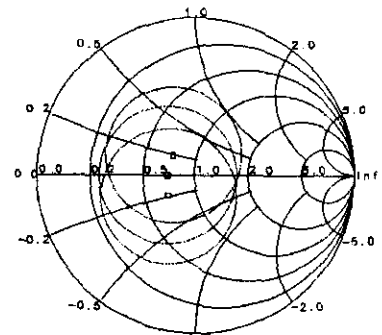


그림 2. 출력 정합회로 설계 과정



Frequency 2.4 to 2.6 GHz

(a) 정합전



Frequency 2.4 to 2.8 GHz

(b) 정합후

그림 3. 정합전후의  $G_L$  power Gain circle

다음으로, 출력단 회로의 설계 방법은 입력단과 같은 방법으로 매칭회로가 낮은 'node Q' 값을 가지도록 설계 하였으며, 완성된 회로를 그림 4에 나타내었다.

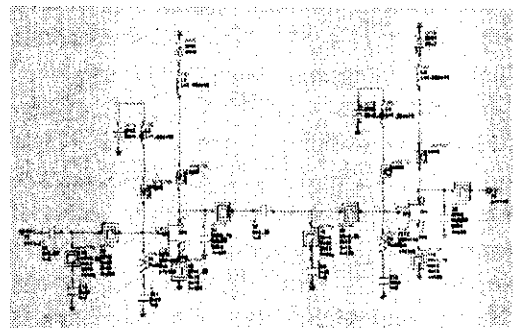


그림 4. 광대역 저잡음 증폭기 회로도

### 3. 설계된 MMIC LNA의 소신호 및 대신호 시뮬레이션 결과

설계된 MMIC LNA의 소신호 및 잡음 특성 시뮬레이션으로는 이득과  $S_{11}$ ,  $S_{12}$ ,  $S_{22}$  및 잡음 지수를 시뮬레이션 하였으며 결과를 그림 5와 표2에 나타내었다. 시뮬레이션 결과 1.2~2.8 (Bandwidth = 1.6GHz)의 주파수 영역에서 이득 23.6~25.4dB ( $24.5 \pm 0.9$ dB)로 광대역 이득 특성을 보이고 있으며, 잡음지수는 0.9~2.8dB 양호한 결과를 얻었으나 1.2~1.4의 영역에서 2dB이상의 잡음지수가 발생해 이 영역에서 잡음지수를 줄이는 개선이 필요할 것으로 보인다.

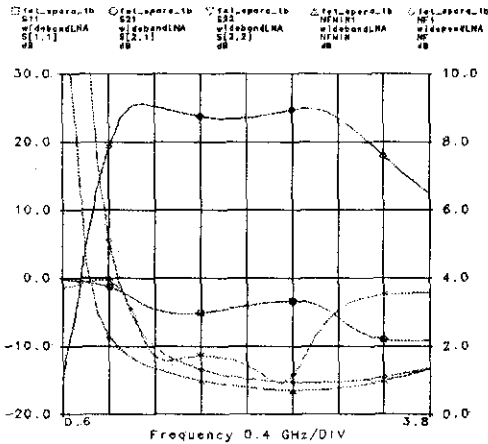


그림 5. 소신호 시뮬레이션

표 2. 소신호 및 잡음 특성 시뮬레이션 결과

freq (GHz)	$S_{11}$ (dB)	$S_{21}$ (dB)	$S_{22}$ (dB)	K	NF (dB)
0.8	-0.54	5.10	-0.65	60.79	11.81
1.0	-1.26	19.29	-0.32	2.33	5.12
1.2	-2.91	25.37	-4.83	5.33	2.86
1.4	-4.62	25.32	-11.56	6.81	1.97
1.6	-5.28	24.43	-11.92	6.81	1.55
1.8	-5.12	23.77	-11.43	6.05	1.31
2.0	-4.63	23.48	-11.69	4.93	1.16
2.2	-4.09	23.59	-12.80	3.72	1.05
2.4	-3.60	24.08	-14.84	2.61	0.98
2.6	-3.36	24.73	-14.29	1.76	0.94
2.8	-3.89	24.89	-8.58	1.31	0.93
3.0	-5.77	23.60	-4.60	1.36	0.96
3.2	-7.98	20.97	-3.00	2.06	1.01

또한, MMIC LNA의 대신호 시뮬레이션으로는 출력과워,  $P_{dB}$ ,  $IP_3$ 를 시뮬레이션 하였으며 시뮬레이션 결과를 그림 6, 7과 표 3에 나타내었다. 시뮬레이션 결과 중심주파수 2.0GHz에서 입력 전력이 -10 dBm 일때 10.13 dBm의  $P_{dB}$ 를 얻었으며, 1.2~2.8 GHz 대역에서 10dBm 정도의 균일한 출력을 얻었다.  $IP_3$ 는 중심주파수 2.0GHz에서 12.25dB으로 시뮬레이션 되었다.

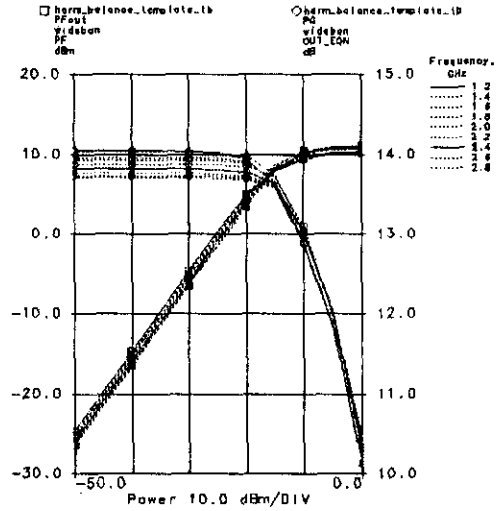


그림 6. 증폭기의 출력전력

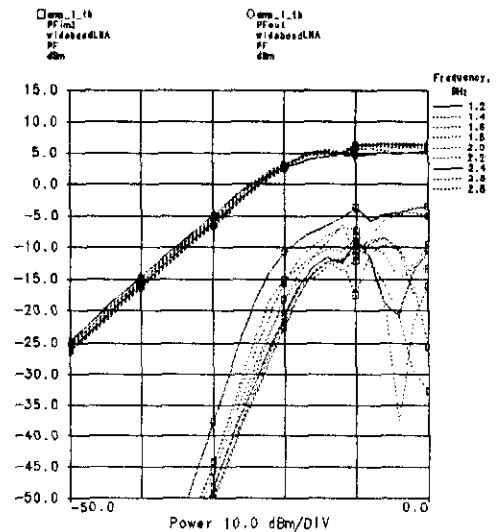


그림 7.  $IP_3$  시뮬레이션

표 3. 대신호 시뮬레이션 결과

freq (GHz)	PF <sub>out</sub> (dBm)	IP <sub>3</sub> (dB)
1.2	9.36	9.07
1.4	10.23	12.26
1.6	10.47	13.79
1.8	10.13	12.66
2.0	10.13	12.25
2.2	9.95	12.04
2.4	10.16	11.89
2.6	9.49	11.60
2.8	9.46	11.14

증폭기 마스크 레이아웃은 Mentor tool을 사용하여 레이아웃 하였으며 칩 제작후 on-wafer probe 측정을 위해 각 그라운드 단자를 모두 연결하여 설계하였다. 전체 chip size는 1.4mm×1.4mm이며 완성된 마스크 레이아웃은 그림 8에 나타내었다.

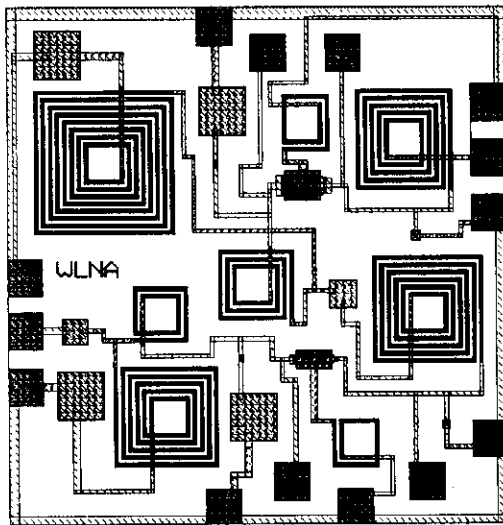


그림 8. 설계된 L-band MMIC LNA의 마스크 레이아웃

#### 4. 결 론

본 논문에서는 ETRI에서 제공한 MMIC 라이브러리를 이용하여 L-band 대역의 MMIC LNA를 설계하였다. 입·출력단 매칭은 광대역 이득 특성을 얻기 위해 Low Q- matching 방법을 이용하였다.

설계된 MMIC LNA는 1.2~2.8GHz의 주파수에서 이득이 23.6~25.4dB ( $24.5 \pm 0.9$ dB), 잡음지수는 0.93~2.86dB를 얻었고 중심주파수인 2GHz에서  $P_1$ dB가 10.13dBm, IP<sub>3</sub>는 12.25dB의 시뮬레이션 결과를 얻을 수 있었다.

설계된 MMIC LNA는 1.8GHz PCS, 2.4GHz WLL 및 IMT-2000 등의 송·수신 모듈에 응용 가능하리라 사료된다.

#### 參 考 文 獻

- [1] Guillermo Gnzaez, Ph. D, "Microwave Transistor Amplifiers Analysis and Design"
- [2] Ralph Williams, "Modern GaAs Processing Methods"