

# 35 GHz MMIC 2단 전력 증폭기 설계

의일형, 채연식, 안단, 윤관기, 이진구  
 동국대학교 전자공학과 반도체 및 집적회로 연구실  
 E-mail : jkrhee@cakra.dongguk.ac.kr

## Design of MMIC 2 Stage Power Amplifiers for 35 GHz

I. H. Lee, Y. S. Chae, D. An, K. K. Youn and J.K.Rhee  
 S & IC Lab., Dept. of Elec. Eng., Dongguk Univ.

### Abstract

A 35 GHz GaAs MMIC power amplifier was designed using a monolithic technology with AlGaAs/InGaAs/GaAs power PM-HEMTs, rectangular spiral inductors and Si<sub>3</sub>N<sub>4</sub> MIM capacitors. The GaAs power MESFETs in the input and output stages have total gate widths of 120 um and 320 um, respectively. Total S<sub>21</sub> gain of 10.82dB and S<sub>11</sub> of -16.26 dB were obtained from the designed MMIC power amplifier at 35 GHz. And the chip size of the MMIC amplifier was 1.4×0.8 mm<sup>2</sup>

### 1. 서 론

정보는 점차 다양화, 대량화, 고속화 되어가고 있으며 정보 이용자수도 급증하는 추세에 있다. 이러한 요구에 부응하기 위해서는 이용 주파수 및 대역폭의 확장이 필수적이다. 현재 이용되고 있는 주파수 대역은 셀룰라폰의 경우 900MHz 및 PCS의 경우 1.8 GHz 대역에 불과하다. 그러나, 가입자의 급증과 문자, 화상등 정보 처리 요구의 다양화에 부응하기 위해 IMT-2000의 경우 2 GHz 대역을 WLL의 경우 2.4 GHz 대역을, 나아가 27 GHz 또는 30 GHz 이상의 LMDS 및 MVDS를 위한 연구도 진행중에 있다. 이러한 이용 주파수의 증가에 따라 mm파 대역에서 동작하며 고신뢰도, 저전력 및 고효율 특성을 갖는 송/수신기의 개발이 핵심 과제로 부각되고 있다.

이러한 초고주파 대역의 송/수신기 개발을

위해서는 초고주파 대역의 초고속, 고효율 특성과 소형화, 경량화되고 고신뢰도를 갖는 단일칩 초고주파 집적회로(MMIC : Monolithic Microwave Integrated Circuits)의 개발은 필수적이다.

본 논문에서는 AlGaAs/InGaAs/GaAs 계의 PM-HEMT(PseudoMorphic High Electron Mobility Transistors) 제작과 mm파 대역의 직사각형 나선 인덕터 및 MIM 캐패시터를 제작하여 라이브러리를 작성한 후 이를 이용하여 35 GHz 대역의 MMIC 2단 전력 증폭기를 설계하였다.

### 2. mm파 MMIC 설계를 위한 전력용 PM-HEMT 설계 및 제작

전력용 PM-HEMT 제작에 이용된 에피층 구조는  $4 \times 10^{18} \text{ cm}^{-3}$ 의 도핑농도를 갖는 n+ GaAs 캡층, AlGaAs 도우너층, 채널층 및 누설 전류등의 기생성분을 차단하기 위한 버퍼층(Buffer layer)등을 갖도록 설계하였다. 특히, AlGaAs 도우너층은 2DEG 농도 및 deep level 형성등을 고려하여 Al 함량을 및 두께를 각각 25% 및 300Å으로 설계하였다. 또한, 높은 면전하밀도와 항복전압특성을 위해 spacer 층의 바로 위에 Si를  $5 \times 10^{12} \text{ cm}^{-2}$ 로 높게 도핑하는 delta doping구조로 설계하여 MBE로 성장하였다.[1-2]

상기의 웨이퍼 위에 전력용 PM-HEMT를 제작하였다. 이를 위해 연구된 제반 단위공정으로는 E-beam을 이용한 T-gate 공정, 격리된 다수의 소오스 전극을 상호 연결하기 위한

Air-bridge 공정, 소오스 및 드레인 전극의 접착저항을 줄이기 위한 오믹 공정 및 제작된 전력용 PM-HEMT의 열 방출을 위한 Back-side lapping 공정등이다.[3]

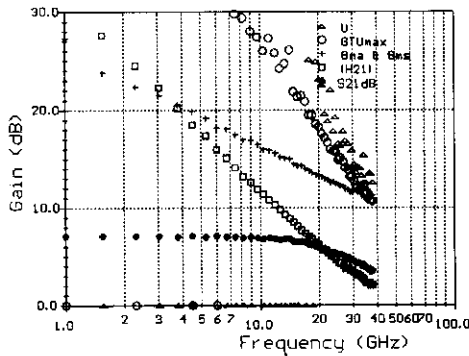
상기의 연구된 단위공정을 이용하여 여러 종류의 전력용 PM-HEMT를 제작한 후 HP 4156A 로 DC 특성을 HP 8722A로 RF 특성을 측정하였다.

그림 1은 입력단 및 출력단에 사용된 전력용 PM-HEMT의 주파수에 따른 이득 특성을 나타낸 것이다. 그림 1(a)는 단위 게이트 폭이 60 um 이고 핑거수가 2개인 PM-HEMT의 이득 특성으로  $f_T$  및  $f_{max}$ 는 45 및 100 GHz 이상임을 알 수 있다. 그림 1(b)는 단위 게이트 폭이 80 um이고 핑거수가 4개 인 PM-HEMT의 이득 특성으로  $f_T$  및  $f_{max}$ 는 44 GHz 및 70 GHz 이상임을 알 수 있다.

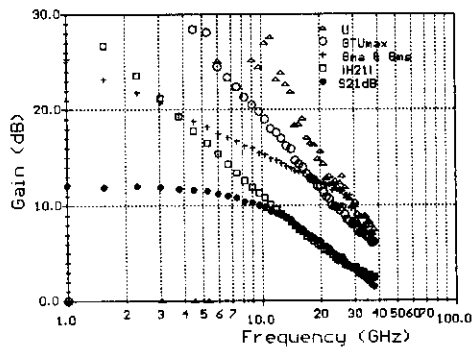
특성을 요약한 것이다.

표 1. 35 GHz MMIC 2단 전력증폭기에 사용된 PM-HEMT의 DC 및 RF 특성

파라메타	소자	입력단	출력단
단위 게이트폭 (um)		60	80
게이트 핑거수 (개)		2	4
Idss (mA)		33	78
Vp (V)		-1.5	-1.5
Vk (V)		1.2	1.2
gm (mS/mm)		260	199
S <sub>21</sub> (dB) at 35 GHz		3.6	2.0
MAG (dB) at 35 GHz		11.5	7.03
f <sub>T</sub> (GHz)		>45	>44
f <sub>max</sub> (GHz)		>100	>70



(a) 입력단 PM-HEMT의 이득 측정



(b) 출력단 PM-HEMT의 이득 특성

그림 1. 입·출력단 PM-HEMT의 이득 특성

표 1은 상기의 공정으로 제작된 PM-HEMT 중에서 35 GHz MMIC 2단 전력증폭기의 입력단 및 출력단 설계에 이용된 소자의 DC 및 RF

### 3. 회로 매칭을 위한 수동소자 제작

35 GHz 대역의 MMIC 전력증폭기의 입·출력 매칭회로 구현을 위해 직사각형 나선 인덕터, MIM 캐패시터, 저항등의 집중정수형 소자와 35 GHz를 중심 주파수로 하여 50 Ω 전송선로와 이를 이용한 Gap, Tee, Bend, Open, Short 및 Coupler 등을 제작하였다. 특히, 집중정수 소자는 보통 3차원적인 구조를 갖고 있으며, 값이 큰 인덕턴스 또는 캐패시턴스를 구현하기 위해 흔히 사용된다. 그러나, 주파수가 증가함에 따라 공진 되어 특정 주파수 이상에서는 사용이 불가능해지는데 인덕턴스 또는 캐패시턴스가 클수록 공진주파수가 낮아지게 된다. 본 논문에서는 이러한 주파수 제한을 고려하여 35 GHz 대역에서 사용가능한 범위의 집중정수형 소자를 제작하고 측정하였다.

제작공정은 1st level metal로 Ti/Au를 증착, 웨이퍼 전면에 2,000Å 두께의 Si<sub>3</sub>N<sub>4</sub> 적층 및 Si<sub>3</sub>N<sub>4</sub> RIE, 2nd level metal 적층 및 back-side lapping순이다. 또한, 상기의 공정으로 제작된 수동소자를 HP 사의 8510C Vector Network Analyzer를 사용하여 1-50 GHz 범위에서 S-파라메타를 측정하였다. 측정된 S-파라메타와 설계에 사용된 수동소자의 등가회로를 이용하여 HP EEsof 에서 등가회로 fitting 하여 등가회로 파라메타를 추출하였다.

표 2는 직사각형 나선 인덕터의 추출된 인덕턴스와 공진 주파수를 요약한 것이다. MIM 캐패시터는 비유전율이 7.0인 Si<sub>3</sub>N<sub>4</sub>를 2,000 Å 두께로 사용하였으며, 측정된 S-파라메타와 등가회로를 이용하여 캐패시턴스를 추출하였다.

표 3은 추출된 캐패시턴스 값으로 크기가  $25\mu\text{m} \times 25\mu\text{m}$  에서  $100\mu\text{m} \times 100\mu\text{m}$  일 경우 0.18 pF 에서 2.16 pF 범위의 캐패시턴스를 얻었으며, 공진주파수가 모두 50 GHz 이상이기 때문에 35 GHz 대역에서 사용가능함을 알 수 있다.

표 2. 추출된 인덕턴스 (1~50GHz)

라인 폭 및 간격	최외각 길이	회전수	Ls (nH)	fr (GHz)
5 $\mu\text{m}$	100 $\mu\text{m}$	1	0.20	>50
		3	0.22	>50
	200 $\mu\text{m}$	1	0.9	27
		3	2.75	16
		5	5.22	-
10 $\mu\text{m}$	100 $\mu\text{m}$	1	0.21	>50
		1	0.78	36
	200 $\mu\text{m}$	3	1.55	-
		5	1.64	-

표 3. 추출된 캐패시턴스 (1~50GHz)

종류	파라미터	C (pF)	fr (GHz)
	$25 \times 25 \mu\text{m}^2$	0.18	> 50
	$50 \times 50 \mu\text{m}^2$	0.70	> 50
	$75 \times 75 \mu\text{m}^2$	1.53	> 50
	$100 \times 100 \mu\text{m}^2$	2.60	> 50

### 4. 35 GHz MMIC 전력증폭기 설계

표 1에 나타낸 전력용 PM-HEMT 및 표 2 및 표 3에 나타낸 직사각형 나선 인덕터와 MIM 캐패시터등의 수동소자 측정데이터를 바탕으로 35 GHz MMIC 2 단 전력증폭기를 설계하였다.

그림 2 MMIC 2단 전력 증폭기의 설계된 회로이다. 입력정합 회로는 병렬로 0.1nH의 인덕터를 달아 입력임피던스를  $50\Omega$ 이 되도록 하였으며, 게이트 바이어스가 병렬 인덕터를 통해 접지로 누설 되는 것을 방지하기 위해 10pF의 캐패시터를 인덕터 뒤에 추가하였다.

중간단 매칭 회로로 병렬 L(0.41nH, 0.1nH), 직렬 L(0.55nH), 직렬 C(0.26pF)을 사용하였으며 직렬 캐패시터는 매칭과 함께 DC blocking 기능도 포함하도록 설계하였다.

출력 정합회로는 입력단과 같은 방법으로 설계하여, 직렬 L(0.23nH), 병렬 C(0.14pF)을 사용하였다. MMIC 2단 전력 증폭기의 시뮬레이션 결과 35GHz에서 이득은 10.82dB, S11은 -16.27dB 및 안정도 벡터 K는 5.4의 결과를 얻었으며, 그림 3과 표4에 시뮬레이션 결과를 나타내었다.

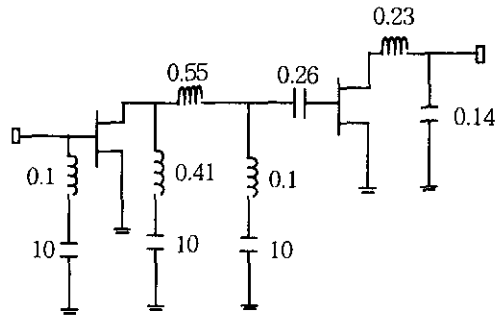


그림 2 MMIC 2단 전력 증폭기의 회로도 (단위 : L : nH, C : pF)

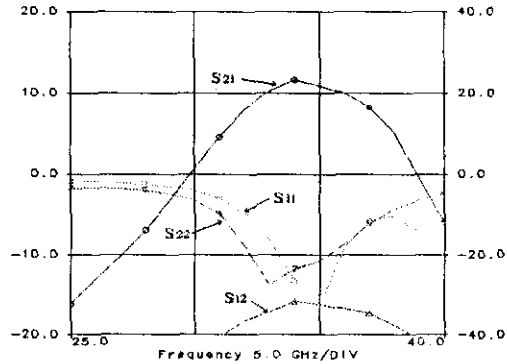


그림 3. MMIC 2단 전력 증폭기의 시뮬레이션 결과

표 4. 설계된 MMIC 전력증폭기의 S-파라메타 및 안정도 계수

GHz	S <sub>11</sub> (dB)	S <sub>21</sub> (dB)	S <sub>12</sub> (dB)	S <sub>22</sub> (dB)	K
30	-2.01	0.76	-44.4	-3.17	15.2
31	-3.06	4.45	-40.2	-4.97	10.8
32	-4.87	7.95	-36.4	-9.06	7.8
33	-8.27	10.17	-34.4	-13.74	6.6
34	-13.27	11.63	-31.7	-11.79	4.5
35	-16.27	10.82	-32.4	-10.78	5.4
36	-9.11	9.98	-33.5	-8.68	5.8
37	-5.81	8.16	-34.6	-6.09	6.1

상기에서 설계된 MMIC 2단 전력증폭기를 제작하기 위해 메시, 오믹, 1st 금속, 유전체 via, Air-bridge PR via, 2nd & air-bridge 금속층 총 7장으로 설계하였다. MMIC 2 단 전력 증폭기의 제작은 PM-HEMT의 제작공정과 수동소자 제작공정을 통합하여 동시에 제작되도

록 하였다. 표 5는 마스크 설계에 이용된 수동 소자의 물리적 크기를 나타낸 것이며, 제작되지 않은 범위의 값의 경우에는 제작된 수동 소자의 물리적 파라메타를 libra로 시뮬레이션하여 측정된 값과 일치함을 확인한 후 범위에 없는 각 소자의 L, C 값과 일치하도록 각 파라메타 값을 조절하여 시뮬레이션 하였다. 설계된 전력 증폭기의 마스크 레이아웃은 그림 4에 나타내었으며 칩 크기는 1.4mm×0.8mm이다.

표 5. 전력증폭기 설계에 사용된 수동소자

수동소자 값 및 크기		
직사각형 나선 인덕터	0.1 nH	35 um, 1 turn
	0.23 nH	60 um, 1 turn
	0.41 nH	90 um, 1turn
	0.5 nH	95 um, 1turn
MIM 캐패시터	10 pF	196 x 196um
	0.26 pF	32 x 33um
	0.14 pF	25 x 25 um

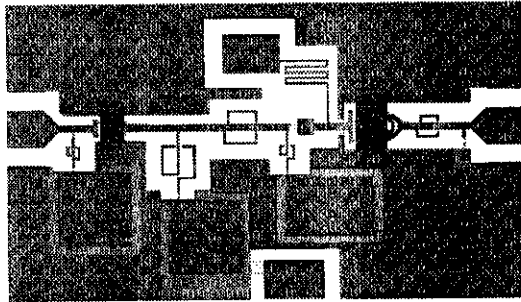


그림 4. MMIC 2단 전력증폭기의 마스크 레이아웃

설계된 MMIC 2단 전력 증폭기의 공정 오차에 따른 증폭기의 특성변화를 분석하여 칩 제작 후 증폭기의 성능을 Libra의 Monte Carlo 방법으로 시뮬레이션 하였다. 공정오차는 인덕터의 경우 턴수를 고정시킨 상태에서 라인폭, 최외각 크기, 메탈 두께를 각각 ±5% 범위에서 변화시켰고, 캐패시턴스의 경우에는 캐패시턴스를 ±5% 범위에서에서 변화시켜 시뮬레이션 하였으며 그 결과를 그림 5에 나타내었다. 그림 5에서 이득은 모든 변화 범위에서 10dB 이상, S<sub>11</sub>은 34~36 GHz에서 -10dB이하로 증폭기가 공정 오차에 대해 성능이 크게 변하지 않고 안정됨을 알 수 있다.

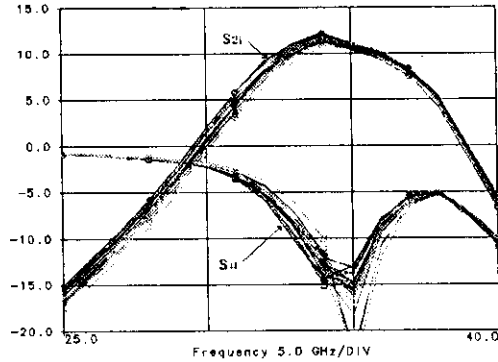


그림 5. 공정오차에 따른 증폭기의 특성변화

### 5. 결 론

본 논문에서는 AlGaAs/InGaAs/GaAs 계의 PM-HEMT(PseudoMorphic High Electron Mobility Transistors) 제작과 mm파 대역의 직사각형 나선 인덕터 및 MIM 캐패시터를 제작하여 라이브러리를 작성한 후 이를 이용하여 35 GHz 대역의 MMIC 2단 전력 증폭기를 설계하였다. 설계된 2단 전력 증폭기의 시뮬레이션 결과 35GHz에서 S<sub>21</sub> 이득 10.82 dB, S<sub>11</sub>은 -16.27 dB, S<sub>22</sub>는 -10.78 dB의 결과를 얻었으며, 전체 칩 크기는 1.4mm×0.8mm이다. 설계된 MMIC 2단 전력 증폭기는 Ka-band의 무선 송·수신 모듈에 이용될 수 있을 것으로 사료된다.

(\* 본 연구는 97년도 교육부 반도체 분야 학술 연구 조성비 (ISRC 97-E-3102)에 의하여 연구 되었음.)

### 參 考 文 獻

- 1] P. M. Smith, W. F. Kopp, et al., "Ku-band high efficiency high gain pseudomorphic HEMT," Electron Letter., vol. 27, no 3, pp. 270~271, 1991.
- 2] E. F. Schubert et al., "The delta-doped field-effect transistors( $\delta$ -FET)," IEEE Transactions Electron Devices, vol. 33, no. 5, pp. 625~632, 1986.
- 3] 이진구와 4명, "0.35  $\mu$ m T-gate Pseudomorphic HEMT 제작 연구", 대한전자공학회 추계종합 학술대회 논문집(B), 제 19권 제2호, pp. 1245-1248, 1996. 11.