

# 새로운 트랜치 방법을 이용한 저저항 실리콘 기판에서의 High Q 인덕터의 구현

이홍수, 이진효, 유현규, 김대용

한국전자통신연구원 회로소자연구소 실리콘 RF 소자팀

대전시 유성구 가정동 161번지 유성우체국 사서함 106호

Tel: 042-860-5824, Fax: 042-860-6108, E-mail: hsrhee@advax.etri.re.kr

## Realization of High Q Inductor on Low Resistivity Silicon Wafer using a New and Simple Trench Technique

Heung-Soo Rhee, Jin-Hyo Lee, Hyun-Kyu Yu, and Dae-Yong Kim

Silicon RF Devices Team, Micro-Electronics Technology Laboratory, ETRI,

161 Kajong-Dong, Yusong-Gu, Taejon 305-350, Korea

### 요약

This paper presents a new and simple technique to realize high Q inductor on low resistivity silicon wafer with  $6 \Omega\text{-cm}$ . This technique is very compatible with bipolar and CMOS standard silicon process. By forming the deep and narrow trenches on the low resistivity wafer substrate under inductor pattern, oxidizing and filling with undoped polysilicon, the low resistivity silicon wafer acts as high resistivity wafer being suitable for the fabrication of high Q inductor. By using this technique the quality factor (Q) for 8-turn spiral inductor was improved up to max. 10.3 at 2 GHz with 3.0  $\mu\text{m}$  of metal thickness. The experiment results show that Q on low resistivity silicon wafer with the trench technique have been improved more than 2 times compared to the conventional low resistivity silicon wafer without trenches.

### 서론

바이폴라 혹은 CMOS 공정을 이용하여 제작되는 인덕터에 있어서, High Q 인덕터를 제작하기 위한 가장 용이한 방법은 고저항 실리콘 웨이퍼를 사용하는 것이다. 고저항 웨이퍼일 수록 인덕터의 Q 값이 높다는 사실은 기판의 저항이 높을 수록 기판에서의 전도손실이 감소된다는 사실로 설명되어진다(1). 따라서 고저항 웨이퍼일 수록 높은 Q 값을 갖는 인덕터를 제작하는데 훨씬 용이하다. 반면에 고저항 웨이퍼는 능동소자와 수동소자를 동시에 접착하는 접착회로 구현에는 불리하게 되는데 그 이유는 기판이 고저항이 됨으로서, 기판의 불순물 농

도가 낮게되고 그럴경우, 각 소자의 공핍층이 상대적으로 넓게 형성될 수 밖에 없게 되어 디바이스 간의 leak 가 존재하게 된다. 따라서 이러한 문제를 방지하기 위해서는 디바이스 간의 간격이 멀어져야 되기 때문에 결국 접착도 효율이 떨어지게 된다. 너무기 고저항 웨이퍼의 가격은 종류와 기판 특성에 따라 다소 차이가 있지만 일반적으로 저저항 기판에 비해 약 10배 이상 가격이 비싸기 때문에 생산단가 면에서도 저저항 실리콘 웨이퍼에 비해 실용성이 떨어지게 된다. 이러한 결점을 해결하기 위하여 저저항 기판을 사용하여 높은 Q 값을 얻기 위한 여러가지 방법들이 발표 되었다[2], [3], [4].

본 논문에서는 새로운 트랜치 기법을 사용하여 저저항 기판 위에 인덕터를 제작하여 고저항 기판에서와 같은 높은 Q 값을 갖는 인덕터를 구현할 수 있음을 보이도록 한다.

### 구조 및 공정

그림 1 은 서론에서 제안한 새로운 트랜치 기술을 적용한 저저항 기판에서의 인덕터 측면도이다. 그림에서 보여지는 것처럼 인덕터의 패턴 아래에 깊이가 깊고 폭이 좁은 트랜치가 형성되어 있다. 본 실험에서는 인덕터의 특성을 비교하기 위하여  $6 \Omega\text{-cm}$ 의 저저항 웨이퍼와  $2K \Omega\text{-cm}$ 의 고저항 웨이퍼를 동시에 사용하여 인덕터를 제작하였다. 본 논문에서 제안된 트랜치 기술을 적용한 인덕터 공정은 기존의 CMOS 공정 및 바이폴라 공정 중 어느 것과도 호환성을 가지고 있는데 여기에서는 바이폴라 공정 절차를 따라 공정을 수행하였다. 맨처음

공정은 실리콘 기판위에 산화막을 형성하고 트랜치를 형성하기 위하여 패턴을 형성하는 단계이다. 실험에 사용된 웨이퍼는 실험 목적상 트랜치 깊이를 달리하기 위하여 0, 5, 10 그리고 15  $\mu\text{m}$  깊이로 나누어 공정을 수행하였으며, 인덕터 아래에 트랜치를 구성할 때 트랜치의 폭은 1.4  $\mu\text{m}$  이고, 각 트랜치의 간격(spacer)은 0.7  $\mu\text{m}$ 로 설계하였다. 트랜치 형성은 RIE(Reactive Ion Etching) 공정을 이용하여 깊고 좁은 모양의 트랜치를 그림 1에서와 같이 형성하였다. 그런 다음, 그 위에 약 450nm 두께의 산화막이 형성되도록 산화막 공정을 수행하면 트랜치와 트랜치 사이의 실리콘 벽(spacer)은 완전히 산화되어 트랜치 사이에 실리콘 산화막 벽이 형성되어지게 된다. 다음에 도핑되지 않은 폴리실리콘으로 채우고 산화막을 덮은 새로운 구조의 인덕터를 제작하였다.

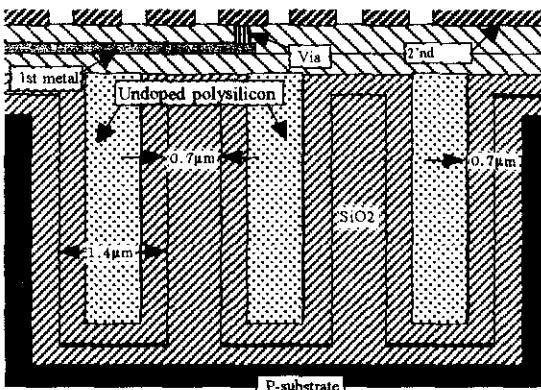


그림 1. 저저항 실리콘 기판에 트랜치를 형성하고 도핑되지 않은 폴리실리콘으로 채우고 산화막을 덮은 새로운 구조의 인덕터 측면도.

리 실리콘을 약 1000 nm 두께로 산화막 위에 중착하여 트랜치를 채우고 난 후에 CMP(Chemical and Mechanical Polishing) 공정을 이용하여 산화막 위에 중착되어 있는 폴리실리콘을 갈아내어 기판 표면을 평坦하게 만든다. 그런 다음, 한번 더 산화막 공정을 수행하여 산화막을 두껍게 한 다음, 최종적으로 인덕터를 구성하기 위한 일차 금속선, 비아(via) 및 2차금속선 공정을 수행한다.

그림 2는 저저항 실리콘 기판에 앞서 제안된 새로운 트랜치 기술을 적용하여 폴리실리콘 중착공정까지를 수행한 인덕터의 측면 SEM 사진이다. 트랜치의 깊이는 5  $\mu\text{m}$ 이며 사진에서 보는 바와 같이 트랜치의 폭은 실리콘의 산화로 인하여 매우 좁아진 반면, 트랜치 사이의 실리콘 벽은 산화로 인하여 두 배 가까이 두꺼워 진 것을 볼 수 있다. 트랜치 끝에 채워진 폴리실리콘(사진의 하

단부분)사이의 짙은 부분은 폴리실리콘이 완전하게 채워지지 않은 부분이다.

본 실험에서는 새로운 트랜치 기술을 이용한 인덕터의 Q 값의 변화를 분석하기 위해 여러 종류의 인덕터를 제작하였다. 그중에서 8회전 사각 형태의 나선형 인덕터의 특성을 집중적으로 분석하여 새로운 기술에 대한 인덕터의 성능 개선 효과를 명확하게 밝히고자 하였다.

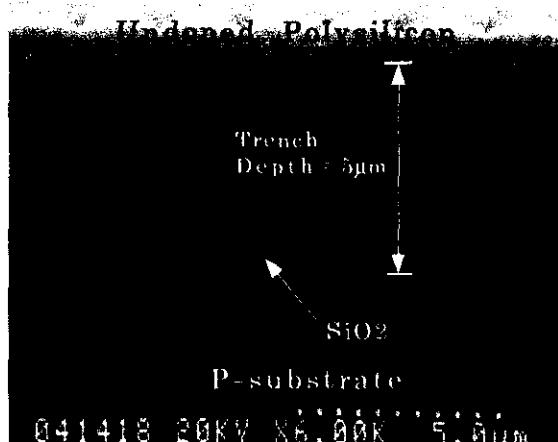


그림 2. 5  $\mu\text{m}$  트랜치 깊이에 도핑되지 않은 폴리실리콘을 채운 후 실리콘 벽이 완전히 산화막으로 형성되어 있는 인덕터의 측면 SEM 사진.

## 측정 및 분석

새로운 기술에 의한 Q 값의 변화를 분석하기 위하여 트랜치 깊이가 0, 5, 10 및 15  $\mu\text{m}$  를 갖는 사각형태의 8회전 나선형 인덕터를 집중적으로 측정, 분석하였다. 인덕터의 측정은 S-parameter 측정기술을 이용하였으며, 측정장비로는 HP8510B Network Analyzer 와 Cascade RF Prober를 사용하였다. SOLT 방식을 사용하여 장비의 Calibration을 수행하였으며, 인덕터 패드에 대한 De-embedding은 측정패턴 상에 만들어져 있는 OPEN 패턴을 이용하여 수행하였다. 측정된 결과로부터 인덕터의 Q값 및 각종 인덕터의 특성을 결정하기 위한 등가회로는 기존의 알려진 회로를 사용하였다 [1].

그림 3은 금속선 두께가 1.0  $\mu\text{m}$ 로 일정한 상태에서 트랜치 깊이의 변화에 따른 8회전 인덕터의 Q값의 변화를 주파수에 따라 나타낸 그래프이다. 그림 3의 범례에서 R06 와 R2K 는 각각 실리콘 기판의 저항값인 6  $\Omega \cdot \text{cm}$  와 2K  $\Omega \cdot \text{cm}$  를 나타낸다. 그리고 D 는 트랜치

깊이, T 는 2차 금속선의 두께를 나타낸다. 그림 3에서 인덕터의 Q 값은 측정된 주파수 대역의 모든 영역에서 트랜치 깊이가 깊을 수록 커짐을 알 수 있다. 그럼에서 보면, 저저항 실리콘 기판에 트랜치 깊이가 15 $\mu\text{m}$ 인 경우 최대 Q 값은 약 6.5 를 얻었으며, 트랜치 기술을 적용하지 않은 고저항 기판의 경우에는 Q값이 6.4 임을 알 수 있다. 한편 트랜치가 없는 경우의 저저항 기판에서는 Q값이 3.6 인 것을 볼 때, 본 논문에서 제안한 새로운 트랜치 기법을 저저항 기판에 적용할 경우, 인덕터의 성능은 2배 가까이 개선될 수 있음을 알 수 있다.

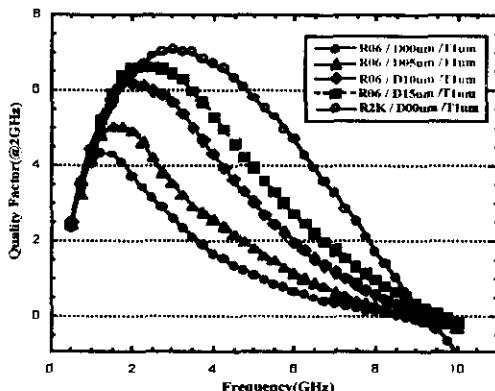


그림 3. 2차 금속선의 두께가 1.0  $\mu\text{m}$ 로 동일한 조건 하에서 트랜치 깊이를 변화시킬 경우, 주파수 변화에 따른 인덕터 Q값의 변화 그래프.

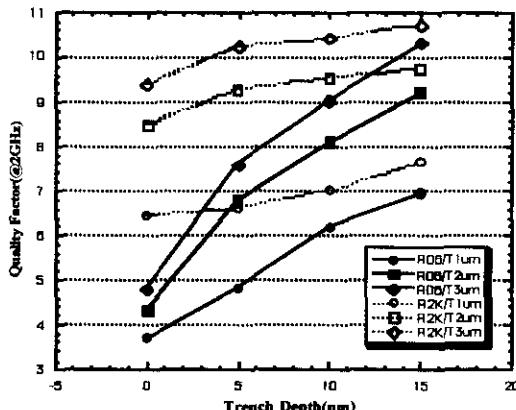


그림 4. 트랜치 깊이와 2차금속선의 두께의 변화에 따른 저저항 및 고저항 기판에서의 8회전 사각 나선형 인덕터의 Q 값의 변화.

그림 4는 인덕터의 트랜치 깊이를 기준으로 금속선의 두께 및 기판저항에 따른 Q값의 변화를 분석하여 나타낸 그래프이다. 그림에서 보는 바와 같이 저저항 기판을 사용하여 제작한 인덕터의 Q값은 트랜치 깊이에 따라 매우 급격한 변화를 보이는 반면, 고저항 웨이퍼를 사용하는 경우, 그 변화는 매우 원만함을 알 수 있다. 또한 그림에서 트랜치 깊이가 15 $\mu\text{m}$ 인 경우, 저저항 및 고저항 기판에서의 Q 값이 거의 비슷한 값을 갖게 되는데 이러한 결과는 저저항 실리콘 웨이퍼에 본 논문에서 제안한 새로운 트랜치 기법을 적용할 경우 고저항 웨이퍼에서 얻을 수 있는 일정 범위 내의 Q값을 성공적으로 구현할 수 있음을 보여준다.

<표 1>에 8회전 사각 나선형 인덕터를 기판저항, 트랜치 깊이 및 2차금속선의 두께에 따라 측정 및 분석한 각 변수별 측정결과를 정리하여 나타내었다. <표 1>에서 보이는 Fres 는 인덕터의 공진주파수를 나타낸다.

<표 1>. 기판저항, 트랜치 깊이 및 2차금속선의 두께의 변화에 따른 8회전 사각 나선형 인덕터 특성 분석 결과

Wafer Type	Trench Depth ( $\mu\text{m}$ )	Metal Thick ( $\mu\text{m}$ )	Q (2GHz)	L(nH)	Qmax	Fres (GHz)
Low R6 ( $\Omega\cdot\text{cm}$ )	0	1.0	3.68	9.08	4.28	1.25
	0	2.0	4.31	8.67	6.14	1.00
	0	3.0	4.78	8.50	7.28	1.00
	5	1.0	3.80	8.91	3.25	2.75
	5	2.0	6.80	8.56	7.49	1.50
	5	3.0	7.58	8.37	8.53	1.50
	10	1.0	6.19	8.81	6.19	2.00
	10	2.0	8.10	8.82	7.49	1.50
	10	3.0	9.00	8.35	9.32	1.75
	15	1.0	6.52	8.82	6.58	2.25
	15	2.0	9.20	8.81	8.65	2.75
	15	3.0	10.3	8.35	9.55	2.75
	0	1.0	6.43	8.88	7.04	3.00
	0	2.0	8.47	8.65	8.65	2.75
	0	3.0	9.37	8.45	9.55	2.75
High R2k ( $\Omega\cdot\text{cm}$ )	5	1.0	6.60	8.89	7.91	3.50
	5	2.0	9.28	8.63	10.0	3.50
	5	3.0	10.2	8.46	10.8	2.75
	10	1.0	6.99	8.85	8.30	4.00
	10	2.0	9.73	8.60	11.0	4.00
	10	3.0	10.4	8.39	11.0	3.00
	15	1.0	7.64	8.84	9.04	4.25
	15	2.0	9.52	8.60	10.5	4.00
	15	3.0	10.7	8.39	11.6	3.50

## 결론

저저항 실리콘 기판에 새로운 트랜치 기술을 적용하여 인덕터를 제작하였다. 제작된 인덕터의 성능을 분석한 결과, 고저항 실리콘 기판에 제작한 인덕터와 성능이 비슷한 인덕터를 구현하였다. 여러가지 크기의 인덕터 중에서 8회전 사각 나선형 인덕터를 측정한 결과 인덕터의 2차금속선의 두께가 3.0  $\mu\text{m}$ 인 경우 최대 Q 값

은 10.3 을 얻었으며, 반면에 트랜치 기술을 적용하지 않은 고저항 기판에 제작한 동일한 인덕터의 최대 Q값은 9.3 이었다. 또한 동일한 저저항 기판에서 트랜치 기술을 적용했을 때와 그렇지 않은 경우를 비교하였을 때 Q값이 약 2배정도 증가됨을 확인하였다. 본 기술을 적용하여 저저항 기판에서 제작한 인덕터는 2GHz 고주파 대역에서 고저항 웨이퍼에서와 비슷한 Q값을 나타냄으로서 향후 많은 수요가 예상되는 2GHz 대역의 고주파용 RFIC 제작에 효과적으로 이용될 수 있을 것으로 판단한다.

향후, 응용분야로서는 고주파 회로배선 및 본딩패드 아래의 실리콘 기판에 본 트랜치 기술을 적용할 경우, 기판과의 사이에 존재하는 기생용량의 상당부분을 줄일 수 있게 됨으로서 고주파 대역에서 디바이스가 동작할 때 소요되는 전력소모를 효과적으로 줄일 수 있는 유용한 기술이 될 것으로 본다.

## 참고문헌

- [1] Min Park, Seonghearn Lee, Hyun Kyu Yu, Jin Gun Koo and Kee Soo Nam, "High Q CMOS-compatible microwave inductors using double metal interconnection silicon technology," *IEEE Microwave and Guided Wave Letters*, vol. 7, no. 2, pp. 45-47, Feb. 1997.
- [2] Adolfo. C. Reyes, S. M. El-Ghazaly, Steve J. D., M. Dydyk, D. K. Schroder, and H. Patterson, "Coplanar wave guides and microwaves inductors on silicon substrate," *IEEE Trans., Microwave Theory and Techniques*, vol. 43, no. 9, pp. 2016-2021, Sep. 1995.
- [3] C. M. Nam and Young Se Kwon, "High performance of microwave passive elements on oxidized porous silicon (OPS) substrate," *IEEE Microwave and Guided Wave Letters*, vol. 7, no.10, pp. 329-331, Oct. 1997.
- [4] Seung Won Pack and Young Se Kwon, "Air-gap stacked spiral inductor," *IEEE Microwave and Guided Wave Letters*, vol.7, no.10, pp.329-331, Oct. 1997.