

열처리 후 가해진 스트레스가 산화막 누설전류에 미치는 영향

이재호, 김병일, 신봉조*, 박근형, 이형규

충북대학교 공과대학 반도체공학과, *전자공학과

361-763 충북 청주시 흥덕구 개신동 산 48번지

Tel)0431-261-2251, Fax)0431-274-9614, ddoly@mickey.chungbuk.ac.kr

Effects of re-stress after anneal on oxide leakage

Jae-Ho Lee, Byong-II Kim, Bong Jo Shin*, Keun Hyung Park, Hyung Gyoo Lee

Department of Semiconductor Engineering, *Department of Electronics Engineering

Chungbuk National University

Cheongju, Chungbuk, 361-763, KOREA

Tel)0431-261-2251, Fax)0431-274-9614, ddoly@mickey.chungbuk.ac.kr

Abstract

Effects of current re-stress after anneal on leakage current and trapped charges in oxides are investigated. Current stress on 6 nm thick oxide has generated mostly positive traps within the oxide resulting in leakage currents. The interface states generated are several orders of magnitude smaller, determined by C-V and charge pumping method. Annealing has eliminated only the charged traps not the neutral traps, thus the leakage current and trap density are increased when the oxides are re-stressed.

I. 서 론

스트레스가 인가된 극박막 산화막에서의 산화막의 열화 현상, 즉 스트레스에 유도된 누설전류(stress-induced leakage current : SILC) 또는 산화막의 대붕괴 현상은 스트레스에 의해 생성된 트랩에 기인한다고 알려져 있다 [1][2]. 이러한 트랩들은 열처리를 하면 소멸되는 것으로 일반적으로 알려져 있으나 고온 열처리에 의하여도 소멸되지 않는다는 연구 결과도 있다 [3-5]. 또한, 스트레스에 의해 생성된 트랩들이 산화막 내에 존재하는지 계면에 존재하는지를 분리 측정하지 않고 그들의 결과를 설명하고 있다 [3]. 본 연구에서는 산화막에 전류 스트레스를 인가하고 열처리 한 후 재차 전류 스트레스를 가하여 그 소자들의 I-V, C-V 특성을 측정하였다. 또, charge pumping 방법을 사용하여 계면에 트랩된 전하량을 측정하여 열처리 후 재 인가된 스트레스에 의한 누설전류의 원인을 규명하였다.

II. 실험

n⁺-polysilicon 게이트를 갖는 MOS 캐패시터와 길이와 폭이 각각 L = 0.3 μm, W = 20 μm 인 NMOS 트랜지스터를 p형 웨이퍼를 사용하여 제작하였다. 산화막은 850°C에서 습식 산화법에 의하여 성장되어 두께는 6 nm 이었다. 스트레스는 캐패시터로 제작된 산화막 시료에 정전류 10 ~ 30 μA를 polysilicon 게이트에 인가함으로 발생시켰으며, 이에 의하여 산화막에 주입되는 전하량 Q_{inj}는 최대 100 C/cm² 까지 변화시켰다. Vg-Ig 특성 곡선은 HP 4156B semiconductor parameter analyzer를 사용하였고, C-V 측정은 HP 4280 C-V Plotter 에 의하여 주파수 1 MHz에서 측정하였다. 인가된 전류 스트레스를 제거하기 위한 방법으로 사용된 열처리는 Probe Station에 부착된 고온 웨이퍼 척에 의하여 공기 중에서 최대 300 °C의 온도에서 30분간 이루어졌다. Charge pumping은 pulse generator (rise time = fall time = 10 nsec, f = 100 kHz) 와 semiconductor parameter analyzer에 의하여 이루어졌다.

III. 결과 및 고찰

게이트 전극에 음의 전압을 가하여 정전류 -10 μA에 의한 스트레스를 산화막에 가하여 스트레스에 의한 총 전하량 Q_{inj}를 변화시키며 트랜지스터 특성의 변화를 분석하였다. 그럼 1은 Q_{inj}에 의한 문턱전압의 변화를 보여준다. 스트레스가 인가되지 않은 트랜지스터 보다 스트레스가 가해진 시료는 문턱전압이 점차 감소하여 스트레스에 의한 총 전하량이 1 C/cm²에서 최대 감소 -0.22 V를 보이다가 스트레스 양이 더욱 증가하여 10 C/cm² 이상이 되면 문턱전압은 반등하여 기준 시료보다 증가하였다.

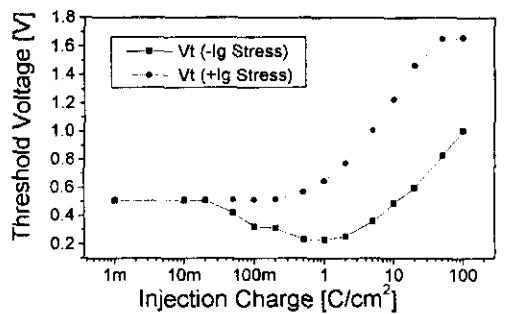


그림 1. 스트레스 전하량 Q_{inj} 변화에 따른 문턱전압 V_{th} 의 변화

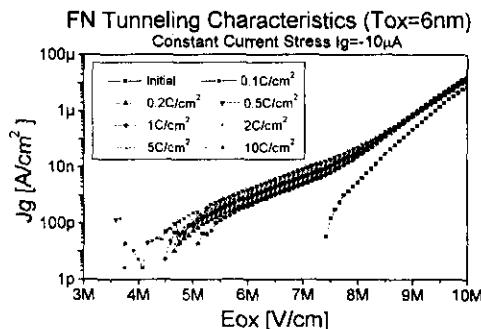


그림 2. 스트레스 전하량에 따른 SILC 특성

얇은 산화막의 SILC 특성을 관찰하기 위해서 면적이 $14,800 \mu\text{m}^2$ 인 캐패시터 시료의 게이트 전극에 음의 전압을 인가하며 정전류 $\sim 10 \mu\text{A}$ 하는 스트레스 인가시간을 달리한 후 각각에 대해 V_g - I_g 측정을 하였다. 그림 2에서와 같이 $Q_{inj} < 10 \text{ C}/\text{cm}^2$ 인 때, Q_{inj} 양이 증가함에 따라 산화막의 전자장의 세기가 $4.5 \sim 8 \text{ MV}/\text{cm}$ 인 범위에서 전류가 현저히 증가함을 알 수 있고, 전류가 급격히 증가하는 전기장의 세기가 감소함을 알 수 있다. 이로부터 산화막은 스트레스에 의하여 약화 (wear-out) 되어 산화막내에 스트레스를 받지 않은 영역에 비하여 산화막내 전장의 크기가 증가함에 따라 산화막을 통하여 전류가 급격히 흐르는 SILC에 기인함을 알 수 있다.

스트레스 크기 변화에 따른 SILC 특성을 조사하기 위하여 몇 개의 동일 구조 소자에 각각 $-10, -20, -30 \mu\text{A}$ 의 전류를 동일한 시간 10 초간 인가한 후의 SILC 특성을 측정하였다. 그 결과 스트레스 전류 크기가 증가함에 따라 SILC가 전자장의 세기 $4.5 \sim 8 \text{ MV}/\text{cm}$ 인 범위에서 증가하였고, 전류가 증가하는 전자장의 세기도 감소하였다. 이 경향은 그림 2의 결과와 같다.

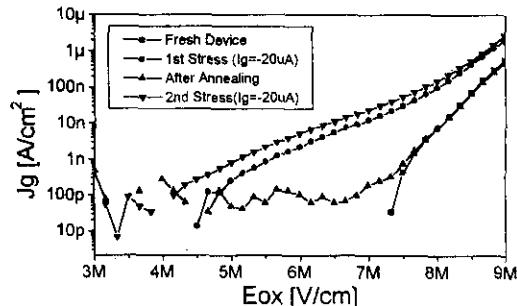


그림 3. Annealing 효과에 의한 SILC 변화

열처리에 의한 SILC 특성 변화를 관찰하였다. 스트레스 전류 $-20 \mu\text{A}$ 를 10초간 인가한 후 300°C 의 웨이퍼 척 위에서 공기 중, 전압이 가하지 않고, 빛에 노출되지 않은 조건에서 30분간 소둔하여 SILC 특성을 측정을 하였다. 측정 후 다시 그 소자에 동일 전류를 10초간 인가하고 SILC 특성을 재조사하였다. 이를 스트레스가 인가되지 않은 기준 시료와 비교하여 그 결과를 그림 3에 나타내었다. 스트레스를 처음 인가한 후 그 시료를 소둔하면 거의 기준 시료와 동일하게 누설전류가 거의 없는 것으로 나타났다. 이는 소둔에 의하여 산화막 내에 스트레스에 의해 트랩에 포획된 정공이 열에너지에 의하여 n형 poly 게이트 전극으로부터 전자들이 유입되어 포획된 정공이 거의 소멸되기 때문이다. 이러한 조건에서 다시 스트레스를 인가하면 SILC가 관측되는데 그 누설전류의 양은 처음 스트레스를 주었을 때 보다 더 많이 흐르는 것과 SILC가 발생하는 전자장의 크기도 감소함을 알 수 있다. SILC가 확연히 관측되기 시작하는 게이트 전압 차이는 0.4 V (전자장의 세기 차이 $\sim 0.7 \text{ MV}/\text{cm}$)이며 2차 스트레스와 1차 스트레스의 SILC 차이는 $6 \text{ MV}/\text{cm}$ 의 전자장에서의 세기에서 $\sim 3 \text{ nA}/\text{cm}^2$ 이었다. 이로써 비록 1차 소둔에 의하여 트랩에 포획된 정공이 대부분 전자에 의하여 채워져 열화가 회복되어 SILC 특성이 없는 듯 관측되었을지라도, 2차 스트레스를 인가하게 되면 완전 회복되지 않은 트랩에 포획된 정공 또는 중성 트랩과 새롭게 생성된 트랩에 의하여 더 많은 열화현상이 나타나게 되는 것으로 사료된다 [4].

그림 4는 고주파수 ($f = 1 \text{ MHz}$)에서 측정된 열화된 캐패시터의 C-V 특성이다. 1차 스트레스에 의하여 열화되지 않은 기준 캐패시터의 C-V 특성보다 V_g 가 원쪽 (음의 방향)으로 평행 이동한 것으로 보아 스트레스에 의하여 양전하가 산화막 내에 축적되었음을 알 수 있다.

특성 곡선의 기울기는 그다지 변화되지 않은 것으로 보아 Si/SiO₂ 계면에 의한 전하는 두드러지지 않은 것으로 보인다. 1차 스트레스 후 소둔을 한 시료의 특성은 기준 캐패시터의 그것과 동일함을 보이고 있어 SILC 측정에서와 같이 소둔에 의하여 열화가 거의 회복되었음을 알 수 있다. 소둔 후 2차 스트레스를 인가하게 되면

C-V 곡선은 더욱 음의 방향으로 평행이동 함으로 보아 산화막 내에 트랩에 더 많은 정공이 존재하게 됨을 알 수 있다. 또한, 기울기 역시 그다지 변화되지 않았다.

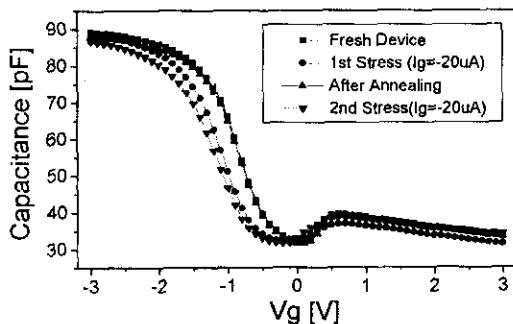


그림 4. 1 MHz에서 측정한 C-V 특성

스트레스를 받고 소둔이 되어 회복된 산화막과 스트레스를 전혀 받지 않은 산화막의 C-V 측정 결과로는 그 변화가 크지 않아 더 측정 감도가 우수한 charge pumping 방법을 이용하여 스트레스 및 소둔 효과를 관찰하고자 하였다. 그럼 5는 스트레스 전 시료와 스트레스 후 및 열처리 후, 2차 스트레스 후의 charge pumping에 의한 계면 부근의 정공을 상쇄하기 위한 소오스 드레인으로부터 유입된 전류량을 측정한 Icp 측정 결과이다.

먼저, 스트레스를 받지 않은 기준 캐패시터로 부터 측정한 Icp는 거의 측정되지 않았다. 이는 계면 전하가 존재하지 않음을 시사한다. 1차 스트레스를 인가한 후 측정하면, Icp는 증가하며 최대 40 pA이 측정되었으며 그 피크때의 Vbase = 1.2 V 이었다. 이 후 300 °C에서 30분간 소둔을 하면 Icp 최대치는 7.1 pA를 보이며 그때의 Vbase = 1.3 V이었다. 이 시료에 다시 2차 스트레스를 인가한 후의 Icp = 120 pA로 더욱 증가하며 이때의 Vbase = 1.15 V 이었다. Icp의 증가는 계면에 축적된 트랩의 양이 증가하였다는 증거이며 Vbase의 감소, 즉 음의 방향으로 감소하는 것은 트랩에 존재하는 전하가 net 양전하라는 것을 의미한다. Charge pumping에 의해 측정된 Icp 값으로부터 트랩에 존재하는 양전하의 농도를 계산하였다. 전하가 실리콘 계면에 고르게 분포되어 있다고 가정하면

$$I_{cp} = q \cdot D_t \cdot f \cdot E_g \cdot A \quad (\text{식 : 1})$$

의 관계를 가진다. D_t , f , E_g , A 는 계면 트랩의 농도, 측정 주파수, 실리콘의 밴드갭, 소자의 면적을 의미한다. 이로부터 $D_t = 4.6 \times 10^7 / cm^2 \cdot eV$ 을 얻었으며 본 실험에서의 스트레스에 의해 발생된 계면 트랩 농도가 매우 낮음을 알려준다. 이 계면전하에 ΔV_{FB} , ΔV_{th} 를

$$\Delta V_{FB} = -\frac{Q}{C_{ox}} \quad (\text{식 : 2})$$

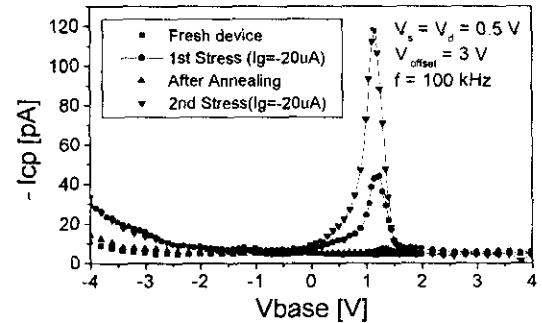


그림 5 : Charge pumping에 의한 Icp 측정 결과

관계로 부터 $\Delta V_{FB} = 7.6 \times 10^{-6} \text{ Volt}$ 를 얻기 때문에 이 전하들은 ΔV_{FB} , ΔV_{th} 에 영향을 미치지 못함을 알 수 있다.

문턱전압의 변화가 실리콘 계면전하에 의한 것이 아님을 Icp 측정에 의하여 알 수 있었기에 산화막 내에 존재하는 전공이 포획된 트랩 밀도를 Yasuda 등이 제안한 two-step 모형에 의하여 예측해 보았다 [2]. 이 모형은 SILC 가 강전계에 의해 발생된 산화막내의 트랩을 통한 전류에 의한 것으로 트랩은 산화막의 중간에 Gaussian 형태로 위치한다고 계산하였다. 이들이 제시한 모형을 사용하여 그림 1의 결과로 측정된 문턱전압 변화를

$$\Delta V_{th} = \frac{N_T d}{\varepsilon_{ox}} \left(1 - \frac{\bar{x}}{d_{ox}} \right) \quad (\text{식 : 3})$$

의 관계에 의하여 트랩밀도 N_T 를 계산하면 1, 2차 스트레스에 의해 각각 1.1×10^{19} , $1.5 \times 10^{19} (/cm^3)$ 의 트랩이 생성됨을 알 수 있다.

열처리 온도에 따라 SILC 특성이 어떠한 영향을 받는지 살펴보았다. 실험 조건은 $-20 \mu\text{A}$ 의 진류 스트레스를 10초간 인가하고 30분간의 같은 소둔 시간에 소둔 온도만 변화시켰다. Icp 측정 결과 200°C에서의 열처리하면 12 pA를 보여 300°C의 경우에 비해 2배 이상의 계면전하가 존재함을 보여주었다. 이 결과는 낮은 온도에서의 열처리 후 SILC 전류가 스트레스를 받지 않은 시료에 비해 증가한 결과에 의하여도 일증되었다. 200°C에서의 열처리는 300°C에 비해 완전 회복되지 않는다는 실험 결과는 타 연구의 결과와 동일하였다 [6].

그림 3의 열처리 온도 후의 SILC 특성 결과를 FN tunneling 관계식

$$J_s = A \cdot E_{ox}^2 \cdot e^{\frac{-B}{E_{ox}}} : B = \frac{8\pi\sqrt{2m^*}}{3hq} \phi_b^{3/2} \quad (\text{식 : 4})$$

에 의하여 그림 6에 plot 하여 보았다. 스트레스를 받지 않은 기준 캐패시터와 소둔 후의 기울기는 고 전기장

(>7 MV/cm)에서 동일한 한 개의 기울기 (curve 1)를 보임으로 보아 SILC 발생 원인이 한 mechanism이 의한 것으로 나타나며 이는 FN tunneling임을 알 수 있다. 스트레스가 인가된 시료들의 경우 비록 1,2 차 스트레스에 의해 전류의 값은 차이가 있더라도 J_s/E_{ox}^2 대 $1/E_{ox}$ 함수가 두 개의 기울기를 갖는다는 것을 확인할 수 있다. 또한 고 전기장 영역에서는 FN tunneling에 의한 곡선 (curve 1)과 동일하지만 저 전기장 영역에서는 다른 mechanism에 의해 지배를 받는다는 것을 의미한다. Curve 1에 대하여 식 4로부터 그 기울기로부터 ϕ_b 를 계산한 결과, 3.27 eV를 얻었다. 이 값은 산화막의 장벽 에너지이며, curve 2, 3에 대해서는 그 기울기가 작은 것으로 보아 산화막 장벽이 작아 적음을 알 수 있고 이는 트랩에 의한 것임을 알 수 있다. Curve 2, 3의 기울기로부터 식 4를 이용하면 가시적 장벽에너지 $\phi_b = 1.21$ eV를 구할 수 있다.

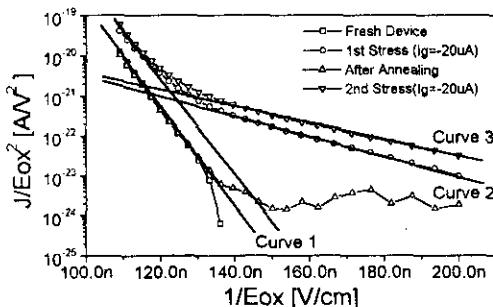


그림 6. SILC 결과의 Fowler-Nordheim plot

IV. 결 론

습식산화에 의해 제작된 6 nm 두께의 산화막과 다결정 실리콘 게이트 전극을 갖는 MOS 트랜지스터와 캐페시터 시료를 제작하여 정전류 -10 ~ -30 μ A를 게이트 전극에 흘려주어 전류 스트레스를 가한 후 스트레스에 의한 누설전류 특성을 조사하였다. 스트레스가 가해진 시료는 스트레스 양이 증가함에 따라 문턱전압이 점차 감소하다가 다시 증가하는 경향을 보였다. 스트레스가 인가된 후 누설전류를 측정하면 스트레스에 의해 누설전류가 증가하는 전형적 SILC 특성을 나타내었다.

스트레스를 1차 인가한 후 300 °C에서 소둔한 시료는 C-V 측정과 SILC 특성 특성에서 모두 스트레스가 인가되지 않은 표준 시료와 거의 동일한 결과를 보이고 있으나, 다시 2차 스트레스를 가하여 주면 누설전류가 1차 때보다 더욱 증가하고 평탄 벤드 전압도 더욱 감소하였다. 스트레스에 의해 문턱전압이 감소한 것은 스트레스에 의해 산화막 내에 트랩이 발생하고 이 트랩에 정공이

포획되어 나타나는 것이며, 간단한 모형에 의하여 이 양을 추정하면 약 $1.1 - 1.5 \times 10^{19}/\text{cm}^2$ 이며 산화막 중간에 위치한다고 제시하였다. 스트레스가 인가된 시료의 I_{sp} 는 1차 스트레스 때보다도 2차 스트레스에 의해 계면에 양전하가 더욱 축적됨을 알았다. 소둔한 시료의 I_{sp} 는 스트레스를 받지 않은 기준 시료와 거의 동일하였다. I_{sp} 로부터 2차 스트레스에 의해 발생된 계면전하 밀도를 계산한 결과, $D_s = 2.5 \times 10^7 / \text{cm}^2 \cdot \text{eV}$ 를 얻었으며 이 값은 문턱전압에는 영향을 미치지 못하는 작은 값으로 산화막 내에 존재하는 것이 아니라 계면에만 존재함을 알았다.

V. 참고문헌

- [1] R. Mozzani and C. Hu, Tech Dig IEDM, p139, 1992
- [2] N. Yasuda, N. Patel, A. Toriumi, Extended Abst. Int. Conf. SSDM, p847, 1993
- [3] K. Naruke, S. Taguchi, and M. Wada, Tech. Dig. IEDM, p424, 1988
- [4] Reza Rofan and Chenming Hu, IEEE Electron Dev. Lett., 12(11) p632 (1991)
- [5] Joseph C. King and C. Hu, IEEE Electron Dev. Lett., 15(11), p475, 1994
- [6] C. Chabreuil, et al. Proc. of the 26th European Solid State Device Research Conference, 851, 9/9/1996