

소자열화로 인한 Static 형 입력버퍼의 성능저하

김한기, 윤병오, 김세환, 홍성희*, 유종근, 박종태

인천대학교 전자공학과, 402-749, 인천광역시 남구 도화동 177 번지

*여주대학 사무자동화과

Tel.032-770-8445, Fax.032-765-2371, g981711@lion.inchon.ac.kr

The Performance Degradation of Static Type Input Buffers due to Device Degradation

Han G. Kim, Byung O. Yun, Seo H. Kim, Sung H. Hong, Jong G. Yu, Jong T. Park

Univ. of Inchon, Electronic Eng., 177 Tohwa-dong Nam-gu, 402-749, Korea

*Yeojooh Institute of Technology, Dept. of Office Automation

Abstract

This paper describes a performance degradation of static type input buffer due to the device degradation in memory devices using 0.8 μm CMOS process. Experimental results shows that the degradation of MOS device affects the Trip Point shift in static type input buffer. We have performed the spice simulation and calculated the Trip Point with model parameter and measurement data so that how much the Trip Point(V_{tr}) variate.

I. 서 론

소자열화 현상에 의한 MOS 소자의 특성저하에는 문턱전압, 드레인 전류, transconductance(G_m), 게이트-드레인 커패시턴스 변화등이다. 이런 특성저하로 ring oscillator를 비롯한 간단한 디지털 논리게이트의 전달지연시간의 저하와 CMOS 증폭회로의 이득과 offset 전압변화등에 관한 연구가 진행되어 왔다[1-4]. 또한 최근에는 소자열화로 인한 DRAM 주변회로의 성능저하에 관한 연구가 발표되었다[5,6].

본 연구에서는 0.8 μm CMOS 공정을 이용하여 외부의 TTL 신호를 DRAM 내부의 CMOS 레벨로 전환해주는 static 형 입력버퍼를 설계·제작하였고, 소자열화로

인한 static 형 입력버퍼의 성능저하를 정량적으로 분석하였다.

Static 형 입력버퍼의 성능저하로 Trip point 변화를 위주로 분석하였고, 회로가 열화되는 동안 가장 많이 열화되는 소자의 DC 특성 열화를 측정·분석하였으며 model parameter 와 측정된 데이터를 가지고 Trip point 변화를 정량적으로 분석하였다. 그리고 spice simulation으로 변화되는 정도를 확인하였다.

II. 회로 설계

본 연구에 사용된 static 형 입력버퍼 회로는 0.8 μm 설계규칙을 이용한 2-metal CMOS 공정으로 제작하였다. 게이트 산화층 두께는 175 Å이고, 일반적인 LDD 공정이다. 그림 1은 0.8 μm CMOS 공정으로 제작된 static 형 입력버퍼 회로도이다.

DRAM 설계시 외부로부터의 입력신호는 TTL 레벨이라고 가정하고 설계하기 때문에 이 TTL 레벨을 DRAM 내부의 CMOS 레벨로 전환해주는 버퍼가 필요하다. 외부의 신호가 High(H) 인지 Low(L) 인지를 감지하는 가장 간단한 회로는 CMOS Inverter를 들 수 있고, 보통 1.4V 근방에 Trip point(V_{tr})를 설정한다^[7]. Static 형 입력버퍼가 'H' 나 'L'을 유지하기 위해서는 출력노드가

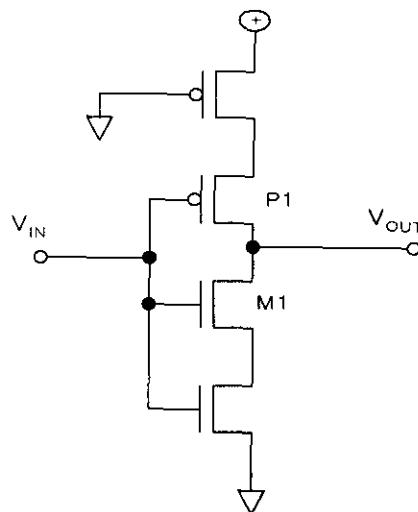


그림 1. $0.8 \mu\text{m}$ CMOS 공정을 이용한 static 형
입력버퍼 회로도.

VCC나 VSS 중 어느 한곳에 항상 연결되어 있어야 하기 때문에 Static Address Buffer라 부른다. 그런데 이 static 형 입력버퍼의 입력전압이 $V_{TN} < V_{IN} < V_{CC} - V_{TP}$ 내에 있기 때문에 VCC로부터 GND 까지 Direct Current Path가 존재하여 버퍼회로에 DC 전류가 흐르게 되어 전력소모가 발생한다. 메모리용량이 증가하여 Address Pin의 개수가 증가하면 버퍼자체에서 소모하는 전력소모도 무시할 수 없을 만큼 증가한다. Static 형 입력버퍼의 Trip point는 다음과 같이 주어진다.

$$V_{LT} = \frac{V_{TN} + (V_{CC} - |V_{TP}|) \sqrt{\frac{\beta_P}{\beta_N}}}{1 + \sqrt{\frac{\beta_P}{\beta_N}}} \quad \text{식(1)}$$

그런데 회로가 장시간동안 동작하게 되면 NMOS의 소자열화로 인하여 문턱전압과 Gm 값이 변하게 되고 결국 Trip point 변화를 초래하게 된다. 그림 1에서 만 들어진 회로의 과정이 정상적으로 나오는지 확인하기 위해 그림 2와 같이 spice simulation으로 확인하였다.

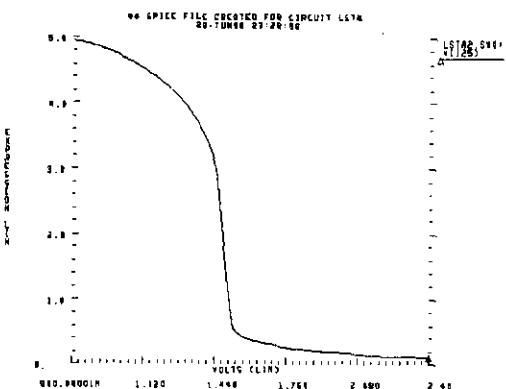


그림 2. static 형 입력버퍼의 spice 출력파형.

III. Static 형 입력버퍼의 성능저하

그림 3은 그림 1에서 제작한 static 형 입력버퍼의 입출력파형을 나타낸 것이다.

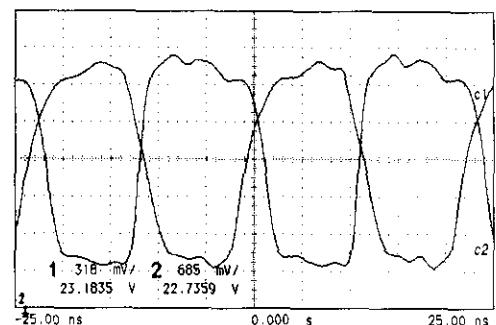


그림 3. static 형 입력버퍼의 입출력파형

전압이 spice simulation 값과 다소 차이가 있지만 회로의 성능저하를 분석하는 데는 별 문제가 없을 것으로 생각되며 실제 출력파형과 simulation 출력파형이 거의 비슷하게 나왔다.

회로의 성능저하를 측정하기 위해 정상동작전압보다 높은 전압을 회로에 인가하였다. 스트레스인가전압은 7V이고, 스트레스 시간은 24 시간이다.

그림 4는 스트레스 전후의 static 형 입력버퍼의 출

력파형을 나타낸 것이다. 그림에서 보듯이 스트레스 후의 Trip point 변화를 확인할 수 있다.

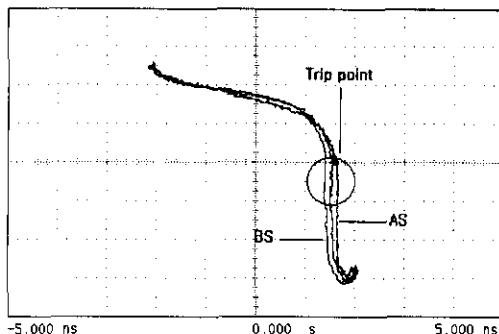


그림 4. 스트레스 전후의 static형 입력버퍼의 출력파형

이와 같이 스트레스 후 Trip point 가 변한 것은 NMOS 의 소자열화에 의한 것이고, NMOS 가 DAHC(Drain Avalanche Hot Carrier)조건에 의해 열화되며 그 결과로 NMOS 의 문턱전압과 G_m 값이 변한 것을 확인하였다.

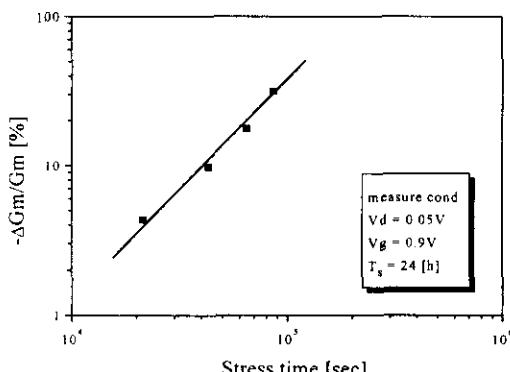


그림 5. 스트레스 시간에 따른 NMOS 소자의 G_m 변화량

그림 5는 스트레스 시간에 따른 NMOS 소자의 G_m 변화량을 나타낸 것이다. 스트레스 시간이 증가할수록 G_m 값의 변화가 멱급수에 비례하면서 점점 커지는 것을 볼 수 있다. 이것은 NMOS 가 DAHC 조건에 의해 열화되면서 전자가 드레인 근처의 SiO_2 층으로 Trap 이 많이 발생하면서 NMOS 의 이동도(μ_n)가 급격히 감소하였기

때문이다. 이런 결과로 NMOS 의 문턱전압도 약 2.2mV 정도 증가된 것을 확인할 수 있었다. 그림 6은 스트레스 시간에 따른 NMOS 의 문턱전압변화를 나타낸 것이다.

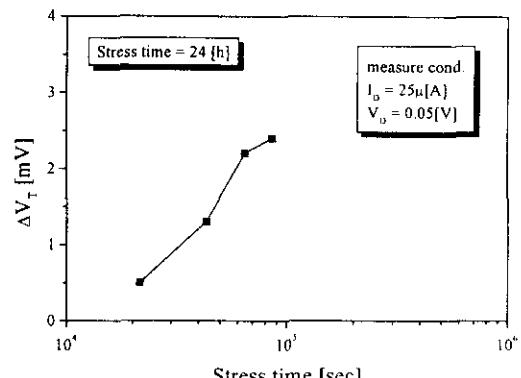


그림 6. 스트레스 시간에 따른 NMOS 의 V_t 변화

IV. 결과 고찰

앞에서 스트레스 후 static형 입력버퍼의 Trip point가 변하는 것을 확인하였다. 이런 변화의 원인은 NMOS 소자열화에 의한 것으로 확인되었다. 여기서 우리는 좀더 자세하게 분석하기 위하여 스트레스 시간에 따라 측정된 G_m 값과 V_t 변화를 이용하여 식(1) 공식에 대입하여 Trip point 를 계산해 보았다. 표 1은 스트레스 시간에 따른 Trip point 변화를 정량적으로 나타낸 것이다.

표 1. 스트레스 시간에 따른 Trip point 변화량

T[s]	0[h]	6[h]	12[h]	18[h]	24[h]
V_{tT}	1.544	1.558	1.576	1.605	1.668
ΔV_{tT}	0	0.014	0.032	0.061	0.124

그리고 level=13 model parameter 를 이용하여 Trip point 를 계산한 결과 측정하여 계산한 결과와 거의 같게 나온 것을 확인하였다.(단, PMOS 는 특성이 거의 변하지 않았다고 가정한다.) 그림 7은 스트레스 시간에 따른 Trip point 변화를 정량적으로 나타낸 그림이다.

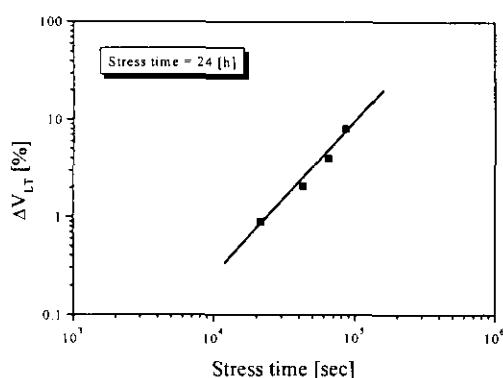


그림 7. 스트레스 시간에 따른 Trip point 변화

V. 결론

소자열화 현상으로 인한 static 형 입력버퍼의 성능 저하를 측정 분석하였다. 스트레스 전후의 출력과형을 통해 Trip point 변화를 확인하였고, NMOS 소자의 특성저하를 확인하였다. Spice simulation을 통해 시간에 따른 Trip point 가변하는 것을 확인하였다. 메모리 용량이 증가하면서 Static Address Pin의 개수가 증가하게 되면 회로의 성능저하가 메모리 동작에 많은 영향을 미칠 것으로 사료되기 때문에 이를 정확히 분석하여 사용해야 할 것이다.

참고문헌

- [1] Peter. M Lee et al, "Application of Circuit Level Hot Carrier Reliability Simulation to Memory Design" Proc. of CICC'97, pp. 27-30, 1997
- [2] Jong T. Park et al, "Hot Carrier 현상에 의한 Folded-Cascode CMOS Op-Amp의 성능저하", 대한 전자공학회, pp. 39-45, 1997
- [3] The Impact of NMOSFET Hot-Carrier Degradation on CMOS Analog Subcircuit Performance", IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL.30, NO.3, JUNE 1995
- [4] R.Thewes et al, "Hot-Carrier Degradation of p-MOSFET's in Analog Operation : The Relevance of the Channel-Length-Independent Drain Conductance Degradation", IEDM, pp. 531-534, 1992
- [5] Yoon J. Huh et al, "Hot-Carrier-Induced Circuit Degradation In Acthal DRAM", IEEE, pp. 72-75, 1995
- [6] C. Duyvuru et al, "IMPACT OF HOT CARRIER ON DRAM CIRCUIT", IEEE/IRPS, pp. 201-206, 1987
- [7] 유희준, "DRAM DESIGN", IDEC 교재개발 시리즈 1, pp. 129-134, 1996