

NMOSFET SOI 소자에서 부분적 게이트 산화막 두께 변화에 의한 돌연 전류 효과 고찰

한 명석¹, 이 충근², 홍 신남²

¹대전대학, ²한국항공대학교

Tel : '0452)939-3085, '02)3158-5895 Fax : 02)3159-9257

E-mail : 'mshan@www.dcc.ac.kr, 'cklee@eeabyss.av.hangkong.ac.kr, 'hong@mail.hangkong.ac.kr

A Study on the Current Kink Effect in NMOSFET SOI Device with the Varying Gate Oxide Thickness

Myoung-Seok Han¹, Chung-Keun Lee², Shin-Nam Hong²

¹Dept. of Elec. Eng., Daechon College, ²Dept. of Avionics, Hankuk Aviation Univ.

Tel : '0452)939-3085, '02)3158-5895 Fax : 02)3159-9257

E-mail : 'mshan@www.dcc.ac.kr, 'cklee@eeabyss.av.hangkong.ac.kr, 'hong@mail.hangkong.ac.kr

Abstract

Thin film SOI(Silicon-On-Insulator) devices exhibit floating body effect. In this paper, SOI NMOSFET is proposed to solve this problem. Some part of gate oxide was considered to be 30nm~80nm thicker than the other normal gate oxide and simulated with TSUPREM-4. The I-V characteristics were simulated with 2D MEDICI mesh. Since part of gate oxide has different oxide thickness in proposed device, the gate electric field strength is not the same throughout the gate and consequently the reduction of current kink effect is occurred.

1. 서론

CMOS/SOI 기술은 실리콘 기판을 이용하여 제작되는 ULSI(Ultra Large Scale Integration)급의 집적도 소자에서 발생하는 짧은 채널 효과, 래치-업(latch-up), α -입자로부터의 데이터 손실, 누설전류, 저전력 소자 개발 등에서 발생하는 현상들을 제거하는 방법으로 제안되고 있는데, 이 기술을 이용하면 일반적인 CMOS

회로 및 소자에서 요구되는 사항과 발생하는 문제의 해결은 가능하나[1], 현재 SOI 기판 제조의 어려움과 개별 소자가 동작할 때 돌연 전류 효과(current kink effect)와 early breakdown과 같은 floating body effect의 문제점을 지니고 있고, 이를 제거하기 위해 많은 연구가 진행 중이다[2][3]. 일반적으로 실리온 박막이 완전히 공핍된 FD SOI 소자는 부분적으로 공핍된 PD SOI 소자보다 floating body effect를 감소시키는 결과를 얻을 수 있다[4][5].

본 논문에서는 SOI 소자에서 발생하는 floating body effect를 감소시키기 위한 방법을 고안하여 일반적인 방법으로 구성된 SOI 소자와 제한한 소자를 2D MEDICI 시뮬레이션을 수행한 후 비교, 검토하였다. 이에 대한 결과로는 소자의 I-V 특성과 이에 따른 충격 이온화 양의 측정 등을 살펴보았으며, 이 충격 이온화 전류(impact ionization current)양과 돌연 전류 효과의 발생 관계를 게이트 산화막 두께의 변화에 따라 고찰하여 본 결과 제안된 소자의 경우 충격 이온화 전류양 생성 기운기를 일반적인 SOI 구조의 소자보다 감소시켜 돌연 전류 효과를 줄이는 결과를 나타내었다.

II. 기존 소자 및 제안된 소자 비교

본 연구에서는 SOI 소자의 단점인 floating body effect를 감소시키기 위해 일반적으로 사용되는 SOI 구조에 습식 산화 과정을 수행하여 [그림 2(b)]와 같은 형태의 게이트 산화층을 구성하였다. 제안된 구조를 갖는 소자 제작 공정 흐름도는 [그림 1]과 같다.

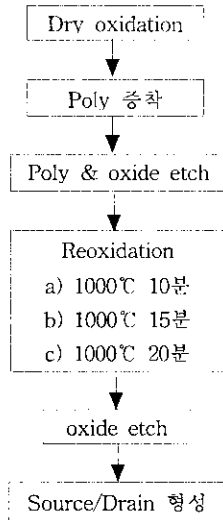


그림 1. 제안된 소자의 주요 공정 흐름도

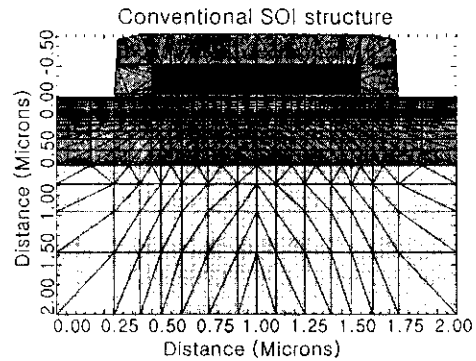
Fig. 1. Main process flow chart of proposed device

[그림 1]의 습식 산화 과정을 수행하면 부분적으로 약 70nm~110nm로 게이트 산화막을 두껍게 할 수 있어 [6] 제안된 형태의 소자를 제작할 수 있다. 본 논문에서는 제안된 소자와 일반적인 소자에 대해 [표 1]과 같이 공정 변수를 두어 TSUPREM-4로 시뮬레이션 하였으며, 이 결과를 가지고 [그림 2]와 같이 2D MEDICI mesh를 구성하여 I-V 특성 시뮬레이션을 하였다. 이때 이용된 모델은 충격 이온화 전류를 측정하기 위한 impact.i 모델 이외에 불순물의 농도에 따라 반송자 이동도를 변화시키는 conmob, 수평전계 요소를 이용하는 fldmob model, consrh, auger, bgn, prpmob 모델을 이용하였다. 이 제안된 구조에서는 게이트 전계를 부분적으로 감소시킬 수 있어 충격 이온화 전류, 즉 정공 전류 분포에 변화가 있게 된다.

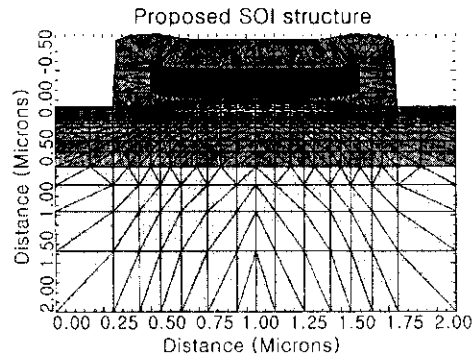
표 1. 공정 변수 비교

Table 1. Comparison of processing parameter

소자형태 소자변수	일반적인 SOI소자	제안된 SOI 소자 (두꺼운 부분)
게이트산화층 두께	30nm로 일정	a) $T_{ox}=70nm$ b) $T_{ox}=90nm$ c) $T_{ox}=110nm$
필름 두께	0.2 μm	
S/D이온주입	As, $4 \times 10^{15} cm^{-2}$	
게이트 길이	1 μm	



(a)



(b)

그림 2. SOI NMOSFET 소자 구조

(a) 일반적인 구조

(b) 제안된 구조 ($T_{ox(thick)}=90nm$)

Fig. 2. SOI NMOSFET device structure

(a) Conventional structure

(b) Proposed structure ($T_{ox(thick)}=90nm$)

III. 돌연 전류 효과 시뮬레이션 및 분석

제안된 소자에 대해서 일반적으로 벌크(bulk) MOSFET에 이용되는 (1)과 (2)식에 적용하면, 제안된 소자의 T_{ox} (게이트 산화층 두께)가 부분적으로 두껍기 때문에 채널 영역에서 부분적으로 일정한 V_d 에 대해 E_m 의 값이 감소하게 된다. 이 결과를 식(2)에 대입하면 I_{sub} 생성 양이 감소하게 되어 돌연 전류 효과를 발생시키는 요소를 감소시킬 수 있어 소자가 보다 안정적으로 동작시킬 수 있게 된다.

본 논문에서는 이 내용을 가지고 [그림 1]의 공정에 따라 부분적으로 게이트 산화층 두께를 변화시켰다. 이에 대한 충격 이온화 전류를 [그림 3]에 나타내었다.

$$E_m = (V_d - V_{sat}) / 2(T_{ox} X_j)^{1/2} \quad \text{--- (1)}$$

$$I_{sub} = 2I_{ds} \exp(-1.7 \times 10^6 / E_m) \quad \text{--- (2)}$$

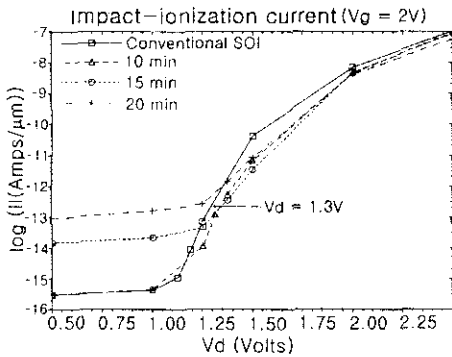


그림 3. Reoxidation 시간에 따른 충격 이온화 전류 곡선 ($V_g=2V$)
 Fig. 3. Impact ionization current for reoxidation time ($V_g=2V$)

이 결과를 보면 부분적으로 게이트 산화층이 두꺼울수록 충격 이온화 전류의 생성 기울기는 줄어드는 것을 알 수 있고, 이를 통하여 부분적 산화층 두께 변화를 이용하면 돌연 전류 효과를 감소시킬 수 있다. 즉, 부분적 게이트 산화층 두께가 두꺼울수록 충격 이온화 전류 생성 기울기가 작아 돌연 전류 효과는 확실히 감소되리라 예상되며 게이트 전압 2V, 드레인 전압 1.3V 부근에서 일반 SOI 소자는 제안된 소자보다 충

격 이온화 전류 기울기가 급격하기 때문에 돌연 전류 효과가 발생된다. 동일한 전압에 대해 제안된 소자는 드레인 전압 변화에 따른 충격 이온화 전류 생성 기울기가 일반적인 구조의 SOI 소자보다 작으므로 돌연 전류 효과는 감소된다. 이 결과를 가지고 소오스-드레인 영역의 실리콘 두께(접합깊이)를 고려하여 재산화 과정을 15분간 수행한 제안된 소자와 일반적인 소자의 I-V 특성을 [그림 4]에 나타내었다. 일반적인 SOI 소자의 경우 돌연 전류 효과가 보다 현격히 발생함을 알 수 있다. 이 현상은 [그림 3]의 충격 이온화 전류 곡선에서 기울기가 급격히 증가하는 드레인 전압 1.3V에서 발생된다. 이를 통하여 돌연 전류 효과는 충격 이온화 전류량과 기울기에 밀접한 관계를 가짐을 알 수 있다.

충격 이온화가 작은 경우에는 발생된 반송자들은 바디(body)안에서 재결합을 통해 소멸되지만 많은 양의 반송자가 급격히 생성되면 일부는 필름 안에서 재결합을 하며 나머지는 전계를 따라서 소오스 쪽으로 움직이고 전위 우물에 축적된다. 이것은 표면 뒤의 소오스 근처에 나타나고 그 결과 게이트와 드레인에 바이어스가 걸리게 되고 문턱전압의 감소로 인해 드레인 전류가 증가하여 특정한 드레인 전압에의 출력 특성에서 돌연 전류 현상을 제공한다. 즉, SOI 소자에서 돌연 전류 효과를 발생시키는 주요한 원인은 충격 이온화에 의해 생긴 반송자들의 급격한 증가라 할 수 있고, 따라서 제안된 구조는 돌연 전류 효과를 줄일 수 있는 효과를 나타내는 소자라는 평가가 가능하다.

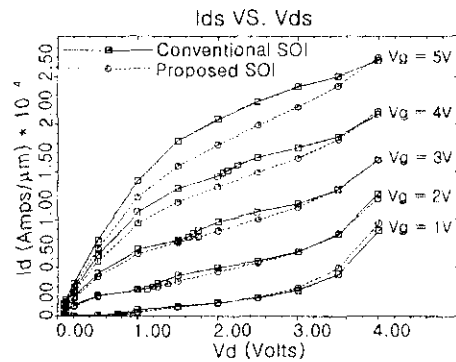


그림 4. SOI 소자의 I-V 특성
 Fig. 4. I-V Characteristics of SOI devices

SOI 소자의 경우 문턱전압 이하(subthreshold)의 기울기가 개선되는 것이 SOI 소자의 장점으로 알려져 있는데 본 연구에서 제시한 SOI 소자에 대해서 보면 일반적인 소자의 경우 문턱전압 이하 기울기가 106.6 mV/dec이며 제안된 SOI 소자의 경우 107.1mV/dec로 거의 비슷한 특성을 나타내고 있다. 또한 임계 전압은 $V_T=0.93V$ 로 같았다. 부가적으로 제안된 소자를 가지고 회로를 구성하면 소오스와 드레인 영역의 C_{gd} 를 감소시킬 수 있어 구현된 회로의 동작 속도 또한 향상시킬 수 있다.

IV. 결 론

돌연 전류 효과는 충격 이온화 전류인 정공 전류와 밀접한 관계를 갖는데, 많은 양의 반송자가 급격히 생성되어 정공 전류 생성 기울기가 크면 생성 반송자 일부는 필름 안에서 재결합을 하지만 나머지는 전계를 따라서 소오스 쪽으로 이동하고 전위 우물에 축적되어 돌연 전류 효과를 발생시킨다. 본 논문에서 제안한 소자는 게이트 전계 감소 효과가 발생하여 충격 이온의 재결합율을 높였다고 할 수 있다. 따라서 제안된 소자의 경우 충격 이온화 전류량 생성 기울기를 일반적인 SOI 구조의 소자보다 감소시켜 일반적인 소자에서 발생된 돌연 전류 효과를 제안된 소자에서는 감소시키는 결과를 나타내었다.

참 고 문 헌

- [1] P. K. Vasudev, "Ultrathin SOI for high speed submicrometer CMOS technology," Solid State Technol., pp. 61-65, 1990.
- [2] J. Stocmenos, A. Garcia, B. Aspar, and J. Margail, "Silicon-on-Insulator Obtained by Dose Oxygen Implantation, Microstructure, and Formation Mechanism," J. Electrochem. Soc., Vol. 142, No. 4, pp. 1248-1260, April 1995.
- [3] M.shimbo, k. Furukawa, K. Fukuda, and K. Tanzawa, "Silicon-on-Silicon direct bonding method," J. Appl. Phys. 60(8), 15, Oct., pp. 2987-2989, 1986.
- [4] O. Faynot and B. Giffard, "High Performance of

Ultrathin SOI MOSFET's Obtained by Localized Oxidation," IEEE Electron Devices Letter, vol. 15, No. 5, pp. 175-177, 1993.

- [5] Masun Chan, Fariborz Assderaghi, Stephen A. Parke, et-al, "Recessed-Channel Structure for Fabricating Ultrathin SOI MOSFET with Low Series Resistance," IEEE Electron Device Letters, vol. 15, No. 1, pp. 22-24, 1994.
- [6] K. Kurimoto, S. Odanaka, "T-gate Overlapped LDD Device with High Circuit Performance and High Reliability," IEDM91, pp. 541-544, 1991.