

# 오프셋 전압을 이용한 CMOS 연산 증폭기의 새로운 테스트 기법

한석봉, °윤원효, 김윤도, 송근호, 이효상  
 경상대학교 전자공학과  
 E-MAIL : whyoun@vlsi.gsnu.ac.kr

## Novel Testing Method of CMOS Operation Amplifier using Offset Voltage

S. B. Han, °W. H. Yun, Y. D. Kim, G. H. Song, H. S. Lee  
 Dept. of Electronic Eng. Gyeongsang National Univ.  
 E-MAIL : whyoun@vlsi.gsnu.ac.kr

### Abstract

In this paper, a novel test method is proposed to detect hard and soft fault in CMOS operational amplifiers. Proposed test method mark use of the offset character, which is one of the op-amps characteristics. During the test mode, CUT is implemented to unit gain op-amps with feedback loop. When the input is grounded, a good circuit has a small offset voltage, but a faulty circuit has a large offset voltage exceeding predefined range of tolerance. Using the proposed method, no test vector is required to be applied. Therefore the test vector generation problem is eliminated and the test time is reduced. The accuracy and effectiveness of the method is verified through HSPICE simulation.

### 1. 서론

현재 전자 산업에서는 컴퓨터, 통신, 오디오, 그래픽 등의 디지털 부분과 아날로그 부분을 혼합한 혼성 모드 집적 회로 (mixed-mode IC) 설계가 증가 추세에 있다. 또한 설계기술과 공정기술의 발달로 인해 더 많은 회로의 집적이 가능해짐에 따라 칩을 테스트하는 것은 점점 더 어려워지고 있으며 테스트에 소요되는 비용도 증가하고 있다. 혼성 모드 칩이나 아날로그 회로의 테스트는 논리값의 테스트 패턴을 이용하는 디지털 회로 테스트와는 달리 정해진 테스트 패턴값이 존재하지 않고, 출력에서 관측이 용이하지 않으므로 매우 어렵다. 따라

서 높은 신뢰도(reliability)를 위한 효과적인 아날로그 회로의 테스트는 중요한 문제로 대두되고 있다. 일반적으로 아날로그 회로에서 가장 널리 사용되고 있는 디바이스는 연산 증폭기(Op-Amp)이므로 증폭기에 존재하는 고장들을 효과적으로 검출할 수 있다면 아날로그 회로를 쉽게 테스트할 수 있다[1].

연산 증폭기 회로에 대한 고장 모델링은 강고장(hard 또는 catastrophic fault)과 약고장(soft 또는 parametric fault)으로 분류한다. 강고장은 먼지 입자, 실리콘, 금속 등의 랜덤 결함(random defect)에 의해서 발생되므로 노드의 단락(short)이나 개방(open)을 일으켜 회로의 오동작을 유발시킨다. 하나의 트랜지스터에서 발생 가능한 강고장은 드레인-소스, 드레인-게이트, 게이트-소스 단락 고장과 드레인, 게이트, 소스 개방고장이 있다. 약고장은 제조 공정에서 환경에 따른 공정의 통계적 변동으로 발생하고, 이로 인해 회로의 오동작보다는 성능(performance)에 영향을 미친다. 트랜지스터의 문턱전압( $V_{th}$ )이나 채널 폭-길이 비(W/L ratio) 등과 같은 변동이 이에 속한다. 연산 증폭기에서 거의 80~90%가 강고장이며 나머지는 약고장이다[2][3].

기존의 연산 증폭기 회로 테스트 방법으로 가장 일반적인 테스트 방법은 사양 테스트(specification test) 방법이다. 이 방법은 모든 설계 사양에 대해서 가능한 모든 입력을 인가하여 테스트하므로 매우 광범위하다. 또한 많은 테스트 시간과 설계 사양에 따른 적절한 테스트 장비가 필요하므로 테스트 비용이 많이 든다. 연산 증폭기 공급원 제어(power-supply control) 방법[4],[5]은 CUT의 공급 전원을 변동해야하므로 회로를 구현하는데 문제점이 있다.  $I_{DDQ}$  테스트 방법[6],[7]은 CUT에 흐르는 전류를 전류 감지기로 측정하는 방법이다. 그

그러나 이 방법은 전류 감지기가 포함되므로 회로의 수행 능력이 저하되고, 고장 검출율이 낮다. DC 전압 테스트(DC voltage test) 방법[8]-[11]은 정상 상태 출력값과 고장 상태 출력값의 차가 출력에서 최대로 발생하도록 DC 입력 신호를 인가하여 DC 출력 전압을 관찰하는 테스트 방법이다. 그러나 고장 검출율이 약 80% 정도이며, 콘덴서 소자의 고장은 검출이 불가능하다. 발진 테스트(oscillation test) 방법[1],[12]은 CUT를 발진 회로로 변환하여 테스트하는 방법으로 테스트 신호를 인가하지 않고 발진 주파수를 테스트하는 방법이다. 그러나 테스트를 위해 CUT를 발진 회로로 구현해야 하므로 하드웨어가 매우 증가하게 된다.

이러한 테스트 방법들은 테스트 대상 회로에 맞는 적절한 테스트 패턴의 선택에 의존하게 되므로 CUT가 복잡하게 될 경우 높은 고장 검출율을 얻기 위한 최적의 테스트 패턴을 생성하기가 어렵고, 결과를 판단하는데 많은 시간이 소요된다. 또한 테스트를 위한 부가적인 하드웨어를 첨가해야 하는 단점이 있다. 따라서 부가적인 하드웨어가 적으면서 테스트 용이성을 향상시키고 테스트 비용 절감을 위해 회로 설계시 테스트를 고려한 설계(DFT : design for testability) 기법이 많이 이용되고 있다.

본 논문에서는 연산 증폭기 회로의 오프셋(offset) 특성을 이용한 새로운 테스트 방식을 제안한다. 제안된 테스트 방식은 특정한 패턴을 입력하는 것이 아니라 단지 입력 단자를 접지시키고 출력에서 발생하는 오프셋 전압을 측정하는 테스트 방식이다. 테스트 대상 회로내에 고장이 없을 경우 출력의 오프셋 전압은 허용 오차 범위 안에 존재하지만 고장이 있을 경우 오프셋 전압은 이 오차 범위를 벗어나게 된다. 출력의 관측도를 높이기 위하여 계환 루프를 가지는 단일 이득 연산 증폭기로 구현하였고, 테스트 입력 패턴이 없으므로 테스트 시간과 비용이 적은 장점이 있다. 제안된 테스트 방법은 HSPICE 모의실험을 통하여 검증하였다.

본 논문의 II장에서는 제안된 오프셋 전압 테스트 방식에 관해서 기술하고, III장에서는 모의 실험 및 고찰을 기술하고, IV장에서는 결론을 기술한다.

## II. 오프셋 전압 테스트 방식

본 논문에서는 단일 연산 증폭기에 존재하는 고장을 검출하기 위한 새로운 테스트 방식을 제안한다. 테스트 대상 회로는 그림 1에서 보는 바와 같이 CMOS 2단 연산 증폭기 회로이다. 이상적인 연산 증폭기에서 두 개의 입력 전압이 0V일 때 출력 전압은 0V이다. 그러나 실질적인 디바이스에서는 이러한 특성이 정확하게 일치하지 않는다. 즉 0V 입력 전압에 대해서 출력 전압은 0V가 아닌 전압이 나타나는데 이 전압을 오프셋 전압이라 한다. CMOS 연산 증폭기에서 발생하는 오프셋은 시스템에틱 오프셋(systematic offset)과 랜덤 오프셋(random offset)으로 분류할 수 있다.[12] 시스템에틱 오프셋

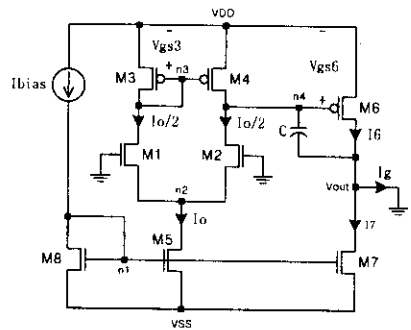


그림 1. CMOS 2단 연산 증폭기

은 설계 사양을 만족시키기 위한 채널 폭과 길이의 변동이나 부적절한 바이어스 조건으로 발생되며 출력단과 관련이 있다. 연산 증폭기의 출력단은 구동기 M6과 전류원 부하 M7을 가지는 이득단으로 구성되어 있다. 회로내에 이 오프셋이 존재하지 않는다면 접지된 두 입력 단자에 대해서 출력 전압은 0V가 나타나며, 출력 단자 또한 접지이면 출력 단자로 전류(I<sub>g</sub>)가 흐르지 않으므로 I6과 I7의 전류는 같다. 따라서 시스템에틱 오프셋이 존재하지 않을 조건은 식 (1)과 같다. 이 오프셋은 식 (1)의 조건으로 제거될 수 있지만 증폭기의 이득이 감소하게 된다. 랜덤 오프셋은 M1과 M2 입력 디바이스의 부정합(mismatch)이나 공정상의 문턱 전압 변동으로 발생하며 입력단과 관련이 있다. 전류 미러를 형성하고 있는 디바이스가 정합되어 있지 않을 경우, 디바이스의 정합을 일치시키기 위해서 입력 단자의 차동 전압은 입력 오프셋 전압이 필요하며 식 (2)로 표현된다. 만일 입력 단자가 접지이면 출력에 오프셋 전압이 나타난다. 식 (2)에서 보는 바와 같이 오프셋 전압을 감소시키기 위해서는 입력 디바이스의 상호 컨덕턴스(g<sub>m1</sub>)를 증가시키거나 바이어스 전류(I<sub>o</sub>)를 감소시켜야 한다.

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} = \frac{I_o}{2I_7} \quad (1)$$

$$V_{off} = \frac{\epsilon_1 I_o}{g_{m1}} \quad (2)$$

회로에 존재하는 오프셋은 효과적인 설계 기술로 감소시킬 수 있지만 완전히 제거될 수는 없다. 이러한 오프셋의 성질을 이용하여 연산 증폭기 회로를 테스트한다. 테스트시 출력에서 고장으로 인한 오프셋 전압 변동을 쉽게 관측하기 위해서 그림 2와 같이 계환 루프를 가지는 단일 이득 증폭기로 구현하였다. 연산 증폭기의 두 입력 단자 중에서 계환 루프를 형성하고 남은 하나의 입력 단자를 접지시킨 후 출력에서 오프셋 전압을 관측한다. 테스트 대상 회로에 고장이 존재하지 않을 경우 출력에 나타나는 오프셋 전압은 설계 사양을 만족하는

허용 오차 범위에 벗어나지 않는 전압이 나타난다. 그러나 테스트 대상 회로에 강고장이 존재하게 되면 회로 내부 노드의 전압이 변동하게 되어 출력에 오프셋 전압이 변동하게 된다. 그리고 테스트 대상 회로에 약고장이 존재할 경우 트랜지스터의 소자 변수가 변하여 디바이스의 부정합이 발생함에 따라서 오프셋 전압이 변동하게 된다. 출력에 나타나는 오프셋 전압이 허용 오차 범위를 벗어나게 되면 고장을 검출할 수 있다. 또한 케환 루프에 존재하는 개방 고장은 연산 증폭기의 개방 루프(open loop) 이득에 의해서 매우 큰 전압이 나타나므로 쉽게 검출된다.

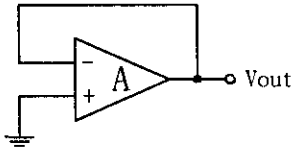


그림 2. 단일 이득 증폭기

#### IV. 모의 실험 및 고찰

본 논문에서 제안한 테스트 방식은 HSPICE 모의 실험을 통하여 검증하였고, 테스트 대상 회로내의 모든 트랜지스터 단자들에서 발생 가능한 22개의 단락 고장과 24개의 개방 고장을 고려하였다. 테스트 대상 회로에 존재하는 단락 고장은 10Ω의 저항으로 모델링 하였고, 드레인과 소스 단자의 개방 고장은 10MΩ의 저항으로 모델링 하였다. 그리고 게이트 단자의 개방 고장은 MOS 트랜지스터를 고장이 존재하는 노드 사이에 직렬로 연결하고 OFF 시켜 모델링 하였다. 모의 실험을 통한 정상 회로의 출력 오프셋 전압은 1.39mV로 나타났다. 정상 회로의 출력 오프셋 전압은 설계 사양을 만족시킴으로서 나타나는 시스티메틱 오프셋 전압이다. 테스트 대상 회로의 오프셋 전압의 허용 오차 범위는 ±10mV로 설정하였다.

표 1은 테스트 대상 회로에 존재하는 단락 고장에 대해서 모의 실험한 결과를 나타낸다. 모든 트랜지스터에 존재하는 단락 고장에 대한 출력 오프셋 전압이 허용 오차 범위를 벗어나기 때문에 검출이 가능하다. 표 2는 테스트 대상 회로에 존재하는 개방 고장에 대해서 모의 실험하여 관측한 오프셋 전압의 결과를 나타낸다. 고려한 24개의 개방 고장에서 오프셋 전압의 허용 오차 범위 내에 존재하는 4개의 고장을 제외하고 모든 트랜지스터에 존재하는 개방 고장에 대해서 검출할 수 있다. M7의 게이트와 소스 개방 고장은 출력에 나타나는 오프셋 전압이 계속 발견하므로 검출할 수 있다. 이러한 강고장에 대한 모의 실험에서 고장이 존재할 경우 출력에서 관측되는 정상 출력 오프셋 전압에 비해 매우 큰 전압으로 나타나므로 관측에 매우 용이함을 알 수 있다.

테스트 대상 회로에 존재하는 약고장은 트랜지스터 소자 변수인 채널 폭-길이 비의 감소, 설계 공정 변수인 트랜지스

터 문턱 전압의 감소 및 증가에 의한 변동으로 각각 30%, 50%, 70%, 90%로 고려하였다. 표 3은 테스트 대상 회로에 존재하는 모든 트랜지스터의 채널 폭-길이 비가 감소된 약고장에 대해서 모의 실험한 결과를 나타낸다. 표 4는 설계 공정 변수인 트랜지스터 문턱 전압의 감소에 대해서 모의 실험한 결과이고, 표 5는 문턱 전압의 증가에 대해서 모의 실험한 결과를 나타낸다. 모의 실험 결과 채널 폭-길이 비보다 문턱 전압 변동이 오프셋 전압에 많은 영향을 주고, 문턱 전압의 증가가 문턱 전압의 감소보다 회로의 성능에 더 많은 영향을 준다는 것을 알 수 있다. 따라서 아날로그 회로에서는 강고장뿐만 아니라 약고장에 대해서도 고려되어야 하며 테스트가 이루어져야 한다.

본 논문에서 제안한 테스트 방식은 연산 증폭기에 존재하는 강고장뿐만 약고장에 대해서도 검출할 수 있다. 기존 테스트 방식에서는 약고장을 일부만만 고려하였고 검출율에 대해서 언급하지 않았고, 고장 검출이 어려운 약고장에 대해서 본 논문에서는 거의 70%의 고장 검출율을 얻었고 변동비율이 증가할 경우 고장 검출율이 증가함을 모의 실험을 통하여 검증하였다.

표 1. 단락 고장에 대한 오프셋 전압 결과

단락 고장	단위 : mV		
	드레인-소스	드레인-게이트	게이트-소스
정상	1.39		
M1	-5.00 V	-1.87 V	-1.34 V
M2	4.87 V	4.94 V	-5.00 V
M3	4.90 V	X	4.90 V
M4	-5.00 V	4.48 V	4.90 V
M5	4.97 V	4.07 V	200.53
M6	5.00 V	3.45 V	-5.00 V
M7	-4.79 V	-1.71 V	200.53
M8	200.53	X	200.53

표 2. 개방 고장에 대한 오프셋 전압 결과

개방 고장	단위 : mV		
	드레인	게이트	소스
정상	1.39		
M1	4.97 V	4.93 V	4.97 V
M2	-4.05 V	-2.50 V	-4.13 V
M3	-131.69	-5.00 V	-185.79
M4	149.63	-5.00 V	192.96
M5	-4.91	1.77	-8.09
M6	-5.00 V	4.94 V	-5.00 V
M7	8.72	발진	발진
M8	-4.95 V	25.22	-4.96 V

#### V. 결론

본 논문에서는 CMOS 2단 연산 증폭기에 존재하는 강고장과 약고장을 검출하기 위한 효과적인 오프셋 전압 테스트 방식을 제안하였다. 출력에서 관측이 용이하도록 하기 위해서 테스트 대상 회로를 케환 루프를 가지는 단일 이득 증폭기로

구현하였다. 이 단일 이득 증폭기는 부가적인 하드웨어가 적고, 접지된 입력은 테스트 입력 패턴이 필요하지 않기 때문에 테스트 입력 패턴을 생성하는 문제를 제거하여 테스트 시간을 감소시킴으로써 테스트 비용을 줄였다. 본 논문에서 제안한 테스트 방식은 광고장에 대해서 출력 오프셋 전압이 큰 전압 레벨로 변동하므로 검출할 수 있고, 고장 검출이 어려운 약고장에 대해서도 효과적으로 검출할 수 있음을 HSPICE 모의 실험을 통하여 검증하였다.

향후 연구 방향으로는 검출하지 못한 고장들에 대해서 효과적으로 검출할 수 있는 새로운 테스트 방식에 관한 연구와 다단 연산 증폭기의 테스트 방식에 관한 연구 및 다른 아날로그 응용 회로에 대한 연구가 수행되어야 할 것이며, 현재 연구가 진행 중에 있다.

표 3. W/L 감소에 대한 오프셋 전압 결과

W/L 감소	단위 : mV			
	30%	50%	70%	90%
정상	1.39			
M1	75.53	174.7	417.35	2.27V
M2	-71.82	-167.16	-387.96	-1.63V
M3	-42.12	-19.25	-50.1	-106.09
M4	47.77	22.98	55.42	113.34
M5	-0.06	-1.11	-2.97	-9.84
M6	-0.04	-1.72	-5.03	-16.68
M7	2.61	3.59	4.79	6.57
M8	1.88	2.51	4.03	13.01

표 4. V<sub>th</sub> 감소에 대한 오프셋 전압 결과

V <sub>th</sub> 감소	단위 : mV			
	30%	50%	70%	90%
정상	1.39			
M1	-273.64	-456.99	-640.34	-823.68
M2	276.46	459.84	643.21	826.59
M3	38.28	62.75	91.98	158.63
M4	-38.82	-65.83	-100.09	-179.59
M5	20.27	42.77	91.94	162.44
M6	4.55	6.73	8.99	11.41
M7	-7.98	-14.22	-20.71	-27.56
M8	1.37	1.44	4.03	46.98

표 5. V<sub>th</sub> 증가에 대한 오프셋 전압 결과

V <sub>th</sub> 증가	단위 : mV			
	30%	50%	70%	90%
정상	1.39			
M1	276.41	459.76	643.1	826.45
M2	-273.69	-457.08	-640.46	-823.85
M3	-36.01	-61.4	-92.84	-167.97
M4	41.5	68.32	103.18	185.61
M5	-7.84	-11.28	-27.83	-4.88
M6	-1.71	-3.76	-5.79	-7.82
M7	8.15	10.44	13	18.48
M8	5.27	8.51	12.74	17.4

참고문헌

- [1] Arabi, K., and B. Kaminska, "Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation-Test Method", IEEE Trans. on CAD., vol. 16, no. 7, pp. 745-753, 1997.
- [2] Stapper, C., F. Armstrong, and K. Saji, "Integrated Circuit Yield statistics," Proc. IEEE, vol. 71, pp. 453-470, 1983.
- [3] Wilson, Q.F., and D.B. Day, "Practical Automatic Test Program Generation Constraints," Proc. Automatic Test Conf. and Workshop, 1987.
- [4] A'ain, A.K.B., A.H. Bratt, and A.P. Dorey, "Testing Analog Circuits by Power Supply Voltage Control," Electronic Letters, vol. 30, no. 3, pp. 214-215, 1994.
- [5] Dorey, A.P., and J.B. Hibbert, "Simplified Test Strategies for Analog ICs," Proc. IEEE ETC., pp. 494, 1991.
- [6] Roca, M., and A. Rubio, "Selftesting CMOS Operational Amplifier," Electronic Letters, vol. 28, no. 15, pp. 1452-1454, 1992.
- [7] Gielen, G., Wang, Z., and Sansen, W., "Fault Detecting and Input Stimulus Determination for the Testing of Analog Integrated Circuits Based on Power-Supply Current Monitoring," Proc. IEEE ICCAD, pp. 495-498, 1994.
- [8] Milor, L., and V. Visvanathan, "Detection of Catastrophic Faults in Analog Integrated Circuits," IEEE Trans. on CAD., vol. 8, no. 2, pp. 114-130, 1989.
- [9] Soma, M. "Fault Coverage of DC Parametric Tests for Embedded Analog Amplifiers," Proc. IEEE ITC., pp. 566-573, 1993.
- [10] Renovell, M., F. Azais, and Y. Bertrand, "A Design for Test Technique for Multi-Stage Analog Circuits," Proc. IEEE ATS., pp. 113-119, 1995.
- [11] Chang, S. J., C. L. Lee, and J. E. Chen, "Functional Test Pattern Generation for CMOS Operational Amplifier," Proc. VTS., pp. 267-272, 1997.
- [12] Arabi, K., and B. Kaminska, "Oscillation-Test Strategy for Analog and Mixed-Signal Integrated Circuits," Proc. IEEE VTS., pp. 476-482, 1996.
- [13] Gregorian, R., and Temes G.C., "Analog MOS Integrated Circuits for Signal Processing", Wiley, 1986.