

# ABR 서비스를 지원하기 위한 ATM 교환 시스템 구조

\*안윤영, \*\*정민영, \*김화숙, \*최대우  
\*한국전자통신연구소, \*\*한국과학기술원

Tel : 042-860-3818, Fax : 042-860-6858, E-mail : yyahn@nice.etri.re.kr

## Configuration of ATM switching system supporting ABR services

\*Yoon-Young An, \*\*Min-Young Chung, \*Hwa-Suk Kim, \*Dae-Woo Choi  
\*ETRI, \*\*KAIST

Tel : 042-860-3818, Fax : 042-860-6858, E-mail : yyahn@nice.etri.re.kr

### ABSTRACT

As user's demands for high-speed data traffic are recently increased, ABR services are considered as one of important service requirements in ATM networks. Unfortunately, a number of existing ATM switching systems have structural drawbacks as to support ABR services because these switching systems have been developed to support real-time(rt) services such as CBR and rt-VBR services. To support ABR services in the existing ATM switching systems, new traffic control mechanisms for ABR services are required. This paper proposes a method for supporting ABR services in ATM switching systems without back-pressure mechanisms and evaluates the performance of the proposed method using simulation.

### 1. 서론

ATM 교환 시스템은 다양한 서비스 유형들을 수용하는 방향으로 급속하게 진화하고 있다. ATM 포럼에서는 서비스 품질에 대한 요구에 따라 CBR(Constant Bit Rate), rt-VBR(real-time Variable Bit Rate), nrt-VBR(non-real-time VBR), ABR(Available Bit Rate), UBR(Unspecified Bit Rate) 등 다섯 가지의 서비스 유형으로 나눈다[1]. CBR 과 rt-VBR 서비스는 실시간 서비스로서 셀 지연에 대해 민감한 특성을 가지고, nrt-VBR, ABR, and UBR 은 비실시간 서비스로서 셀 지연이 서비스 품질에는 큰 영향을 미치지 않는다.

기존의 ATM 교환 시스템에서는 대부분 스위치 모듈과 정합 모듈에 작은 버퍼를 가지고 있으며, 주로 CBR 연결이나 rt-VBR 연결만을 지원할 수 있다[2]. 그러나, 최근의 ATM 교환 시스템은 비실시간 서비스를 지원하기 위해 큰 용량의 버퍼와 새로운 트래픽 제어 기능을 가진다.

특히, ABR 서비스를 위해서는 많은 기능들이 필요로 한데 이들 기능들은 주로 스위치 모듈과 정합 모듈 사이에 트래픽 제어를 위한 모듈로 구현되거나[3], 정합 모듈 내에 칩으로 구현된다[4]. 이러한 트래픽 제어 기능들은 주로 스위치 모듈의 비실시간용 버퍼의 상태에 따라 제어되므로 교환 시스템으로 부터의 이 버퍼 상태 정보에 대한 피드백이 요구된다. 그러나, 기존의 ATM 교환 시스템에서는 스위치 모듈 내에 비실시간용 버퍼가 분리되어 있지 않으며 버퍼 상태에 대한 피드백 메커니즘이 없으므로 기존의 ATM 교환 시스템에서 ABR 서비스를 수용하기 위해서는 스위치 모듈의 폭주 상태를 알 수 있는 새로운 트래픽 제어 알고리즘이 요구된다.

본 논문에서는 서론에 이어 2 절에서 피드백 메커니즘이 없는 기존의 ATM 교환 시스템에서 ABR 서비스를 지원하기 위해 트래픽 제어 모듈에 구현해야 할 기능과 교환 시스템 구조에 대해 기술한다. 그리고, 3 절에서는 트래픽 제어 모듈에 구현될 새로운 트래픽 제어 알고리즘을 제안하고 4 절에서는 시뮬레이션에 의해 제안된 알고리즘의 성능을 분석한 다음 5 절에서 결론을 맺는다.

### 2. ABR 서비스를 위한 ATM 교환 시스템 구조

그림 1에서는 기존의 ATM 교환 시스템에 ABR 서비스를 지원하기 위한 구조를 나타내었다. 그림에서 보는 바와 같이 ATM 교환 시스템은 스위치 모듈과 트래픽 제어 모듈 및 정합 모듈로 이루어진 입력 정합부와 출력 정합부로 구성되어 있다. 트래픽 제어 모듈은 ABR 서비스를 지원하기 위해 속도 기반 스케줄러, 연결별 버퍼 및 본 논문에서 제안한 트래픽 알고리즘인 속도 제어 알고리즘과 같은 기능들을 가진다.

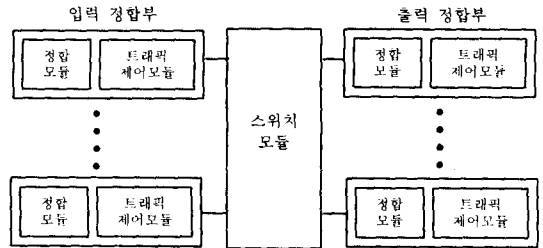


그림 1. ABR 서비스를 위한 ATM 교환 시스템 구조

스위치 모듈에서는 ABR 트래픽이 실시간 트래픽과 같은 링크 버퍼를 사용하므로 실시간 트래픽의 CDV (Cell Delay Variation)가 커지는 원인이 될 수 있다. 입력 정합부의 트래픽 제어 모듈에서 속도 기반 스케줄러는 스위치 모듈로 입력되는 ABR 트래픽의 속도를 조절하기 위해서 필요하므로 ABR 연결은 연결별 버퍼를 요구한다. 여기서 스케줄링 속도는 3 절에서 기술된 트래픽 제어 모듈의 속도 제어 알고리즘에 의해 결정된다. 본 논문에서 제안된 속도 제어 알고리즘은 스위치 모듈의 링크 버퍼 상태 정보에 대한 피드백 없이 트래픽 제어 모듈에서 측정된 정보를 사용한다. 이

정보는 출력 정합부의 트래픽 제어 모듈에서 계산되어 표 1에서 보여지는 RM(Resource Management) 셀의 QL 필드에 실려 입력 정합부의 트래픽 제어 모듈로 전달된다. QL 필드는 ITU-T에서만 망 구성 요소에 의해 선택적으로 지원되는 필드로 정의되어 있다.

표 1. ABR 서비스를 위한 RM 셀 포맷.

Field	Octet	Bit	Description
Header	1-5	all	ATM Header, PTI=110
ID	6	all	Protocol Identifier, 1
DIR	7	8	Direction, Forward=0, Backward=1
BN	7	7	if BECN cell, 1
CI	7	6	Congestion Identifier
NI	7	5	No Increase
RA	7	4	Request/Acknowledge, for ABT
Reserved	7	3-1	Reserved
ER	8-9	all	Explicit Cell Rate, Default=PCR
CCR	10-11	all	Current Cell Rate
MCR	12-13	all	Minimum Cell Rate
QL	14-17	all	Queue Length, not used for ATMF
SN	18-21	all	Sequence Number, not used for ATMF
Reserved	22-51	all	Reserved
Reserved	52	8-3	Reserved
CRC-10	52	2-1	CRC-10
	53	all	

그림 1의 교환 시스템 구조는 기존의 스위치 모듈의 수정 없이 ABR 연결을 수용할 수 있으며, 트래픽 제어 모듈은 선택적으로 사용할 수 있으므로 경제적인 ABR 수용 방법이다.

### 3. 제한된 속도 제어 알고리즘

본 절에서는 스위치 모듈로 입력되는 ABR 트래픽의 속도를 조절하기 위한 새로운 속도 제어 알고리즘을 제안한다. 제한된 속도 제어 알고리즘은 스위치 모듈의 링크 버퍼 상태를 측정하여 속도 기반 스케줄러의 스케줄링 속도를 결정할 뿐만 아니라 ABR 연결의 ER 값을 결정한다.

스위치 모듈의 링크 버퍼 상태를 측정하기 위해서 입력 정합부의 트래픽 제어 모듈은 연속된 두 FRM(Forward RM) 셀의 간격( $\Delta_{in\_time}$ )을 측정하여 FRM 셀의 QL 필드에 실려 스위치 모듈을 통해서 출력 정합부의 트래픽 제어 모듈로 보내면 여기에서도 역시 두 FRM 셀 간격( $\Delta_{out\_time}$ )을 측정하여 다음 식에 의해 스위치 모듈의 링크 버퍼 상태를 나타내는 SLM(switch load measure) 값을 계산한다.

$$SLM = \frac{\Delta_{out\_time}}{\Delta_{in\_time}}$$

SLM 값이 "1"보다 큰 경우에 SLM 값은 스위치 모듈 링크 버퍼의 오버로드 정도를 나타내므로 이 값을 이용하여 스케줄링 속도 및 ER 값을 결정한다. 그리고, SLM 값이 "1"인 경우는 스위치 모듈의 링크 버퍼 상태가 언더 로드이거나 평형 상태를 나타낸다. 여기에서 언더로드는 스위치 모듈의 링크 버퍼로의 입력

속도가 출력 속도보다 작은 경우를 나타내고, 평형 상태는 입력 속도와 출력 속도가 같은 경우를 나타낸다. 이 경우에는 SLM 값으로 두 상태를 정확하게 구별할 수 없으므로 스케줄링 속도를 결정하는데 SLM 값을 사용하지 않고 스케줄링 속도를 일정한 증가시킨다. SLM 값이 "1"보다 작은 경우는 스위치 모듈 링크 버퍼에 셀이 쌓여 있는 상태에서 입력 속도가 출력 속도보다 작아져서 링크 버퍼에 쌓여 있던 셀이 해소되면서  $\Delta_{in\_time}$ 이  $\Delta_{out\_time}$ 보다 커지는 현상이 발생하게 되어 생긴다. 이 경우에는 SLM에 의해 스위치 모듈의 링크 버퍼 상태를 추정할 수 없으므로 스케줄링 속도를 그 전 값으로 그대로 유지한다.

이렇게 계산된 SLM 값은 각 BRM(Backward RM) 셀이 출력 정합부의 트래픽 제어 모듈에 도착할 때마다 해당 연결의 BRM 셀의 QL 필드에 실려서 스위치 모듈을 통해서 입력 모듈의 트래픽 제어부에 보내면 여기에서는 SLM 값을 추출하여 다음 그림 2에 나타낸 슈도 코드에 의해 스케줄링 속도(SR) 및 ER 값을 결정할 수 있다.

```

IF (SLM > 1)
    SRi = SRi-1 * (1 / SLM + (1 - SLM));
ELSE IF (SLM = 1)
    SRi = SRi-1 + PCR * RIF ;
ELSE
    SRi = SRi-1 ;
IF VC-queue > threshold
    ER = SR * Rdown ;
ELSE
    ER = SR ;
    
```

그림 2. 스케줄링 속도 및 ER 결정을 위한 슈도 코드

SLM이 "1"보다 클 때 스케줄링 속도는 위 식에 의해 감소되는데 이 식에서 (1/SLM)은 스위치 모듈의 링크 버퍼로 입력되는 속도가 출력 속도와 같게 하기 위한 요소이고, (1-SLM)은 링크 버퍼에 저장되어 있는 셀을 해소하기 위한 요소이다. SLM 값이 "1"인 경우는 스케줄링 속도를 소스에서 ACR(Allowed Cell Rate)을 증가시킬 수 있는 최대 양인 PCR-RIF 만큼 증가시킨다. 그리고, SLM이 "1"보다 작은 경우에는 스케줄링 속도를 그대로 유지한다.

이렇게 결정된 스케줄링 속도는 스위치 모듈의 링크 버퍼가 폭주없이 ABR 연결을 위해 제공할 수 있는 속도이므로 ER은 스케줄링 속도와 같은 값으로 결정한다. 그러나, 소스에서 교환 시스템까지 round-trip 지연 동안 스케줄링 속도가 ACR보다 작은 경우에 입력 정합부의 트래픽 제어 모듈에 있는 연결 버퍼에 셀이 쌓이게 된다. 이때, 연결 버퍼가 문턱값을 넘으면 연결 버퍼의 크기는 제한되어 있으므로 ER 값을 스케줄링 속도보다 작게 해야 한다. 여기에서 ER 값을 결정하기 위한 파라미터로  $R_{down} (< 1)$ 을 사용한다. 입력 정합부의 트래픽 제어 모듈에서 이렇게 계산된 ER 값이 BRM 셀의 ER 필드에 있는 값과 비교해서 작으면 ER 필드를 갱신한다.

## 4. 시뮬레이션

### 4.1 시뮬레이션 모델

본 논문에서는 제안된 속도 제어 알고리즘의 성능을 분석하기 위해 그림 3의 시뮬레이션 모델을 사용한다[5][6]. 시뮬레이션 모델에서 교환 시스템은 그림 1의 구조를 가지며, 소스는 셀이 항상 ACR로 발생하고 소스 입력 시간이 서로 다른 persistence staggered 소스이고, 링크 용량은 155Mbps이다. 그리고, 교환 시스템과 소스 사이의 거리는 LAN 환경과 WAN 환경을 고려하여 각각 100km와 1000km로, 교환 시스템 사이의 거리는 100km를 가정하였다. 여기에서 모든 링크의 1km당 전파 지연 시간은 5 $\mu$ sec로 가정하였고, 연결 버퍼의 문턱값은 100 셀로,  $R_{down}$ 은 7/8로 가정하였다.

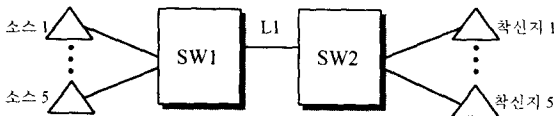


그림 3. 시뮬레이션 모델(2-switch model)

### 4.2. 입력 트래픽 모델

시뮬레이션동안 각 소스는 다음과 같은 트래픽 특성을 가진다.

- PCR : 150Mbps
- MCR : 5Mbps
- ICR : 30Mbps
- RIF : 1/128

소스는 0.1초 시간 간격으로 입력되는 staggered 소스로서 공평성 및 rump-up 시간 특성을 볼 수 있다.

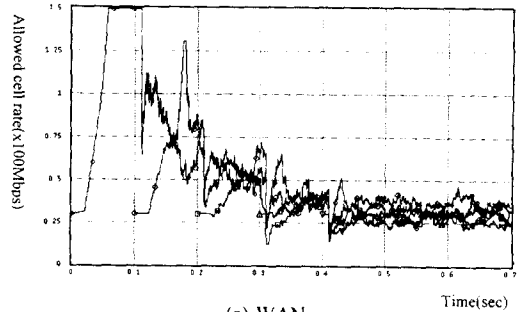
### 4.3 시뮬레이션 결과

본 절에서는 제안된 알고리즘을 ACR 특성, 링크 이용률, 스위치 모듈의 링크 버퍼 상태, 입력 모듈의 버퍼 상태에 의해 성능을 분석한다.

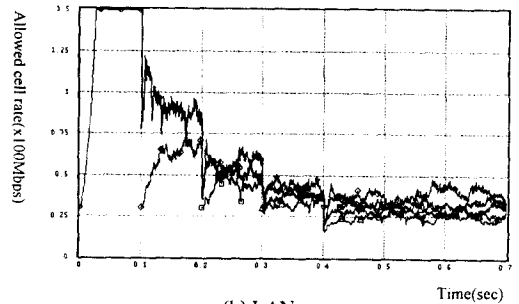
그림 4에서는 각 소스에 대한 ACR 특성을 나타내었다. 그림에서 보는 바와 같이 ABR 연결 수가 작아서 차지하는 대역이 높은 경우에는 공평성이 좋지 않으나 연결이 많아져서 차지하는 대역이 낮을 경우에는 비교적 좋은 공평성을 유지함을 볼 수 있다. 그리고, 제안된 알고리즘이 언더로드 상태와 평형 상태를 정확하게 구분할 수 없으므로 해서 ACR 값에 약간의 진동 현상을 볼 수 있다.

그림 5는 스위치 모듈의 링크 버퍼 상태를 나타내는데 제안된 속도 제어 알고리즘은 스위치 모듈의 링크 버퍼 상태를 낮게 유지함을 볼 수 있다. 따라서, 제안된 알고리즘은 실시간 트래픽을 비실시간 트래픽으로 인한 CDV로 부터 보호할 수 있음을 알 수 있다. 그리고, 그림 6은 입력 정합부 트래픽 제어 모듈의 버퍼 상태를 나타낸다. 그림에서 보는 바와 같이 트래픽 제어 모듈의 연결 버퍼는 소스와 교환 시스템 사이의 전파 지연 때문에 발생하는 트래픽 과다 현상을 수용하기 위한 버퍼이므로 버퍼 상태가 소스와 교환 시스템 사이의 거리에 비례함을 알 수 있다.

그림 7에는 링크 L1의 이용률을 나타내었다. 연결 버퍼가 문턱값을 넘는 경우가 발생하면 ACR 값이 영향을 받으므로 링크 이용률이 떨어지는 지점이 생기나 제안된 알고리즘의 링크 이용률이 거의 "1"에 가까운 값을 가짐을 볼 수 있다.

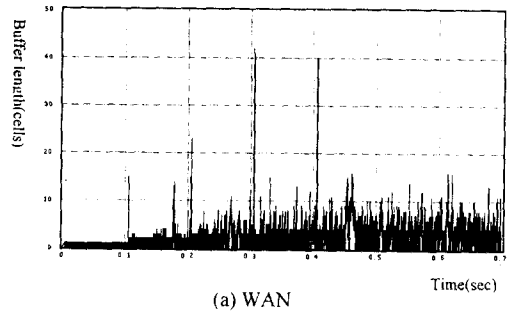


(a) WAN

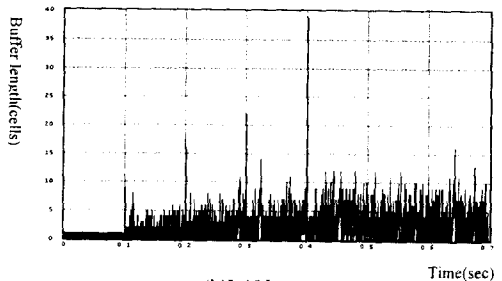


(b) LAN

그림 4. 소스의 ACR 특성

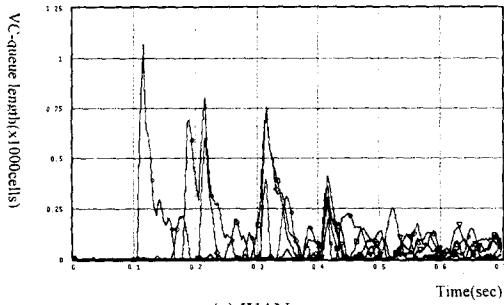


(a) WAN

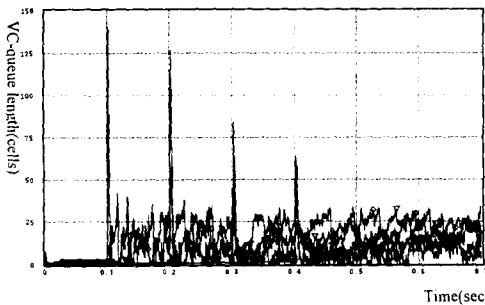


(b)LAN

그림 5. 스위치 모듈의 링크 버퍼 상태

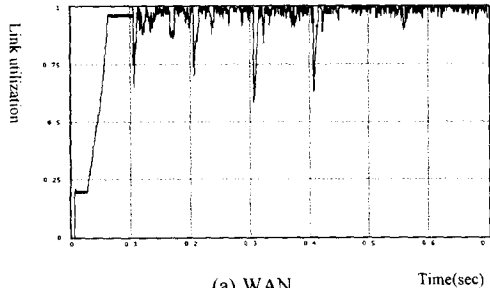


(a) WAN

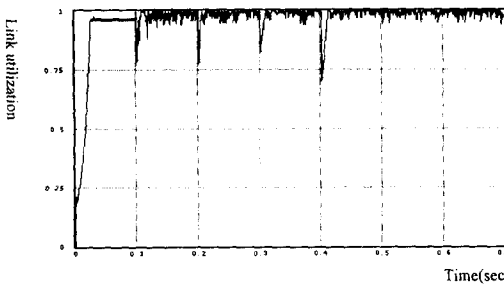


(b) LAN

그림 6. 트래픽 제어 모듈의 연결 버퍼 상태



(a) WAN



(b) LAN

그림 7. 링크 L1의 이용률

## 5. 결론

본 논문에서는 실시간 트래픽과 비실시간 트래픽을 위한 링크 버퍼가 분리되어 있지 않고 스위치 모듈로부터의 폭주 정보 피드백 기능이 없는 기존의 교환 시스템에서 스위치 모듈의 변경없이 경제적으로 ABR 서비스를 수용하는 교환 시스템 구조 및 트래픽 제어 모듈을 제안하였다. 트래픽 제어 모듈은 비실시간 트래픽으로 인해 발생할 수 있는 CDV로부터 실시간 트래픽을 보호하기 위해 링크 버퍼의 상태를 낮게 유지해야 한다. 이를 위해 트래픽 제어 모듈은 스케줄러, 연결별 버퍼 및 스케줄링 속도와 ER 값을 결정하는 속도 제어 알고리즘 등의 기능들을 가진다. 여기에서, 속도 제어 알고리즘은 스위치 모듈로부터 피드백 정보가 없으므로 스위치 모듈 상태를 측정하는 새로운 알고리즘이다.

제안된 속도 제어 알고리즘은 LAN, WAN 환경하에서 시뮬레이션에 의해 성능을 분석하였는데 링크 버퍼는 낮은 상태를 유지하고, 링크 이용률이 "1"에 가까움을 볼 수 있었다. 따라서, 제안된 속도 제어 알고리즘은 버퍼가 분리되어 있지 않은 기존의 ATM 교환 시스템에 스위치 모듈 변경 없이 경제적으로 ABR 서비스를 수용할 수 있다.

## 참고문헌

- [1] *ATM Forum Traffic Management Specification, Version 4.0, April 1996.*
- [2] Uwe Briem, Eugen Wallmeier, Christoph Beck, Fred Mattiessen, "Traffic Control for an ATM Switch with Per VC Queuing : Concept and Implementation," *Proc. ISS'97*, pp. 409-415, Sep. 1997.
- [3] Eewin P. Rathgeb, Wolfgang Fisher, "The MainstreetXpress Core Services Node-A Versatile ATM Switch Architecture for the Full Service Network," *IEEE J. Select. Areas Commun.*, vol. 15, pp. 795-806, June 1997.
- [4] Fabio M. Chiussi, Joseph G. Kneuer, Vijay P. Kumar, "The ATRANTA Architecture and Chipset: A Low-Cost Scalable Solution for ATM Networking," *Proc. ISS'97*, pp. 43-52, Sep. 1997.
- [5] Ambalavanar Arulambalam, Xiaoqiang Chen, Nirwan Ansari, "An Intelligent Explicit Rate Control Algorithm for ABR Service in ATM networks," *Proc. ICC'97*, pp. 200-204, June. 1997.
- [6] Hiroyuki Ohsaki, Masayuki Murata, Hideo Miyahara, "Designing Efficient Explicit-Rate Switch Algorithm with Max-Min Fairness for ABR Service Class in ATM Networks," *Proc. ICC'97*, pp. 182-186, June. 1997.