

공유 버퍼형 순서 재정렬 ATM스위치에 관한 연구

박 성현*, 전 용일**, 박 광채*

* 조선대학교 전자정보통신공학부, ** 한국전자통신연구원

TEL : 062-230-7065, E-mail : candclab@chollian.net

A Study on the Cell Resequencing Method at the ATM Switch

Sung-Hun Park*, Yong-il Jun**, Kwang-Chae Park*

* Department of Electronics and Infomation Engineering

** ATM Switching Section, Electronics and Telecommunications Research Institute

TEL : 062-230-7065, E-mail : candclab@chollian.net

Abstract: This paper proposes a new Asynchronous Transfer Mode(ATM) switch architecture for the Broadband ISDN. The proposed switch has the architecture to prohibit the out-of-sequence in shared buffer switch system with being fixed buffer size in the out-buffered large scale ATM Switch System. then in this paper proposes cell resequencing algorithm to decrease the out-of-sequence problem. also, we studied the out-of-sequence problem that was occurred by the cell transfer delay and the cell overflow due to the fixed buffer size when cell resequenced and we propose to implement optimal ACFIFO(Address Counter First In First Out) buffer size which has the minimized cell loss.

I. 서 론

B-ISDN은 컴퓨터용 데이터는 물론 비디오신호와 같은 대역폭이 큰 신호를 수용하면서 특성이 서로 다른 트래픽을 종합적으로 서비스 할 수 있는 기능을 가진다. 이 B-ISDN을 실현하기 위한 최적의 방식으로 ATM 방식이 받아들여지고 있다. ATM의 주요 개발방향으로는 스위치의 구조, 프로토콜의 구조 및 트래픽 제어기술등이 있으며 이들 중 ATM 스위치 구조는 통신시스템의 구성상 매우 중요한 요소이다. ATM교환기의 스위치 구현은 소형시스템에서 대형시스템으로 개발이 진행되고 있다. ATM스위치 구현시 출력버퍼형 스위치는 하드웨어가 단순하고, 고정 길이의 버퍼에서 다른 스위치 방식에 비해 출력률에서 최적의 성능을 가진다.^[1] 그러나 memory access 속도로 인하여 포트 수와 입력 트래킹 속도를 제한 받게 된다.^{[2][3][4]} 이 메모리 액세스 속도의 한계를 극복하기 위한 방법으로 병렬 스위치 구조가 제안되었다.^{[5][6]}

그러나 이 방법은 병렬 스위치 구성시 한정된 버퍼수로 인한 오버플로우와 스위치 구조의 병렬 구성으로 인한 각 스위치 요소의 셀 전송지연으로 발생하는 셀 순서 역전 현상이 발생한다. 이는 ITU의 권고안의 권고 사항에 어긋나는 것이다. 본 논문에서는 다른 구조의 스위치에 비해 메모리 액세스 시간에 의해 확장성에 제한을 받지만, 오버플로우에 의한 셀 손실을 최소화 할수 있는 공동버퍼형 스위치 구조를 택하였다. 이는 ATM 스위치 구성시 최소의 셀 순서 역전 현상을 가지게 된다. 기존의 논문들에서 대형 ATM 스위치를 구현하기 위한 병렬 스위치 구성에 대한 여러 방법들이 제안 되었다.^{[5][6][7][8][9]}

제안된 방식들을 보면 각 스위치 요소에 입력되는 속도는 병렬화 계수 S 만큼 줄어 들게 된다.^[5] 그러나 스위치 S개를 병렬 사용시 셀 순서 역전 현상이 발생하게 된다. 따라서 셀 순서 역전은 재정렬기에서 셀 순서를 재정렬한다. 이렇게 셀을 재정렬하기 위한방법으로 Time-stamp에 의한 방식이 제안 되었다.^[5] 그러나 이 방식은 원활한 셀 순서 재정렬을 위하여 스위치 단에서의 최대 큐잉 지연 시간 만큼 재정렬기내에서 일률적으로 지연시켜야되는 문제점을 가지고 있다. 이는 재정렬 지연이라고 하며, 재정렬기 내에서 발생한다. 이를 해결 하기 위해 재정렬기를 제거하여 재정렬기에서 발생하는 지연 요소를 제거하는 방식인 셀 순서 저장 메모리 방법이 제안 되었다.^[8] 그러나 이 방식은 출력 선택기에서 셀 갯수 계수기와 비교기로 전달되는 셀 갯수 정보가 어느 상황에서도 애려 없는 값을 가져야 하며, 또한 출력버퍼 출력 제어신호 발생기에서 출력 버퍼로 인입되는 신호 또한 애려 없는 정확한 값을 가져야 한다. 다시 말하면 두 종류의 신호선에서 어떠한 신호 손실이 있다면 셀 순서 역전 현상이 지속적으로 발생하는 문제점과 오버플러워 발생시에도 같은 문제점을 가지고 있다. 따라서 본 논문에서는 신호선의 애려 발생과 오버플러워에 의한 셀 순서 역전 현

상을 방지하면서, 단위 회선 속도를 S배 향상시킬 수 있고 이에 따라 전체적인 스위치의 셀 교환 능력을 S배 향상시킬 수 있는 스위치의 한 구성 방식을 제시한다.

II. 셀 순서 재정렬을 위한 스위치 설계

본 논문에서 제안한 ATM 스위치는 그림 2.1와 같다. 이 스위치 구조는 분배부, 스위치부, 재정렬부로 구성되어 있다. 동작을 보면 그림 2.1에서와 같이 다수의 입력단에서 입력되는 셀들을 분배부에서 개별 입력단 별로 역다중화하여 스위치부에 인입되는 셀의 속도를 저하시킨 후 다수의 스위치의 입력단에 인입시키고 스위치부에서는 셀에 부착된 라우팅 정보에 따라 다수의 스위치의 특정 출력단들로 출력 시킨다. 재정렬부에서는 스위치의 셀 누적량 차이로 인해 발생하는 셀 순서 역전 상태를 정정한다. 이렇게 순서가 재정렬된 셀은 다수의 저속 셀 출력단들로 구성된 다수의 교환 장치 출력 포트 로 셀을 출력 시킨다.

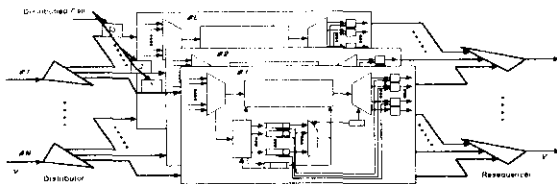


그림 2.1 제한적 공유버퍼 메모리로 구성된 스위치

2.1 각 부별 동작

2.1.1 분배부

분배기의 동작은 그림 2.2에 보였다. 이 분배기의 동작은 입력 포트별로 입력되어 들어오는 셀들을 각 병렬화 된 스위치 매수 S 주기로 매 타임슬롯에 순환·반복적으로 역다중화 시킨다.

2.1.2 스위치부

스위치부는 그림 2.3와 같다. 동작은 공동버퍼형 스위치 동작과 같다. 그러나 본 논문에서는 셀 순서 재정렬을 위하여 각 스위치의 큐 길이 정보를 재정렬부로 보내야 하므로 큐 길이 정보와 이 정보의 오류 검사를 위한 정보를 출력단에서 조합하여 재정렬부로 출력 시킨다.



그림 2.2 Cell Distributing Operations

2.1.3 셀 순서 재정렬부

재정렬부는 그림 2.4와 같다. 셀 순서 재정렬부의 동작에서 입력 동작을 보면 입력된 셀에 첨부된 각 스위치의 대기열 길이(Q_length)와 이 정보의 오류 검사를 할 수 있는 보호용 정보(QI_CRC)들은 큐 길이 처리기(QL PROC)에 입력된다. 큐 길이 처리기에서는 Q_length를 이용하여 네가지 동작 모드를 갖는다.

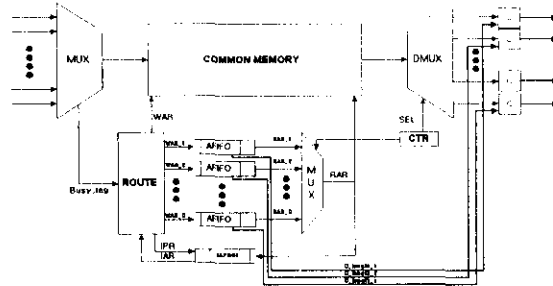


그림 2.3 Common Buffered Switch in Parallel Architecture

첫째, QL PROC에서 대기열 길이 정보와 보호용 정보를 이용하여 입력된 셀이 유효한 셀이고 전송 도중에 Q_length에 오류가 없다면 router로 재정렬기 동작 신호인 Active 신호를 보내고, 빈 주소 관리기에서 빈 주소(IAR) 한 개를 할당 받아 router로 입력시킨다. router은 IAR 신호를 받아 공동버퍼 메모리 저장 주소(WAR: Write Address)를 생성하여 입력된 셀을 공동버퍼 메모리에 저장하고 동시에 스위치에 따라 정해진 AFIFO 메모리로 입력시킨다. 둘째, 입력된 셀이 유효 셀이지만 전송 도중에 Q_length에 오류가 있는 경우에는 router로 Idle_Ins(idle cell insert) 신호를 보내고 router는 휴지 셀 (Idle Cell)의 정보를 생성하여 각 스위치에 따라 정해진 AFIFO 메모리로 입력시킨다. 셋째, Q_length와 기준 시간 발생기(LTIME GEN)에서 생성된 기준 시간 신호(Lim)를 이용하여 특정 셀 타임에 입력된 셀 갯수를 나타내는 AC_1...AC_S들을 발생시킨 다음 이들을 ACFIFO로 입력시킨다. 넷째, Q_length, Ltim, 및 AC_1...AC_S들을 이용하여 재정렬기로 인입 완료할 수 있는 충분한 시간을 기준 시간신호(Ltim)에 기준하여 생성한다. 이렇게 생성된 정보(EAT: End Arrive Time)는 ACFIFO로 입력시킨다. 다음으로 출력 동작을 보면 큐 인출 처리기(Q Server: Queued Cell Output Control Server)에서는 ACFIFO의 헤더에 대기하는 EAT, AC_1...AC_S를 인출하여 AFIFO를 제어하는 RAF_1...RAF_S, 다중화기 제어신호(SEL), ACFIFO 읽기 신호(RQF)들을 생성한다. 출력 동작에서는 EAT 신호와 Ltime 신호에 따라 두가지 동작 모드를 갖는다. 하나는 QL Proc에서 생성된 EAT의 값이 Ltim 보다 큰 경우에는 셀 순서 재정렬을 하지 않고 셀들이 도착하기를 기다린다. 다른 하나의 동작 모드는 EAT 신호와 Ltim 신호

을 비교하여 같거나 작은 경우에는 셀 도착 갯수 정보 (AC₁, AC₂...AC_S)들의 갯수 만큼 AFIFO에서 공통 버퍼에 저장된 셀의 주소 정보를 읽어 낸다.

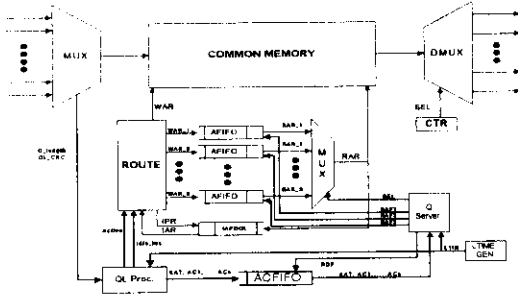


그림 2.4 Resequencer Part

다음으로 본 논문에서 제안한 큐잉 길이 처리기는 그림 2.5와 같다. 셀의 입력 단에 따라 각 도착 셀 계수기(arrival cell counter)로 입력 시킨다. 셀 헤더 점검기(CHC)는 입력된 큐잉 길이 정보의 오류 검사를 한다. 검사한 결과에 따라서 세가지의 동작 모드가 있다. 첫째 검사한 결과 큐잉 길이 정보에 오류가 없는 경우 Q_{length}를 출력시킨다. 또한 큐잉 길이 에러 신호(QER)를 비 능동 논리치로 출력시킨다. 둘째, 검사 결과 정보가 무효셀(idle cell)인 경우에는 신호 Q_{length}는 0 값을 가지며, QER는 비 능동 논리치로 출력시킨다. 셋째, 검사 결과 Q_{length}가 손상된 경우에는 해당되는 QER는 능동 논리치를 가지고 출력시킨다.

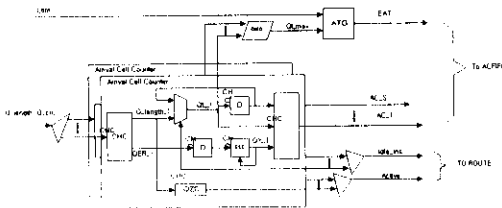


그림 2.5 Queuing Length Process

CHC 다음단의 다중화기는 QER 신호가 비 능동 상태인 경우 Q_{length}를 출력하며, QER 신호가 능동 상태인 경우 방금 전 셀 주기에서 방출된 Q_{length}인 QL(t-1)를 출력한다. 셀 계수기의 출력인 AC는 해당 셀 슬롯에서 각 스위치별로 입력된 셀의 갯수를 나타내며 그림 2.6의 알고리즘에 의하여 값이 결정된다. 큐잉 길이 감지기(QZD)는 Q_{length}에 오류가 없는 경우 active 신호를 발생 시키며 이 신호를 그림 2.4의 router로 보내 유효한 셀의 도착을 알린다. 유효한 셀이지만 큐잉 길이 정보가 손실된 경우에 신호 QER은 능동 상태인 1 값을 가지며, 그림 2.4의 router로 입력

시키며 이 신호(Idle_Ins)는 무효 셀로 대처할 것을 route에 통보하는 신호이다. 이 동작은 큐잉 길이의 손실로 인한 셀 순서 재정렬 동작의 연속적인 셀 순서 이탈 현상을 방지하기 위한 것이다. 최대 큐잉 길이 감지기(QMD)는 각 입력 단의 Q_{length}중에서 가장 큰 큐잉 길이를 가지는 신호를 선정하여 출력한다.

```

IF ( QER = 0 ) THEN
  IF ( QL(t-1) = 0 ) THEN
    Temp(t) = QL(t) + QX(t-1);
  ELSE
    Temp(t) = QL(t) - QL(t-1) + QX(t-1) + 1;
  END IF;
  IF ( Temp(t) ≥ 0 ) THEN
    AC(t) ≤= Temp(t);
  ELSE
    AC(t) ≤= 0;
  END IF;
ELSE
  AC(t) ≤= 0;
END IF;
    
```

그림 2.6 Arrival Cell Counter Algorithm

출력되는 QL_{max}는 셀 도착 시간 생성기(ATG)의 입력으로 사용된다. ATG는 최대값을 가지는 큐잉 길이 정보(QL_{max}) 및 L_{tim}를 이용하여 EAT을 생성한다. EAT와 L_{tim} 및 QL_{max}는 식 (1)으로 표시된다.

$$EAT = QL_{max} + L_{tim} - 1 \dots \dots (1)$$

본 논문에서는 제안한 방식은 컴퓨터 시뮬레이션을 통하여 증명하였다.

III. 시뮬레이션 결과 및 분석

본 논문에서는 제안한 공통 버퍼형 순서 재정렬 ATM 스위치에 대한 성능 분석 및 동작 알고리즘을 검증하기 위하여 시뮬레이션 전용 언어인 SLAM II를 이용하여 컴퓨터 시뮬레이션을 수행하였다. 또한 본 논문에서는 8×8 스위치에 대한 시뮬레이션을 수행하였다. 트래픽 모델은 버스트성향의 ON-OFF 입력 트래픽 모델을 이용하여 시뮬레이션 하였다.

그림 3.1은 본 논문에서 제안한 기법의 스위치부와 재정렬부에서 평균 셀 지연과 이 평균 셀 지연이 발표된 NEC의 Time-stamp 방식의 결과를 비교하였다. 비교 결과 NEC의 Time-stamp 방식의 결과에 비하여 우수한 셀 지연 특성을 확인할수 있었다. 그림 3.2는 재정렬부 구현시 큐 길이 정보 신호의 손실 발생을 금지시켜 최적의 ACFIFO 크기를 정하기 위해 각 부하별 큐잉량을 보였다. 그림 3.3은 본 논문에서 제안한 큐 길이를 이용한 셀 순서 재정렬부에서 최대 EAT값은 재정렬부에서 특정 해당 단위 셀 타임 슬롯 동안에

입력된 셀들이 셀 순서 재정렬부로 전부 도착하는데 필요·충분한 시간이므로 셀 지연에 직접적인 영향을 미치게 된다. 따라서 최대 EAT를 각 부하별로 분석하였다.

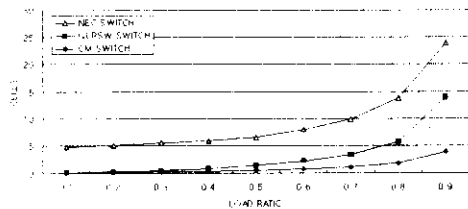


그림 3.1 Average Cell Delay

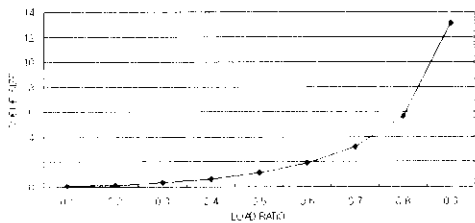


그림 3.2 Average ACFIFO Size

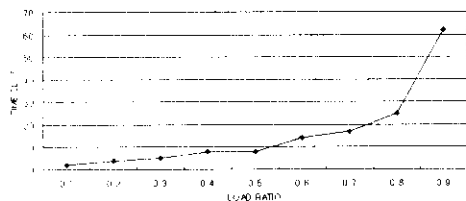


그림 3.3 Maximun EAT

IV. 결 론

위의 시뮬레이션 결과에서 보인 것과 같이 본 논문에서는 스위치의 입출력단 갯수를 N , 단위 회선의 속도를 V , P 는 처리되는 셀 정보의 비트 단위 병렬화 정도를 나타내는 상수로 하는 경우, 본 논문은 상기한 $2NV/P$ 속도로 동작하는 스위치 S 개를 병렬 사용할 시 발생하는 셀 순서 역전 현상을 방지하면서, 단위 회선 속도를 S 배 향상시킬 수 있으며, 이에 따라 전체적인 스위치의 셀 교환 능력을 S 배 향상시킬 수 있는 스위치의 한 구성 방식을 제시하고 있다. 또한 기존의 논문에서 제안된 Time-stamp의 문제점과 이를 해결하기 위해 제안된 셀 순서 저장 메모리 사용 방법의 문제점을 보완하기 위하여 본 논문에서 제안한 방식은 신호선의 에러 발생과 오버플로워로 인해 발생하는 셀 순서 역전 현상을 Q.length를 사용하여 셀 순서를 재

정렬 함으로서 셀 순서 저장 메모리 사용방법에서 오버플로워에 의해 셀 손실이 지속적으로 발생하는 셀 순서 역전 현상을 방지 할수 있으며, 또한 Time-stamp 방식에서 발생하는 부과된 셀 지연시간 역시 큐잉 길이 정보에 의해서 정확하게 계산 할 수 있어 통계적 지연시간 분석에 의해서 부과되는 셀 지연 시간을 줄일 수 있다. 그리고 본 논문에서 제안한 스위치 구조는 단위 회선 속도를 S 배 향상시킬 수 있고 이에 따라 전체적인 스위치의 셀 교환 능력을 S 배 향상시킬 수 있는 스위치를 구성할수 있다.

참 고 문 헌

- [1] M. J. Karol, M. G. Hluchyj and S. P. Morgan: "Input versus output queuing on a space-division packet switch," *IEEE Transactions on communications com-35* : 1347-1356 1987.
- [2] YAMADA, H, TAKAHASHI, T, and SUZUKI, M: 'A very high-speed ATM switch with input and output buffer', ISS92, 1992.2 pp 231-235).
- [3] 정용찬, 은종관: "부분적 공유버퍼 방식에 입각한 공통메모리형 ATM 스위치 구조의 성능 분석," 한국통신학회지논문집 Vol.20, No.12 : 3243-3254 1996.
- [4] Y.C Jung, C.K. Un, S.M Ryu, S.C Lee; "Analysis of out of sequence problem and preventative schemes in parallel switch architecture for high-speed ATM network," *IEEE Proc-Commun Vol 141 No.1* : 1994
- [5] T. Aramaki, H. Suzuki, S. Hayano, and T. Takeuchi; "Parrallel 'ATOM' Switch Architecture for High-Speed ATM Networks," *Proc. IEEE ICC '92* : 250-254, June 1992.
- [6] A.Itoh.et al; "Practical Implementation and Packaginif Technologies for a Large Scale ATM Switching System," *IEEE J-SAC, No 8*: 1280-1288, 1991.
- [7] T.Kozaki.et al; "32x32 Shared Buffer Type ATM Switch VLSIs for B-ISDN", *IEEE ICC'91*: 711-715 1990.
- [8] Aramaki et al; "Evaluation of Delay in the Cell distribution Type High Speed ATM Switch" in *Proc of the 1991 Institute of Electronics Information, and Communication Engineers, Autumn Meeting*: B-305, 1991.
- [9] H. Kuwahara, N. Endo. M. Ogino, and T. Kozaki; "A shared buffer memory switch for an ATM exchange," in *Proc. ICC '89* : 118-122 1989.