

IMT-2000 망의 제어국에서 ATM 정합 회로 설계

이인환, 장문수, 오돈성

ETRI 무선통신망연구부 망연동기능연구팀

대전광역시 유성구 사서함 106

Tel:+82-42-860-6327, Fax : +82-42-860-6789, E-mail : ihlee@tdx.etri.re.kr

Design of ATM Adapter Circuit in the BSC for IMT-2000 Network

In-Hwan Lee, Moon-Soo Jang, Don-Sung Oh

Mobile Switching Technology Section, ETRI

Yusong P.O. Box 106, Taejon, 305-600, Korea

Tel:+82-42-860-6327, Fax : +82-42-860-6789, E-mail : ihlee@tdx.etri.re.kr

Abstract -

In this paper, we describe the design of the ATM adapter circuit in the BSC for IMT-2000 Network. This ATM adapter circuit can convert received ATM cell into TDM data in the BSC and vice versa.

In the ATM adapter, we implemented both AAL1 and AAL5 functions to provide constant bit rate voice data and variable bit rate packet data services, simultaneously.

1. 서론

최근 초고속 망의 급격한 발전에 따라 이동 멀티미디어와 같은 서비스의 수요가 점차 증가되어지고 있는 추세이다. 향후 이동망에서 멀티미디어 서비스를 제공하기 위해 B-ISDN ATM 망을 기반으로 하는 IMT-2000 망에 대한 연구가 활발히 진행되고 있다. IMT-2000 망은 크게 교환국(MSC: Mobile Switching Center), 제어국(BSC: Base Station Controller) 그리고 기지국(BTS: Base station Transceiver System)으로 구성된다.

본 논문에서 구현한 ATM 정합 회로는 교환국으로부터 Mux 를 통해 수신한 ATM 셀을 AAL1의 트래픽 데이터인지 아니면 AAL5의 시그널링

데이터인지를 구분하여 분해(Reassembly) 하고, 분해한 셀을 64kbps TDM 으로 변환하여 Vocoder/Selector 로 전송한다. 한편 Vocoder/Selector 로부터 TDM 형태로 송신된 데이터를 ATM 셀로 조립(Segmentation)한 다음 Mux/Demux 를 통해 교환국으로 전송하는 구조를 갖도록 설계하였다.

제 2 장에서는 IMT-2000 망 구성을 설명하였고, 제 3 장에서는 ATM 정합 회로를 구성하는 MPC860 프로세서, AAL1 SAR (Segmentation and Reassembly) 프로세서, PIC 인터페이스로 연결되는 AAL5 SAR 프로세서, 셀 Mux/Demux FPGA 의 설계를 자세히 설명하였으며, 제 4 장에서 결론을 맺었다.

2. IMT-2000 망 구성도

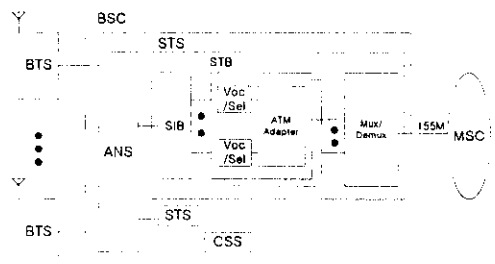


그림 1. IMT-2000 망 구성도

IMT-2000 망은 크게 교환국(MSC), 제어국(BSC) 그리고 기지국(BTS)으로 그림.1 과 같이 구성된다. 교환국은 ATM 교환기가 사용되며, 제어국은 교환국과 155Mbps optic 인터페이스로 연결된다. 제어국은 ANS(Access Network Subsystem), STS(Selector and Transcoder Subsystem) 그리고 CSS(Call and Signal Subsystem)로 구성된다. ANS 는 기지국과 제어국을 연결하는 ATM 스위치이다. STS 는 SIB(Selector Interface Block), STB(Selector and Transcoder Block), ATM Adapter 그리고 ATM Mux/Demux 로 구성되며, 기지국과 트래픽 및 시그널링 데이터를 송수신하고, 제어국 내의 제어신호전달 기능을 담당하는 블록이다. STS 의 구성 요소인 STB 는 기지국에서 수신된 트래픽을 PCM 으로 변환 후 ATM adapter 로 송신하고, ATM adapter 로부터 수신된 PCM 데이터를 음성 부호화하는 블록이다. ATM adapter 는 PCM 형태의 데이터를 ATM 셀로 만들어 ATM Mux/Demux 로 송신하고, Mux/Demux 로부터 수신된 ATM 셀을 PCM 형태로 변환하여 Vocoder/Selector 로 송신하는 역할을 하도록 설계하였고, 제 3 장에서 ATM adapter 회로설계에 대해 자세히 설명하였다.

3. ATM Adapter 회로 설계

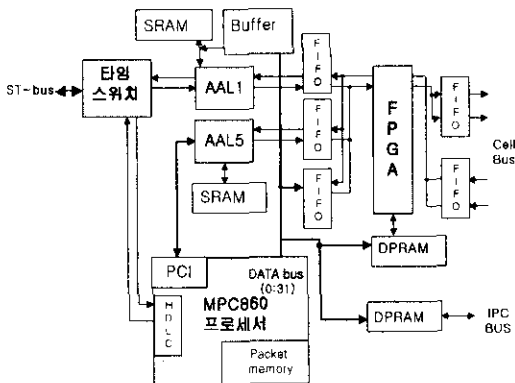


그림 2. ATM Adapter 회로 구성도

ATM adapter 회로는 IMT-2000 망 제어국에 있어서 상위 ATM mux/demux 보드로부터 AAL1 용 E1(2.048Mbps) 급의 6 채널과 AAL5 의 시그널 처리용 E1 급 2 채널의 트래픽을 할당 받은 후 E1/ATM, ATM/E1 변환 기능과 ATM 셀을 mux/demux 하는 기능을 담당하는 블록으로서 그림.2 와 같이 구성하였다.

3.1 MPC860 프로세서

프로세서는 충분한 성능과 정합능력을 고려하여 MPC860 을 사용하였다. 프로세서는 ATM adapter 보드의 전반적인 초기화 및 제어기능, 상위 IPC 를 위한 U-LINK 정합기능, 2 개의 HDLC 정합기능, ATM mux/demux 보드와 IPC 버스 정합을 포함하고 있다. IPC 버스정합은 ATM 셀 Mux/Demux 보드와 IPC 통신을 하기 위한 것으로서 16 비트의 DPRAM 을 통해서 상위 블록과 통신을 할 수 있도록 하였다. 또한 기본 관리 기능 정합을 위하여 1 개의 UART 채널을 통하여 RS-232 와 연결되어 비동기 통신을 할 수 있도록 설계하였다.

3.2 타임 스위치 및 AAL1 SAR 프로세서

타임 스위치는 ST-bus 를 통해서 Vocoder/Selector 와 연결되는 8 개의 E1 링크를 AAL1 의 6 개 링크와 AAL5 의 2 개의 링크를 각각 SAR 프로세서로 스위칭 하도록 설계하였다. 또한 타임스위치는 16 비트 데이터 버스를 통해 프로세서의 제어를 받아 각종 스위칭에 관련된 제어 기능을 할 수 있도록 하였다.

6 개의 E1 링크에 대한 AAL1 SAR (Segmentation and Reassembly) 기능을 처리하기 위해 WAC-021C 프로세서를 사용하였다. 이 SAR 프로세서는 초기화 시 메인 프로세서에서 해당 라인이나 채널들을 Active 하면 메인 프로세서의 도움 없이 스스로 ATM 셀을 분해 및 조립한다. 메인 프로세서는 새로운 채널이나 라인을 Active

시키거나, 동작 중인 채널이나 라인을 Deactive 시키고자 할 때 관련 레지스터들을 처리여 준다. AAL1 SAR 프로세서는 UTOPIA (Universal Test and Operations PHY Interface for ATM) 버스 인터페이스를 통해서 ATM 셀을 FIFO에 송수신한다. AAL1 SAR 프로세서는 FIFO로부터 수신된 셀을 SRAM에 저장하고, 저장한 셀을 분해하여 타임스위치의 해당 링크의 채널을 통해 출력하며, 역으로 타임스위치에서 들어오는 6개의 E1 링크는 각 채널별로 VC를 할당해 SRAM에 저장하며, 53바이트의 한 셀이 조립될 때마다 UTOPIA 버스를 통해 FIFO에 보내 주도록 설계하였다.

3.3 AAL5 SAR 프로세서

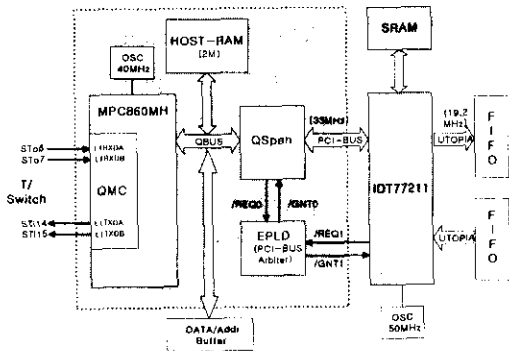


그림 3. AAL5 SAR 프로세서의 PCI 정합 블록도

그림.3은 AAL5 SAR 프로세서의 PCI 정합 블록도이다. MPC860의 QMC (QUICC Multichannel Controller) 모듈을 이용하여 TDM 포트 두개의 지정된 타임슬롯에 HDLC 프레임 구조로 실려오는 AAL5 데이터를 추출해내고, HDLC 프레임 구조로 송신하는 정합 기능을 수행하도록 하였다. 한편, MPC860 프로세서는 IDT77211 SAR 프로세서의 PCI(Peripheral Component Inter-connection) 버스를 통해 ATM 셀을 송수신 하기 위해 PCI bridge인 Q-span을 사

용하였다. Qspan과 860SAR 프로세서간에는 Q-bus로 정합 된다. AAL5 SAR 프로세서는 UTOPIA 인터페이스를 통해서 ATM 계층과 정합되어 셀을 송수신하고, 128K x 32bit SRAM에 각 채널 별로 셀 조립 및 분해에 관련된 각종 정보를 저장하도록 연결 시켰다.

3.4 Cell Mux/Demux FPGA 및 셀 버스 정합

ATM 셀 Mux/Demux FPGA는 다수개의 ATM 셀 입력을 ATM 출력으로 변환한다. 송신의 경우는 AAL1, AAL5 그리고 CPU의 FIFO로부터 셀을 우선 순서를 근거로 다중화하여 셀 버스를 통해 송신한다. 수신은 자신의 VPI/VCI에 해당하는 셀의 VPI를 맷치 한 후 VPI 테이블에서 해당 비트맵이 출력되면, 이 비트맵을 근거로 AAL1, AAL5 또는 CPU 수신 FIFO로 라우팅을 결정한다. VPI 테이블 값은 CPU 버스를 통해서 사전 초기화 시 또는 해당 트래픽 호 설정시 등록한다.

Cell 버스는 ATM adapter 보드가 ATM Mux/Demux 보드와 ATM 셀을 주고 받는 버스이다. Cell 버스 설계에 있어서 ATM Mux/Demux 보드에서 ATM adapter 보드로 데이터를 보낼 때는 항상 broadcasting을 하고, 해당 ATM adapter 보드는 broadcasting된 셀의 라우팅 헤드를 비교하여 수신 여부를 결정하도록 하였다. 한편, ATM Mux/Demux 보드는 셀 버스를 통해 여러 개의 ATM adapter 보드에 대해 라운드 로빈 방식으로 셀을 가져 오도록 하였다.

그림.4에서는 ATM Adapter 회로의 셀 버스 정합 타이밍 도를 나타낸다. 셀 버스로 오는 3byte의 라우팅 tag를 포함한 56바이트의 셀은 라우팅 tag R1,R2를 이용하여 자신의 셀일 경우 수신 FIFO에 저장한다. Statecnt 값은 FPGA 내부에서 사용되는 타이밍 카운트 값이다. 일단 statecnt가 0일 때 수신된 ATM 셀(Cmrxin[7:0])은

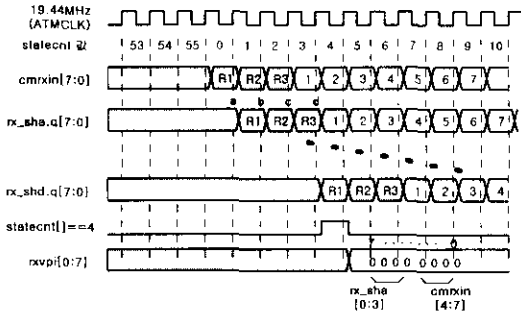


그림 4. ATM Adapter 회로의 셀 버스 정합 타이밍도

쉬프트 레지스터를 통해 4 번 쉬프트 한 후 출력 되도록 하고, 쉬프트 하는 동안 Routing tagR3 를 래치하여 셀이 AAL1, AAL5 또는 CPU 데이터인지 결정하여 해당 FIFO write enable 신호를 이용하여 셀을 write 하도록 설계하였다.

4. 결론

본 논문에서는 IMT-2000 망에 있어서 원거리 교환국(MSC)에서 제어국(BSC)까지 155Mbps 로 수신되는 ATM 셀을 제어국내에서 TDM 으로 변환하고, 기지국(BTS)에서 수신되는 TDM 트래픽을 ATM 셀로 만들어 교환국으로 송신하는 ATM adapter 회로 설계에 관한 것이다.

본 ATM adapter 회로는 AAL type1 의 트래픽 데이터 뿐만 아니라 AAL type5 의 시그널링 데이터를 ATM-to-TDM 및 TDM-to-ATM 으로 변환시킬 수 있기 때문에 ATM 망을 교환국으로 하는 IMT-2000 망 뿐만 아니라, 향후 ATM 망과 TDM 으로 연동해야 하는 기존의 PSTN 망과의 정합 회로로도 사용 될 수 있는 구조를 갖도록 설계하였다.

참고문헌

[1] ITU-T Recommendation I.361, "B-ISDN ATM Adaptation Layer(AAL) Specification " , March

1993.
 [2] ITU-T Recommendation I.362, "B-ISDN ATM Adaptation Layer(AAL) Function description " , March 1993.
 [3] ITU-T Recommendation I.363, "B-ISDN ATM Adaptation Layer(AAL) Specification " , March 1993.
 [4] Draft new ITU-T Recommendation I.362.2, "B-ISDN ATM Adaptation Layer Type2 Specification", February 1997.
 [5] Power QUICC MPC860 User's Manual, Motorola 1996
 [6] QSpan PCI to Motorola Processor Bridge Manual, Tundra Spring, 1998
 [7] AAL1 SAR Processor WAC-021-C User's Manual, IGT, Inc. July, 1997
 [8] IDT77211 NICSTAR User's Manual, IDT, Inc. Version1.0 Released Edition February, 1997
 [9] ATM and SONET Broadband Solutions for LAN and WAN Application Product Information Preliminary, TI April,1994