

## Tantalum Oxide Thin Film Capacitor by Reactive RF Sputtering for GaAs MMICs

문재경, 양전욱, 이재진, 권광의  
한국전자통신연구원 화합물반도체연구부

### 1. INTRODUCTION

반도체 소자의 고집적화는 저전력화와 고속화를 위한 회로설계 기술과 소자 크기의 미세화를 위한 공정기술에 의해 달성되어 왔다. 회로의 저전력 작동을 위해 작동 전압을 3.3V 이하로 감소시키면 안정적 동작을 위해 필요로 하는 정전용량이 더욱 증가하게 되어 고용량의 캐패시터가 필요하다. 정전용량의 증가는 아래 식(1)에서 유전박막의 두께(d) 감소, 전극 면적(A)의 증가, 또는 큰 유전상수( $\epsilon_r$ )를 갖는 물질의 도입으로 피할 수 있다.

$$C = \epsilon_0 \epsilon_r (A/d) \quad (1)$$

유전체 박막의 두께 감소에 의한 정전용량의 증가는 TDDB(Time Dependent Dielectric Breakdown) 특성의 급격한 저하와 함께, direct tunneling을 일으키기 때문에 물리적 한계에 달했다.<sup>[1]</sup> 반면 전극 면적의 증가는 축적 전극의 입체화 방법을 이용하고 있으나, 캐패시터의 형태가 복잡하고 단차의 크기를 증가시키는 요인이 되므로 공정상의 어려움이 따른다.<sup>[2]</sup> 하지만 고유전을 박막의 응용은 캐패시터 제조 공정을 단순화하며, 유효산화막 두께 4nm의 실현을 가능하게 한다. 이러한 고유전 재료 중  $Ta_2O_5$ 는 유전상수가 높고( $\epsilon_r=22 \sim 28$ ) 비교적 파괴 강도가 크기(5 ~ 7MV/cm)때문에 기존의  $Si_3N_4/SiO_2$ 를 대체할 수 있는 물질로서 각광을 받고 있다.<sup>[3]</sup>

본 연구에서는 반응성 RF 스퍼트링법에 의한 산화탄탈륨 캐패시터의 구조에 따른 유전 특성을 조사하여 현재 ETRI 갈륨비소 MMICs(Monolithic Microwave Integrated Circuits)에 사용되는 SiN 박막의 MIM(Metal Insulator Metal) 캐패시터를 대체함으로써 칩의 소형화를 피하고자 한다.

### 2. EXPERIMENTAL

3-inch 갈륨비소 기판상에 Ar(40sccm)/O<sub>2</sub>(10sccm) 혼합기체와 Ta<sub>2</sub>O<sub>5</sub> 타겟 (99.99%)을 이용한 RF 반응성 스퍼트링법으로 표 1에 나타낸 바와 같이 4종류의 MIM 캐패시터를 제작하였다. 박막 증착은 background 압력 3x10<sup>-8</sup> Torr 이하에서 상온에서 진행되었으며, 이 때 RF 전력은 600 W였다. MIM 캐패시터의 하부전극은 Ti/Pt/Au(3500Å/500Å/1000Å), 상부전극은 Ti/Ni/Au(20Å/10Å/20Å)를 사용하였다. 상하부 전극은 전자빔 진공 증착기를 사용하여 형성되었으며, 진공도를 5x10<sup>-7</sup> Torr 이하로 하여 누설전류의 원인이 되는 불순물의 영향을 최대한 배제하였다. Probing pad는 전기도금법으로 4 μm 이상 충분히 두껍게 하여 측정시 probing을 용이하게 하였다.

유전체 박막의 미세조직은 SEM(Scanning Electron Microscopy)으로, 조성은 RBS(Rutherford Backscattering Spectroscopy)를 이용하여 분석하고, 유전 감도, 누설전류 특성은 hp4256 parameter analyser에 의한 전류-전압 측정을 통하여 평가하였다. 그리고 캐패시터의 특성은 산란계수 측정과 모델링을 통하여 평가하였다. 산란계수는 1 GHz ~ 20 GHz의 주파수에서 측정하였고, HP-EEsof Libra™ 프로그램을 이용하여 파라미터를 추출하였다.

### 3. RESULTS AND DISCUSSION

증착된 유전체 박막의 단면과 표면의 미세구조 관찰 결과 평균 입경은 약 100 Å 정도이며, 전형적인 주상정 구조(columnar structure)를 가진다. RBS 분석 결과 Ta:O는 2:5.2의 성분비를 갖는 것으로 평가되었다. 일반적으로 증착된 산화탄탈륨 박막은 화학양론인 Ta<sub>2</sub>O<sub>5</sub>가 아니라 산소가 결핍된 박막으로 이는 누설전류의 원인으로 알려져 있다. 본 연구에서는 Ta<sub>2</sub>O<sub>5</sub> 타겟을 사용하고, Ar/O<sub>2</sub> 플라즈마 분위기에서 증착하여 부족한 산소를 보충함으로써 이러한 문제점을

제거하였다. 실험에서 박막의 증착속도는 150 Å/min이었고, 산소의 결핍이 없는 박막을 얻을수 있었다.

그림 1은 MIM 캐패시터의 형상과 파라미터 추출에 사용된 등가회로 모델을 보여준다. 그림 2는 4가지 캐패시터 구조에 대한 캐패시턴스 값과 캐패시터의 치수 의존성을 보여 준다. 모든 구조에 대하여 캐패시터 치수 변화에 따른 캐패시턴스의 선형성이 잘 유지되고 있다. 그러나 TaO 단일층 캐패시터의 경우 누설전류 특성이 나빠 100x100µm<sup>2</sup> 이상의 크기에 대한 캐패시턴스 추출은 어려웠다.

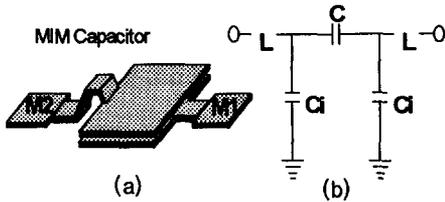


그림 1. 캐패시터 형상(a) 및 등가회로 모델(b)

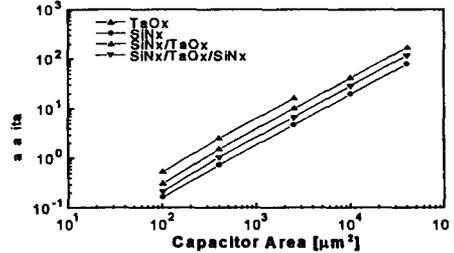


그림 2. 캐패시터 구조와 면적에 따른 캐패시턴스의 변화

제작된 4종류의 MIM 캐패시터에 대하여 측정된 산란계수를 캐패시터 모델에 fitting하여 구한 캐패시턴스로부터 전체 유전상수를 계산하였으며, 그 결과를 표 1.에 요약하였다. 구조에 따른 특성 평가 결과 TaO 단일층 캐패시터는 유전 상수는 크지만 누설 전류 특성이 매우 나빴으며, TaO 박막의 상하부에 SiN 박막을 얇게 증착하여 누설전류의 특성을 개선 시킬 수 있었다. SiN 박막을 TaO 하부쪽에만 증착할 경우  $\epsilon_r$ 는 17.7이었으며, 상하부 모두 증착할 경우  $\epsilon_r$ 는 13.9로 약 20%의 유전을 감소가 있지만 누설전류 특성은 훨씬 개선되기 때문에 TaO 박막의 상하부에 SiN 누설전류 장벽층을 갖는 sand-witch 구조가 효과적이라 여겨진다.

표 1. Summary of the several properties for different MIM capacitors.

| 구 조                                  | 누설전류[µA/ cm <sup>2</sup> ] | $\epsilon_r$ {total} |
|--------------------------------------|----------------------------|----------------------|
| M1/SiN(350 Å)/M2                     | 10 @ 2MV/cm                | 6.8                  |
| M1/TaO(350 Å)/M2                     | 0.1 @ 1MV/cm               | 24.8                 |
| M1/SiN(50 Å)/TaO(350 Å)/M2           | 200 @ 3MV/cm               | 17.7                 |
| M1/SiN(50 Å)/TaO(350 Å)/SiN(50 Å)/M2 | 100 @ 5MV/cm               | 13.9                 |

#### 4. CONCLUSIONS

본 연구에서 개발된 Ta<sub>2</sub>O<sub>5</sub> MIM 캐패시터는 sand-witch 구조를 가지며, 박막의 미세구조, 조성분석, 전기 및 유전 특성 평가 결과 스퍼터링의 안정된 공정과 함께 HHP (Hand-Held Phone) 및 PCS (Personal Communication System)와 같은 이동 통신용 단말기의 MMICs 칩의 소형화에 활용될 것으로 기대된다.

#### REFERENCES

- [1] J. Yugami et al., 20<sup>th</sup> SSDM, pp. 173-176 (1989)
- [2] P. C. Fazan et al., IEDM Tech. Dig., p263 (1992)
- [3] H. Shinriki et al., Dig. Symp. on VLSI Tech., p25 (1989)