

# 병렬 디지털신호처리시스템의 설계와 성능분석

°문병표\*, 박준석\*, 오대식\*, 전창호\*, 박성주\*, 이동호\*, 오원찬\*\*, 한기택\*\*  
\*한양대학교 전자·컴퓨터 공학부, \*\*국방과학연구소

## Design and Performance Analysis of A Parallel Digital Signal Processing System

°B. P. Moon\*, J. S. Park\*, D. S. Oh\*, C. H. Jeon\*, S. J. Park\*, D. H. Lee\*  
W. C. Oh\*\*, K. T. Han\*\*

\*School of Electrical Engineering, Hanyang University  
\*\*Agency for Defense Development

### 요 약

본 논문에서는 방대한 양의 데이터를 실시간으로 처리하기 위한 병렬 디지털신호처리시스템을 제안한다. 버스와 메모리의 구조가 다른 네 가지 신호처리부 모델을 제안하고 그들의 성능을 분석한다. 신호처리부의 분석은 소나 알고리즘을 실행하는데 소요되는 하드웨어 지연시간과 버스 지연시간의 합을 최도로 한 성능분석과 보드의 복잡도를 비교하는 방법을 통하여 이루어졌다. 성능분석한 결과, 지역메모리와 공유메모리를 함께 사용하는 모델이 가장 효율적인 것으로 나타났다.

## 1. 서 론

60년대 컴퓨터의 연산기능을 보장하기 위해 선보인 DSP개념이 조급석 사용되다가 급속한 디지털화의 추세로 인해 영상, 통신 등 여러 분야에서 DSP 칩이 광범위하게 사용되게 되었다. 그러나 단일 DSP 칩으로 고화질 영상처리, 레이더, 소나, 첨단 의료서비스 등에서 필요한 처리요구를 감당하기 힘들어져서 최근에는 여러 개의 DSP 칩을 다중으로 연결하여 처리속도와 신뢰성을 높인 병렬 시스템구조가 DSP 응용분야에 많이 사용되고 있다[1].

본 논문에서는 방대한 데이터를 실시간으로 처리할 수 있는 병렬 디지털신호처리시스템을 제안한다. 그리고 버스와 메모리의 구조가 다른 네 가지 신호처리부 모델을 제안하고 비교·분석한다.

본 논문은 다음과 같이 구성되어 있다. 2 장에서는 상용 DSP 칩을 사용한 병렬시스템을 알아보고 제안한 시스템에 사용된 TMS320C67x DSP 칩을 살펴본다. 3 장에서는 병렬 디지털 신호처리시스템과 신호처리부의 모델을 제안한다. 4 장에서는 신호처리보드를 하드웨어 지연시간과 버스 지연시간의 합을 통한 성능분석과 보드의 복잡도 관점에서 비교·분석한다. 5 장에서는 결론을 맺는다.

## 2. 병렬 DSP시스템과 TMS320C67x

현재 병렬 DSP시스템은 방대한 양의 데이터를 고속으로 처리하기 위해 여러 곳에 활용되고 있다. 음성신호의 효율적인 처리를 위한 시스템이 Paisley 대학에서 개발되었고[2], Oakland 대학, NTT 등에

서는 영상처리를 위한 시스템이 개발되었다[3-4] 군사용의 고성능 신호처리 시스템인 AN/UYS-2가 미 해군에 의해 개발되었다[5]

제안한 시스템에서 사용된 TMS320C67x는 고성능 부동소수점 DSP칩으로 167MHz의 동작속도와 1GFLOPS의 성능을 나타낸다. 1Mbit의 내부메모리가 있고 400MB/s 대역폭의 32비트 외부 메모리 인터페이스를 가지고 있다. 통신포트로는 2개의 직렬 포트와 1개의 호스트 포트가 존재한다. 그리고 다양한 개발환경을 지원해 주고 있다[6].

## 3. 병렬 디지털신호처리시스템의 제안

그림 1 은 제안하는 병렬 디지털신호처리시스템의 전체적인 구성도이다. 크게 데이터 입출력부, 공용메모리부, 중앙제어부, 그리고 신호처리부 4개의 서브시스템으로 구성되어 있다.

데이터 입출력부는 센서로부터 데이터를 받아 필요한 전처리 과정을 수행한 후에 그 결과를 공용메모리부로 전달한다. 공용메모리부는 전체 신호처리시스템에 필요한 데이터를 저장하며 중앙제어부는 서브시스템들의 제어를 담당하고 호스트와 연결된다. 신호처리부는 공용메모리부와 중앙제어부로부터 데이터와 명령을 전달받이 고속으로 처리한다

4개의 서브시스템 중에서 가장 핵심부인 신호처리부는 보드 단위로 확장이 가능하며 각각의 보드는 4 개의 TMS320C67x DSP칩으로 구성된다. 메모리와 버스의 구성방식에 따라 네 가지의 모델을 제안한다

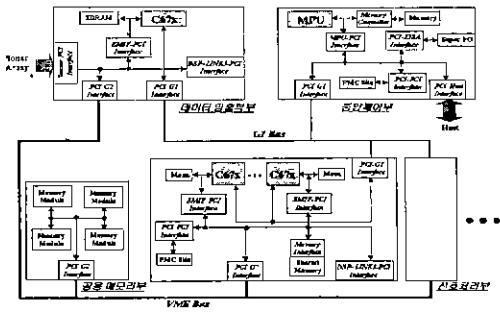


그림 1. 병렬 디지털 신호처리시스템의 구성도

그림 2의 모델-1은 보드 내에 프로세서 개별용 지역메모리가 없고 프로세서 공용 공유메모리만이 존재하므로 구현과 제어가 용이하다. 그림 3의 모델-2는 보드 내에 지역메모리와 공유메모리가 존재한다. 지역메모리는 TMS320C67x가 지원하는 SDRAM과 SBSRAM을 사용하여 빠른 데이터 접근이 가능하다. 그림 4의 모델-3은 보드 내에 dual-port 메모리를 사용한 지역메모리만이 존재한다. 프로세서 버스와 PCI 버스에서 동시에 dual-port 메모리에 접근이 가능하여 프로세서간 통신에서 PCI 버스의 사용빈도를 줄일 수 있다. 그림 5의 모델-4는 보드 내에 지역메모리와 four-port 메모리를 사용한 공유메모리가 존재한다. 지역메모리는 TMS320C67x가 지원하는 SDRAM과 SBSRAM을 사용하여 빠른 데이터 접근을 가능하고, 프로세서간 통신은 four-port 메모리를 사용하여 PCI 버스를 사용할 필요가 없다.

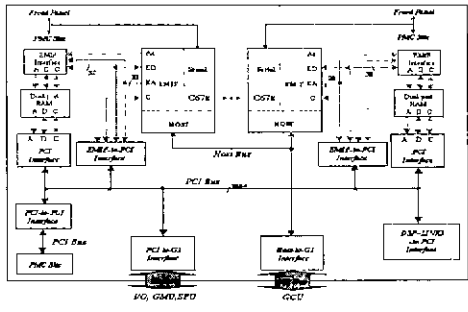


그림 4 신호처리부 모델-3

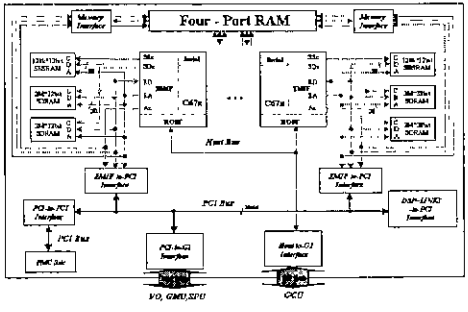


그림 5. 신호처리부 모델-4

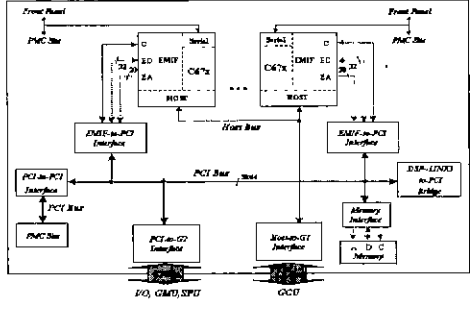


그림 2. 신호처리부 모델-1

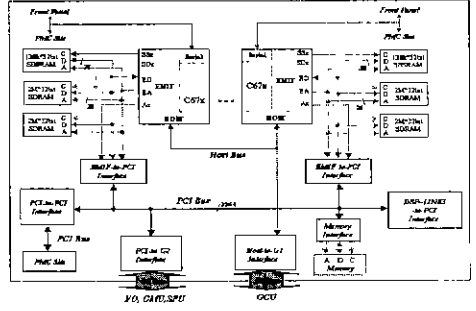


그림 3. 신호처리부 모델-2

4. 신호처리보드 분석

각 신호처리보드는 하드웨어 지연시간과 버스 지연시간의 합을 통한 성능분석과 보드의 복잡도 관점에서 비교·분석을 한다.

4.1 지연시간의 합을 통한 성능분석

알고리즘 수행시 발생하는 지연시간의 합을 기준으로 신호처리보드의 성능을 분석한다. 성능분석에 사용되는 소나 알고리즘은 크게 beamforming에서 네 가지 알고리즘, detection에서 각 band별 한 가지 알고리즘, estimation에서 네 가지 알고리즘 등이다[7]. 이 중 신호처리부에서 적용되는 알고리즘은 detection과 estimation이다. 표 1은 하나의 프로세서가 소나 알고리즘을 수행하는데 필요한 연산수를 나타낸다.

표 1. 소나 알고리즘 수행에 필요한 연산수

알고리즘	연산수(Mop/sec)	비율(%)
LFA_Detection	828	95.3
LFA_Estimation	41.1	4.7
Total Operation	869.1	100
MFA_Detection	825.3	94
MFA_Estimation	51.4	6
Total Operation	876.7	100

\* LFA\_Beam=8, LFA\_Fs=1024, LFA\_Sensor=50, LFA\_Bb=4, LFA\_Nb=6, LFA\_Mb=1, MFA\_Beam=10, MFA\_Fs=1024, MFA\_Sensor=50, MFA\_Bb=4, MFA\_Nb=1, MFA\_Mb=1

신호처리보드에서 소나 알고리즘을 실행할 때 보드단위에서는 주

파수벨(low frequency, medium frequency)로 실행되어지고 보드 내에서는 각 프로세서가 모든 소나 알고리즘을 수행하는 SIMD형태로 실행되어진다.

본 논문에서는 MF(Medium Frequency)영역을 처리하는 하나의 보드에 대한 지연시간의 합을 분석한다. 하나의 프로세서가 처리하는 데이터량은 아래와 같고 하나의 보드로 들어가는 데이터량은 이것의 4배인 164KB/sec이다.

$$10 \text{ beams} * 1024 \text{ Samples/sec} * 4B/\text{sample} = 41KB/\text{sec}$$

신호처리부에서 소나 알고리즘의 실행과정은 다음과 같다.

- Step1. 공용메모리부에서 보드의 지역메모리로 데이터를 저장
- Step2. 지역메모리의 데이터를 프로세서의 내부메모리에 저장
- 프로세서에서 detection과 estimation을 수행

지연시간의 합은 하드웨어 지연시간과 버스 지연시간의 합이지만 대부분 버스 지연시간이 차지한다. 그림 6 은 각 신호처리보드 모델에 따른 지연시간의 합을 비교한 결과이다.

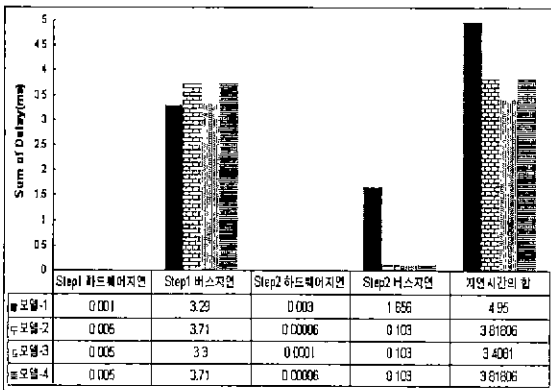


그림 6. 신호처리보드에 대한 지연시간 합의 비교

### 4.2 보드 복잡도에 의한 비교분석

각 보드는 메모리, 인터페이스 그리고 연결구조 측면에서 복잡도에 차이가 있으며, 표 2 는 이러한 복잡도를 비교·분석한 결과이다

표 2. 신호처리보드의 복잡도

구분	모델-1	모델-2	모델-3	모델-4
지역메모리 부분	해당없음	$(\text{SBSRAM} / \text{SDRAM} * 2) * 4$	$(\text{DPR} / \text{interface} * 2) * 4$	$(\text{SBSRAM} / \text{SDRAM} * 2) * 4$
공용메모리 부분	$(\text{SDRAM} / \text{interface})$	$(\text{SDRAM} / \text{interface})$	해당없음	$(\text{4PR} / \text{interface}) * 4$
메모리 용량	4M	4M*5	64K*4 (확장필요)	4M*4
연결복잡도	적음	중간	중간	큼
결과	모델-1 < 모델-2 < 모델-3 < 모델-4			

### 4.3 분석결과

지연시간의 합을 통한 성능분석 결과를 살펴보면 모델-3이 지연시간의 합이 가장 적고 모델-2와 모델-4가 비슷하고 모델-1이 가장 큰 것으로 나타났다. 모델-3이 지연시간이 적은 이유는 dual-port 메모리를 사용하여 버스의 사용을 줄였기 때문이고 모델-1이 지연시간이 큰 이유는 4개의 프로세서가 데이터 처리를 위해서 하나의 공용메모리에 접근하기 때문이다. 그리고 LF(Low Frequency)에서의 결과도 이와 유사하게 나타났다.

보드의 복잡도 편집에서 비교·분석한 결과는 모델-1이 가장 복잡도가 낮고 모델-2, 모델-3 그리고 모델-4 순서로 복잡도가 높아졌다. dual-port 메모리는 용량이 적기 때문에 데이터 저장을 위해 확장이 꼭 필요하여서 모델-3의 복잡도가 커지게 된다.

이상의 분석결과를 종합하면 지연시간과 복잡도 측면에서 모델-2가 가장 효율적인 신호처리 보드로 사려된다

### 5. 결론 및 향후계획

본 논문에서는 상용화된 DSP칩을 사용하여 병렬 디지털신호처리 시스템을 제안하고 메모리와 버스의 구조가 다른 네 가지의 신호처리부 모델을 제안하였다. 네 가지 신호처리부 모델을 지연시간의 합과 복잡도 측면에서 비교·분석하여 효율적인 모델을 파악했다.

소나 알고리즘의 다양한 분할방법과 그것을 통한 신호처리부의 분석 그리고 전체 시스템차원에서의 성능분석을 계속 수행중이다.

### 참고문헌

- [1] A. J. Anderson, "Selection Criteria in the Development of a Multiple Processor Based DSP System", Journal of Microcomputer Application, pp. 327-345, 1992
- [2] P. V R Raja and S. Ganesan, "An SIMD Multiple DSP Microprocessor System for Image Processing," Microprocessors and Microsystems, pp. 493-501, Nov 1991
- [3] T. Sawabe, T. Fujii, H. Nakada, N. Ohta, and S. Ono, "A 15GFLOPS Parallel DSP System for Super High Definition Image Processing," IEICE Trans. Fundamentals, Vol.39, No.7, pp. 786-792, Jul. 1992.
- [4] F. Kurugollu, H. Palaz, H. Gumuskaya, E. Harmanci and B. Orencik, "Advanced Educational Parallel DSP System Based on TMS320C25 Processors," Microprocessors and Microsystems, Vol. 19, No 3, pp. 147-156. Apr. 1995.
- [5] Navy Signal Processors Program Office, PMS 428
- [6] TMS320C6x Technical Brief, Texas Instruments. 1998
- [7] R. O. Nielsen, Sonar Signal Processing, Artech House, 1991.