

# Buffered $a \times a$ Switch의 성능분석

박경화, 양명국

울산대학교 공과대학 전기전자 및 자동화공학부

## Analytical Modeling of a Buffered $a \times a$ switch

Kyung W. Park, Myung K. Yang  
University of Ulsan

### 요 약

본 논문에서는, Multiple-Buffered  $a \times a$  Crossbar 스위치의 성능분석 모형을 제안하고 스위치에 장착된 buffer의 개수의 증가에 따른 성능향상 추이를 분석하였다. Buffered 스위치 기법은 다수 데이터 패킷을 동시에 전송할 때 네트워크에서 발생하는 충돌문제를 효과적으로 해결할 수 있는 방법으로 널리 알려져 있다. 제안된 성능예측 모형은 스위치 입력 단에 유입되는 데이터 패킷이 buffered 스위치 내부에서 전송되는 유형을 확률적으로 분석하여 수립되었다. 모형의 수학적 복잡도 해결을 위하여 확률 식 유도 과정 등에 steady state probability 개념을 도입하였다. 제안한 모형은 스위치 크기 및 스위치에 장착된 buffer의 개수와 무관하게 buffered  $a \times a$  크로스바 스위치의 성능 예측을 가능케 하고, 나아가서 이들로 구성된 다중 연결 망의 성능 분석에 확대 적용이 가능하다. 제안한 수학적 성능 분석 연구의 실효성 검증은 위하여 병행된 시뮬레이션 결과는 미세한 오차 범위 내에서 모형의 예측 데이터와 일치하는 결과를 보여 분석모형의 타당성을 입증하였다. 또한, 분석 결과 스위치에 소수의 버퍼를 장착했을 때, throughput이 크게 증가하지만, 네 개 이상의 버퍼를 장착한 경우 성능 향상율이 분화되는 것으로 나타났다. 따라서 크로스바 스위치 크기에 관계없이 스위치에 장착되는 버퍼의 개수가 네 개 정도일 경우 가격 대 성능비가 우수한 것으로 추론되었다.

## 1. 서 론

Crossbar 스위치는 넓은 bandwidth, 우수한 상호 연결 기능 등을 장점으로 각종 네트워크 스위칭 소자 및 병렬 컴퓨터의 상호 연결 소자로 널리 사용되고 있다. 이와 같은 crossbar 스위치의 장점에도 불구하고, 스위치 내부에서 데이터의 이동 과정에서 두 개 이상의 데이터가 특정 출력 단으로 진행하고자 할 때, 데이터 충돌 현상이 불가피하게 발생한다. 데이터 충돌 현상은 스위치의 성능 저하를 유발함은 물론이고 네트워크 전체의 신뢰도에도 큰 영향을 미치게 된다. 본 논문에서는, 데이터 충돌 문제를 해결하기 위한 방법으로 제안된 buffered 스위치의 성능 분석 모형을 제안하고,  $a \times a$  crossbar 스위치에 장착된 buffer의 개수 증가에 따른 성능 변화를 분석하였다.

본 논문에서 제안된 분석 모형은 이미 발표된 buffered MIN 관련 연구<sup>[1-4]</sup>와 복수 buffered  $2 \times 2$  crossbar 스위치 성능 연구<sup>[5]</sup>의 취약점을 보완하고 분석 대상 스위치 크기를 일반화하여 스위치에 장착된 버퍼의 개수 혹은 스위치 크기 등에 제약받지 않고 성능을 분석할 수 있도록 설계되었다. 또한 분석과정의 수식이해를 돕기 위하여 간단한 데이터 충돌 처리 기법 및 steady state probability 개념을 도입하였다. 제안한 수학적 성능 분석 연구의 실효성 검증은 위하여 병행된 시뮬레이션 결과는 상호 미세한 오차 범위 내에서 모형의 예측 데이터와 일치하는 결과를 보였다.

## 2. 스위치의 성능 분석

### 2.1 스위치의 환경에 대한 일반적인 가정

본 논문에서  $a \times a$  crossbar 스위치의 수학적 성능 분석과 시뮬레이션 위해 적용한 일반적인 가정을 정리하면 다음과 같다.

- 각 스위치 입력 단으로 데이터 패킷이 유입 될 확률은 동일하다.
- 스위치에 장착된 buffer는 스위치 출력 단에 위치하고, buffer 공간 하나는 한 개의 데이터 패킷을 수용할 수 있다
- 스위치에서 충돌 발생시 무작위 중재 방식에 의거 처리 우선 순위를 결정한다.
- 임의 출력단 buffer의 여유 공간이 데이터 충돌로 발생된 잉여 데이터 패킷을 수용할 수 없을 경우, 해당 데이터 패킷을 제거하고, 이를 입력 측에 통보한다.

### 2.2 스위치의 동작 분석

그림 1은  $a \times a$  스위치의 각 입력 단에 데이터 패킷이 도달할 확률이  $\xi$ 로 주어질 경우, 해당 스위치의 임의 출력 단  $d$ 로 데이터 패킷들이 지향하게 될 확률을 도식화하여 나타내고 있다. 어떤 스위치 입력 단으로부터 데이터가 출력 단  $d$ 로 지향할 확률은  $\frac{\xi}{a}$ 이고, 출력 단  $d$ 로 지향하지 않을 확률은  $1 - \frac{\xi}{a}$ 로 계산된다. 따라서 스위치

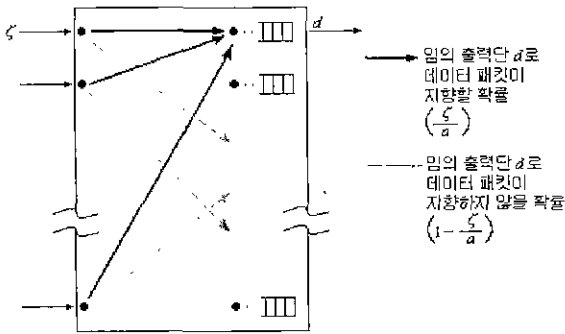


그림 1.  $a \times a$  crossbar switch에서의 데이터 이동 확률 패턴

의 입력 단에 유입된 데이터 패킷 중  $r$  개가  $d$ 로 향할 확률,  $p(h=r)$ 은

$$p(h=r) = {}_a C_r \left(\frac{\xi}{a}\right)^r \left(1 - \frac{\xi}{a}\right)^{a-r} \quad (1)$$

로 계산된다.

### 2.3 성능분석

본 연구에서 buffered crossbar 스위치의 성능분석을 위하여 정의된 주요 변수는 다음과 같다

$b$  : 스위치에 장착된 buffer 수

$p(\varepsilon=k)$ : Buffer에 저장된 데이터 패킷 수가  $k$ 개일 확률

$p(d=1)$ : 임의 출력 단  $d$ 로 데이터 패킷이 출력될 확률

$p(d=0)$ : 임의 출력 단  $d$ 로 데이터 패킷이 출력되지 않을 확률

임의 싸이클  $j$ 에 출력 단  $d$ 로 데이터 패킷이 출력되지 않을 경우는, 싸이클  $(j-1)$  종료시 해당 출력단 버퍼에 저장된 데이터 패킷이 없고, 싸이클  $j$ 에서 해당 출력단으로 향하는 데이터 패킷이 없는 경우이다. 즉,

$$p(d=0)_{cycle, j} = p(h=0)_{cycle, j} \times p(\varepsilon=0)_{cycle, (j-1)} \quad (2)$$

여기서  $p(h=r)_{cycle, j}$ 은 식(1)을 이용하여 계산이 가능하다. 또한 임의의 싸이클  $j$  종료시 buffer에 저장될 데이터 패킷의 수는 싸이클  $(j-1)$ 종료시 buffer에 저장된 데이터 패킷의 수와 싸이클  $j$ 에서 해당 출력단으로 지향하는 데이터 패킷의 수에 따라 다음과 같이 결정된다.

- ① 싸이클  $(j-1)$  종료시 buffer에 저장된 데이터 패킷이 없고, 싸이클  $j$ 에 해당 출력단으로 향하는 데이터 패킷이 없을 경우, 싸이클  $j$  종료시 해당 출력단의 버퍼에는 데이터 패킷이 저장되지 않는다.
- ② 싸이클  $j$  종료시 buffer에 저장되는 데이터 패킷의 수는 싸이클  $(j-1)$  종료시 buffer에 저장된 데이터 패킷의 수와 싸이클  $j$ 에서 해당 출력단을 향하는 데이터 패킷의 수의 합보다 하나가 적다.
- ③ 싸이클  $(j-1)$  종료시 buffer에 저장된 데이터 패킷의 수와

싸이클  $j$ 에서 해당 출력 단을 지향하는 데이터 패킷의 수의 합이  $b$ 보다 큰 경우, 싸이클  $j$  종료시 buffer에 저장되는 데이터 패킷의 수는  $b$ 이다.

따라서  $p(\varepsilon=0)_{cycle, j}$ 를 ①과 ②를 이용하여 기술하면,

$$p(\varepsilon=0)_{cycle, j} = p(h=0)_{cycle, j} p(\varepsilon=1)_{cycle, (j-1)} + p(h=0)_{cycle, j} p(\varepsilon=0)_{cycle, (j-1)} + p(h=1)_{cycle, j} p(\varepsilon=0)_{cycle, (j-1)} \quad (3)$$

의같이 얻어진다. 이와 유사하게 임의의 싸이클  $j$  종료시 버퍼에  $k$ 개 데이터 패킷이 저장될 확률,  $p(\varepsilon=k)_{cycle, j}$ 은 ②로부터

$$p(\varepsilon=k)_{cycle, j} = p(h=0)_{cycle, j} p(\varepsilon=k+1)_{cycle, (j-1)} + p(h=1)_{cycle, j} p(\varepsilon=k)_{cycle, (j-1)} + \dots + p(h=a)_{cycle, j} p(\varepsilon=k-a+1)_{cycle, (j-1)}$$

$$= \sum_{r=0}^a p(h=r)_{cycle, j} p(\varepsilon=k-r+1)_{cycle, (j-1)} \quad (4)$$

가 된다. 여기서  $0 < k < b$ 이며,  $\varepsilon < 0$ ,  $\varepsilon > b$ 인 경우는 식을 전개하는 과정에서 각각  $p(\varepsilon < 0) = 0$ ,  $p(\varepsilon > b) = 0$ 이 되어 식에서 소거된다.

위 식(3), (4)에서 임의의 buffer가 싸이클  $j$ 에  $k$ 개 데이터 패킷을 저장할 확률과 싸이클  $(j-1)$ 에  $k$ 개 데이터 패킷을 저장할 확률은 서로 같다고 볼 수 있다. 즉, 정상 상태 확률 (steady state probability) 개념을 도입하여,  $p(\varepsilon=k)_{cycle, j} = p(\varepsilon=k)_{cycle, (j-1)}$ 이다. 따라서, 위의 식(3)과 (4)는 다음과 같이 쓸 수 있다.

$$p(\varepsilon=0) = p(h=0) p(\varepsilon=1) + p(h=0) p(\varepsilon=0) + p(h=1) p(\varepsilon=0) \quad (5)$$

$$p(\varepsilon=k) = \sum_{r=0}^a p(h=r) p(\varepsilon=k-r+1) \quad (6)$$

식(5)를  $p(\varepsilon=1)$ 의 식으로 정리하면,

$$p(\varepsilon=1) = \frac{1}{p(h=0)} \sum_{r=2}^a p(h=r) p(\varepsilon=0) \quad (7)$$

혹은

$$p(\varepsilon=1) = \sum_{r=2}^a p(h=r) p(\varepsilon=0) + \sum_{r=1}^a p(h=r) p(\varepsilon=1) \quad (8)$$

로 얻어진다.

또한, 식(6)과 ②를 이용하여 buffer에 하나의 데이터 패킷이 저장되어 있을 확률,  $p(\varepsilon=1)$ ,을 계산하면

$$p(\varepsilon=1) = p(h=0) p(\varepsilon=2) + p(h=1) p(\varepsilon=1) + p(h=2) p(\varepsilon=0) \quad (9)$$

가 된다.

식(9)를 식(8)에 대입하여 정리하면,  $p(\varepsilon=2)$ 에 대한 다음 두 가지의 식을 유도할 수 있다.

$$p(\varepsilon=2) = \frac{1}{p(h=0)} \sum_{r=3}^a p(h=r) p(\varepsilon=0) + \frac{1}{p(h=0)} \sum_{r=2}^a p(h=r) p(\varepsilon=1) \quad (10)$$

혹은,

$$\begin{aligned}
 p(\varepsilon=2) &= \sum_{r=3}^{\infty} p(h=r) p(\varepsilon=0) \\
 &+ \sum_{r=2}^{\infty} p(h=r) p(\varepsilon=1) \\
 &+ \sum_{r=1}^{\infty} p(h=r) p(\varepsilon=2)
 \end{aligned} \quad (11)$$

같은 방법으로  $p(\varepsilon=k)$ 를 구하면,

$$p(\varepsilon=k) = \frac{1}{p(h=0)} \sum_{x=2}^{k-1} \sum_{r=x}^{\infty} p(h=r) p(\varepsilon=k-x+1) \quad (12)$$

가 된다. 여기서  $x \leq a$  이고,  $\frac{1}{p(h=0)} \sum_{x=2}^{k-1} \sum_{r=x}^{\infty} p(h=r)$ 항은 식 (1)을 이용하여 변수  $k$ 에 따른 상수로 계산된다. 또한, 식(7), (10), 그리고 (12)등의 상수형을  $\Omega$ 로 정의하여 정리하면,  $p(\varepsilon=1) = \Omega_1 p(\varepsilon=0)$ ,  $p(\varepsilon=2) = \Omega_2 p(\varepsilon=0)$  그리고,  $p(\varepsilon=k) = \Omega_k p(\varepsilon=0)$ 와 같이  $p(\varepsilon=0)$ 의 식으로  $p(\varepsilon=k)$ 를 구할 수 있다. 여기서,  $\Omega_k$ 는  $\zeta$ 가 주어질 때 식 (1)로 얻을 수 있는  $p(h=r)$ 등의 조합으로 이루어진 상수이다. 또한,  $p(\varepsilon=0)$ 는 다음과 같은 분석을 통하여 계산할 수 있다. 스위치가 수용할 수 있는 데이터 패킷의 수가  $b$  개로 주어질 때, 임의의 싸이클 종료시 버퍼에 저장된 데이터 패킷의 수는 0개에서  $b$ 개 중 하나이다 따라서,

$$\sum_{k=0}^b p(\varepsilon=k) = \sum_{k=0}^b \Omega_k p(\varepsilon=0) = 1, \quad (14)$$

이고  $p(\varepsilon=0)$ 는

$$p(\varepsilon=0) = \frac{1}{\sum_{k=0}^b \Omega_k} \quad (15)$$

스위치 임의 출력 단으로부터 데이터 패킷이 출력될 확률,  $p(d=1)$ , 은 식(1),(2) 및 (15)로부터  $p(d=0)$ 를 계산한 후, 다음 식에 의해 얻을 수 있다.

$$p(d=1) = 1 - p(d=0) \quad (16)$$

표 1은 임의의 입력단으로 매 싸이클 동안 하나씩의 입력이 유입되는 경우, 즉, 입력단으로 데이터 패킷이 유입될 확률,  $\zeta$ 가 1일 때 분석 모형으로부터 얻은 결과와 시뮬레이션 결과를 비교하여 나타내었고, 그림 2는 스위치에 장착된 buffer 개수와 출력이 존재할 확률의 관계를 그래프로 나타내었다.

#### 4. 결 론

본 연구에서는 multiple-buffered crossbar스위치의 분석 모형을 제시하였다. 제시된 분석 모형은 스위치에 장착된 버퍼의 개수와 무관하게 적용 가능하고, 분석 과정에서 간단한 데이터 충돌 처리 기법 및 근사화 기법을 도입하여 수식의 이해가 용이하다. 제한한 수학적 성능 분석 연구의 실효성을 검증하기 위한 시뮬레이션 처리 결과는 상호 미세한 오차 범위 내에서 모형의 예측 데이터와 일치하는 결과를 보여 분석 모형의 타당성을 입증하였다. 또한, 본 연구의 분석 모형은 다중 연결 망 등 crossbar스위치를 사용하는 모든 네트워크의 분석에 확대 적용이 가능하다.

|     |    | $p(d=1)$ (%) |      |      |      |            |      |      |      |
|-----|----|--------------|------|------|------|------------|------|------|------|
|     |    | Analysis     |      |      |      | Simulation |      |      |      |
| $a$ |    | 2            | 4    | 8    | 16   | 2          | 4    | 8    | 16   |
| $b$ | 0  | 75.0         | 68.4 | 65.6 | 64.4 | 75.0       | 68.4 | 65.6 | 64.5 |
|     | 1  | 87.5         | 82.7 | 80.6 | 79.6 | 87.5       | 82.6 | 80.6 | 79.5 |
|     | 2  | 91.7         | 88.2 | 86.5 | 85.8 | 91.9       | 88.0 | 86.5 | 85.7 |
|     | 4  | 95.0         | 92.7 | 91.7 | 91.2 | 95.2       | 92.6 | 91.6 | 91.1 |
|     | 8  | 97.2         | 95.9 | 95.3 | 95.0 | 97.5       | 95.9 | 95.3 | 95.0 |
|     | 16 | 98.5         | 97.8 | 97.5 | 97.4 | 98.7       | 97.9 | 97.7 | 97.4 |
|     | 32 | 99.2         | 98.9 | 98.7 | 98.7 | 99.2       | 98.9 | 98.9 | 98.7 |

표 1. Buffer size vs. 스위치 성능 ( $\zeta=1$ )

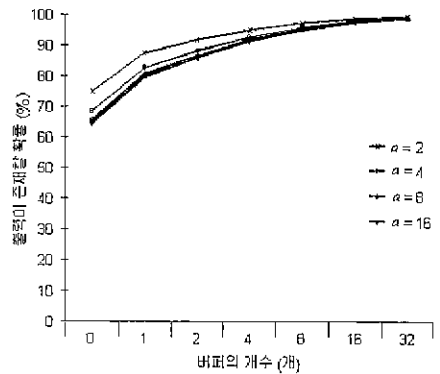


그림 2. Buffer 개수에 따른 임의의 출력단에 출력이 존재할 확률

#### 5. 참고문헌

- [1] D. M. Dias and J. R. Jump, "Analysis and Simulation of Buffered Delta Networks", *IEEE Trans. on Computers*, Vol. C-30, No. 4 pp273-282, Apr. 1981
- [2] Y. C. Jenq, "Performance Analysis of a Packet Switch Based on Singla Buffered Banyan Network", *IEEE J. Select Areas Comm*, Vol. SAC-3, No. 6, pp1014-1021, Dec. 1983
- [3] C. P. Krusal and M. Snir, "The Performance of Multistage Interconnection Networks for Multiprocessors", *IEEE Trans. on Computers*, Vol. C-32 No. 12, pp1091-1098, Dec. 1983
- [4] H. Yoon, K. Y. Lee, and M. T. Liu, "Performance Analysis of Multibuffered Packet-Switching Networks in Multiprocessor Systems", *IEEE Trans. on Computers*, Vol. C-39, No. 3, pp319-327, Mar. 1990
- [5] Kyung W. Park, Sang H. Lee, Moon H. Kang, Myung K. Yang, "Analytical Modeling of a Multistage Interconnection Network with Buffered  $2 \times 2$  Switches", *한국정보과학회 병렬처리시스템 학술발표회 논문집*, 제9권, 제3호, pp41-50, Sep 1998