

입력 큐를 가지고 있는 ATM 스위치에서 공정성을 고려한 효율적인 셀 스케줄러

문승진*, 이미혜**, 박혜숙*, 송광석*, 권보섭***, 김대영****
 *한국전자통신연구원, **하이퍼정보통신㈜
 안동대학교 컴퓨터공학교육과, *충남대학교 정보통신학과

An Effective Cell Scheduler Guaranteeing Fairness for Input-queued ATM Switch

Sung Jin Moon*, Mi Hye Lee**, Hea Sook Park*, Kwang Suk Song*, Boseob Kwon***, Daeyoung Kim****
 *Electronics and Telecommunication Research Institute, **Hiper Information & Communication Co., Ltd.
 *** Department of Computer Engineering Education, Andong National University
 **** Department of Information and Communication Engineering, Chungnam National University

요 약

고속의 입력 큐를 가진 스위치는 출력 큐를 가진 스위치보다 더 경제적이며 단순하다고 알려져 있다. 그러나, 입력 큐를 가진 스위치는 성능을 크게 저하시키는 HOL Blocking이라는 문제를 가지고 있다. 입력 큐 스위치는 랜덤 액세스 입력 큐와 셀 스케줄링 알고리즘을 사용하면 훨씬 좋은 성능을 얻을 수 있다. 많은 입력 큐 ATM 스위치의 Self-Firing 셀 스케줄러가 제안되어 왔으나, 여러 가지 입력포트와 분포에서 측정된 성능이 서로 크게 차이가 난다는 점에서 공정하지 못한 것이었다. 본 논문에서, 우리는 어떠한 트래픽 분포에서도 공정성을 가지는 셀 스케줄러를 제안하며, 제안한 스케줄러가 비록 트래픽이 비균일 분포일지라도 공정성이 유지되는 것을 모의실험을 통하여 증명한다.

1. 도입

최근 ATM은 B-ISDN을 위한 가장 유망한 전송매체로 채택되고 있다. ATM 스위치 중에서 입력 큐를 가지는 스위치는 출력 큐를 가진 스위치보다 더 경제적이며 단순하다고 알려져 있다. 그러나, 큐가 FIFO 방식으로 구성되었을 때는 HOL Blocking 때문에 입력 큐 스위치의 성능이 0.586으로 제한된다는 단점이 있다. 그러므로, 최근에는 대부분 각 입력 포트를 다중 큐로 구성하고, 뛰어난 스케줄러를 개발하는 많은 연구들이 진행되고 있으며, 이 때, 훨씬 더 좋은 성능을 얻을 수 있다.[1][2][3]

셀 스케줄링 알고리즘을 채택한 입력 큐 스위치는 출력 충돌을 방지할 수 있어 성능을 높일 수 있다. 입력 큐 스위치의 셀 스케줄러를 위한 많은 알고리즘이 제안되어 왔지만, 하드웨어 복잡도와 성능사이에는 밀접한 관련이 있다. 성능을 높이기 위해 많은 하드웨어로 구현할 경우 경제성은 낮아질 수밖에 없다.

그림 1은 일반적인 입력 큐 스위치의 블록도이다. 입력/출력포트, 언블록킹 공간 스위치 그리고 중앙집중식 셀 스케줄러로 구성된다. 각 입력포트는 입력 버퍼와 입력 큐 제어부를 가지고 있다. 입력 큐 제어부의 정보에 따라 셀 스케줄러는 각 타임슬롯마다 전송할 셀을 결정한다.[5]

Hluchy는 요구, 승인, 전송 등의 단계를 가지는 반복적인 알고리즘을 제안했다.[2] 그러나, 이 알고리즘은 시퀀셜 방식으로 운용되므로 구현 속도가 입력포트의 수와 반복 횟수에 비례한다는 단점이 있다. SLIP-IRRM(Iterative Round Robin Matching) 방식[3]과 Self-Firing 셀 스케줄러[4][5]는 모든 입력/출력포트의 반복 연산이 병렬적으로 이루어진다. 하지만, 이러한 방식들은 균일한 트래픽에서는 좋은 성능을 보장할 수 있으나, 트래픽이 균일하지 않거나 도착과정이 빠르게 분포를 따르지 않을 경우에는 높은 성능을 유지시킬 수 없다.

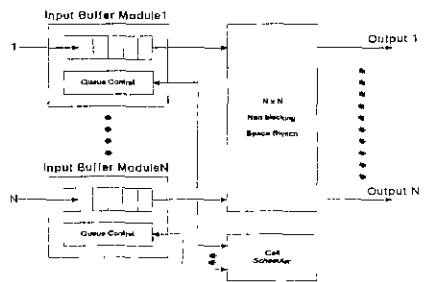


그림 1. 입력 큐를 가지는 스위치

우리는 Self-Firing 셀 스케줄러와 병렬 연산을 이용하여 모든 출력포트로의 전송을 보장하고, 빠른 속도로 셀을 스케줄링하며, 구현하기 쉬운 최적의 스케줄러를 제안하여 왔다. 그러나, 여러 가지 입력포트와 분포에서 측정된 성능이 서로 크게 차이가 난다는 점에서 공정성을 보장할 수 없는 것이었다.

이에 본 논문에서는 어떠한 트래픽 분포에서도 공정성을 가지며, 부가적인 하드웨어를 최소화한 셀 스케줄러를 제안한다. 또한, 제안하고자 하는 알고리즘은 매우 빠르고, 쉽게 구현이 가능하고 성능이 좋다는 점에서 매우 효율적이다.

2. 제안하는 셀 스케줄러

$N \times N$ 스위치에서는 전송 요구 집합의 일반화된 대각선 중 하나에 포함되는 N 개의 서로 다른 셀 전송 요구가 동시에 한 타임슬롯에 처리될 수 있다. 전송 요구 집합의 일반화된 대각선은 어떠한 두 개의 원소도 서로 같은 행이나 열에 존재하지

않는 N 개의 원소로 이루어진 하나의 집합이다. Self-Firing 셀 스케줄러는 N^2 의 프로세싱 요소와 다중 입력 큐를 사용한다. 모든 프로세싱 요소들은 각 행과 열을 따라 서로 연결되어 $N \times N$ 토러스 망을 이룬다. i 번째 행과 j 번째의 프로세싱 요소는 $P_{i,j}$ 라고 표시하며 $P_{i,j}$ 와 연결된 4개의 입출력선을 각각 $h_{i,j}^n, v_{i,j}^n, h_{i,j}^{out}$ 그리고 $v_{i,j}^{out}$ 이라 표기한다. 프로세싱 요소 $P_{i,j}$ 는 입력, 타임슬롯, 각 타임슬롯의 $1/N$ 인 내부 클럭을 이용한다 [4][5].

Self-Firing 셀 스케줄러 구조는 셀을 전송하기 전에 두 가지 단계, 즉 요구와 승인 단계를 거치는 간단한 알고리즘을 채택한다. 이 두 단계는 파이프라인 방식으로 수행되며, 셀 전송을 위한 가장 효율적인 방법이다. 각 단계는 한 타임슬롯 τ 안에 모두 수행된다. 첫번째 단계에서는, 타임슬롯의 시작점에서 어떤 출력포트로 가야 할 셀이 있는 각 입력포트에서의 요구를 프로세싱 요소 $P_{i,j}$ 로 보내게 된다. 프로세싱 요소들은 출력포트로 셀을 전송할 수 있는 입력포트를 결정하고 승인한다. τ 번째 타임슬롯에서 변수 l ($0 \leq l \leq N-1$)로 나타낼 수 있는 각 내부 클럭 동안에 $(i+j) \bmod N = (l+\tau) \bmod N$ 을 만족하는 각 프로세싱 요소 $P_{i,j}$ 는 셀 전송 요구 집합 $R_{i,j}$ 를 검사하기 위하여 Fire 된다. 두번째, 승인 단계에서 한 $P_{i,j}$ 는 $R_{i,j} = 1, h_{i,j}^n = 0, v_{i,j}^{out} = 0$ 일 때, 입력포트 i 로 승인 신호를 보낸다. $P_{i,j}$ 의 결과는 $P_{(i+1) \bmod N, j}$ 와 $P_{i, (j+1) \bmod N}$ 으로 $h_{i,j}^{out}$ 와 $v_{i,j}^{out}$ 을 통하여 각각 전달된다. [4][5]

비록 이 간단한 알고리즘이 입력 큐를 가지는 ATM 스위치에 높은 성능을 보이며 쉽게 구현이 가능한 것이지만, 모든 출력포트로의 트래픽이 균일하지 않다면 공정성을 보장하지는 않는다. 이에 우리는 기존의 제안된 셀 스케줄러가 고정된 방향을 갖는 오직 N 개의 대각선을 사용하는 것과는 달리 타임슬롯에 따라 가변적인 다른 방향성을 가지는 $4N$ 개의 대각선을 사용하여 공정성을 보장하는 진보된 셀 스케줄러를 제안하고자 한다. 기존의 셀 스케줄러의 Fire 가능한 대각선은 내부 클럭에 따라 위치가 행과 열로 하나씩 증가만 하였으나, 제안하고자 하는 셀 스케줄러는 증가하거나 감소하게 되어 있다.

기존의 셀 스케줄러는 셀 전송 요구 집합에서 행 또는 열의 관점에서 볼 때, 라운드로빈 방식으로 동작하므로 본래 여러 가지 입력포트에서의 평균 셀 대기 시간이 많은 차이를 보여 공정성을 보장할 수 없다.

이 문제를 해결하기 위하여 우리는 타임슬롯에 따른 대각선 생성 방법으로 4 가지 경우를 고려한다. 즉, a, b ($a, b \in \{-1, 1\}$)가 정의되고, $(t - a*j) \bmod N = (\tau - b*i) \bmod N$ 을 만족하는 프로세싱 요소 $P_{i,j}$ 가 Fire 된다.

그림 2는 제안하고자 하는 스케줄러에서 프로세싱 요소들의 배열을 보여 준다. 프로세싱 요소들은 $N \times N$ 의 2 방향 토러스 망에서 그림과 같이 연결되어 있다.

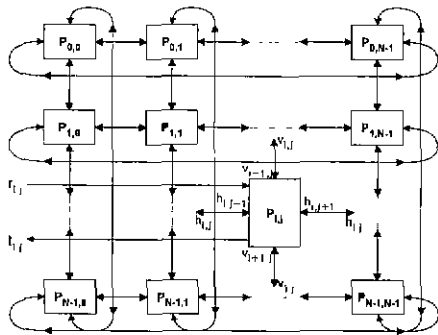


그림 2. 프로세싱 요소들의 배열

$P_{i,j}$ 의 제어신호는 각각 $h_{i,j}, h_{i,j-1}, h_{i,j+1}$ 과 $v_{i,j}, v_{i,j-1}, v_{i,j+1}$ 로 표기되며, 승인 단계에서 한 $P_{i,j}$ 는 $R_{i,j} = 1$ 이고, 제어신호들이 0일 때 입력포트 i 로 승인 신호를 보낸다. $P_{i,j}$ 의 결과는 다음 프로세싱 요소로 $h_{i,j}$ 와 $v_{i,j}$ 를 통하여 각각 전달된다.

표 1은 a, b 에 따른 입력 제어신호와 다음 프로세싱 요소를 보여 준다.

a	b	입력 제어신호	다음 프로세싱 요소
1	1	$h_{i,j-1}$ 과 $v_{i-1,j}$	$P_{(i-1) \bmod N, j}$ 와 $P_{i, (j+1) \bmod N}$
1	-1	$h_{i,j+1}$ 과 $v_{i+1,j}$	$P_{(i+1) \bmod N, j}$ 와 $P_{i, (j-1) \bmod N}$
-1	1	$h_{i,j+1}$ 과 $v_{i-1,j}$	$P_{(i+1) \bmod N, j}$ 와 $P_{i, (j-1) \bmod N}$
-1	-1	$h_{i,j-1}$ 과 $v_{i+1,j}$	$P_{(i-1) \bmod N, j}$ 와 $P_{i, (j+1) \bmod N}$

표 1. 입력 제어신호와 다음 프로세싱 요소

3. 모의실험 결과

우리는 제안한 셀 스케줄러와 Self-Firing 스케줄러를 비교하여 모의실험을 수행하였으며, 셀프 라우팅 년블록킹 스위치를 대상으로 하였다. 한 타임슬롯은 스위치에서 한 셀이 스위칭되는 데 걸리는 시간에 해당되며, 셀 스케줄링 동작은 병렬적으로 이루어진다. 그림 3은 균일한 트래픽에서의 셀 대기 시간과 부하 λ 의 특성곡선을 나타낸 것이다. 제안한 셀 스케줄러가 셀 손실률이 상대적으로 낮음을 알 수 있다.

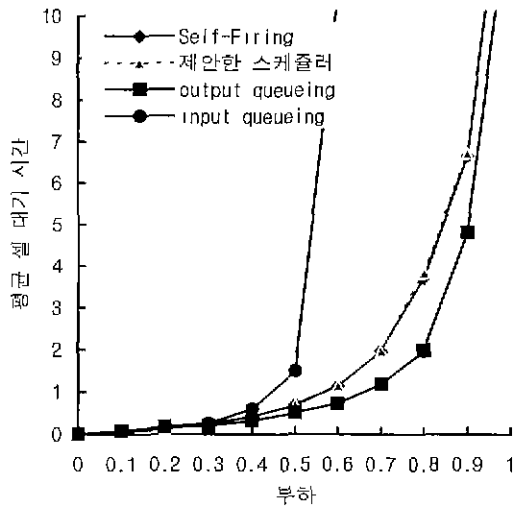


그림 3. 8×8 스위치에서 균일한 트래픽일 때의 평균 셀 대기 시간 대 부하

모든 입력포트들에 도착하는 셀 분포가 도착률이 80%인 Poisson 분포를 따르고, 출력포트들이 특별한 입력포트들에게로 한정되어 있다고 가정하자. 그림 4가 이 때의 결과를 보여 준다.

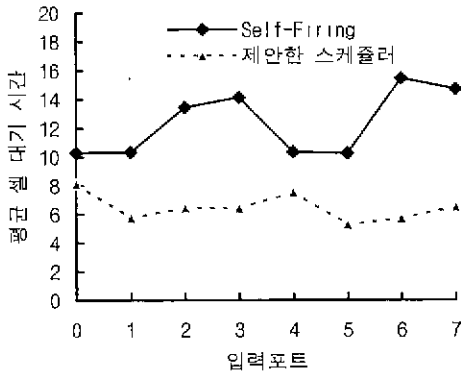


그림 4. 8x8 스위치(부하 80%, 버퍼 크기 : 8)에서 입력포트 2~5는 출력포트 0~3로 한정하고 다른 입력포트는 한정하지 않을 때의 평균 셀 대기 시간 대 입력포트

또한, 입력포트 4에서 7까지는 1/8, 나머지 입력포트들은 1/8의 평균 도착률을 가지는 Poisson 분포라고 가정할 때, 제한한 셀 스케줄러와 Self-Firing 셀 스케줄러의 각 입력포트에서 발생하는 평균 셀 대기 시간은 그림 5와 같다. 제한한 셀 스케줄러의 평균 셀 대기 시간은 거의 상수에 근접함을 알 수 있다.

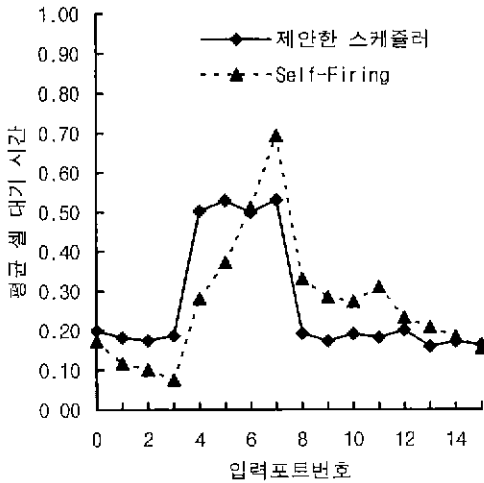


그림 5. 16x16 스위치에서 입력포트 4~7의 부하는 80%, 나머지 입력포트 부하는 10%일 때의 평균 셀 대기 시간 대 입력포트

결국, 제한한 셀 스케줄러의 평균 셀 대기 시간은 같은 도착률을 가지는 모든 입력포트에 대해 거의 같은 값을 보이는 반면, 기존의 Self-Firing 셀 스케줄러의 경우에는 각 입력포트마다 큰 변화를 보인다. 그러므로, 제한한 셀 스케줄러는 어떠한 트래픽에서도 공정성을 보장함을 알 수 있다.

4. 결론

우리는 입력 큐를 가지는 ATM 스위치에 대해 새로운 셀 스케줄러를 제안하였다. 제안한 셀 스케줄러는 기존의 Self-Firing 셀 스케줄러에서 처리하지 못했던 비균일 입력 트래픽 분포에서의 공정성 문제를 해결하였다. 타임슬롯에 따라 각 입력포트의 스케줄링 우선 순위를 변환시키면서 4방향의 대각선을 생성하여 공정성을 보장한다. 제안한 셀 스케줄러는 스위치의 전체 성능을 전혀 저하시키지 않고, 어떠한 입력포트에서 평균 셀 대기 시간을 측정하더라도 거의 변화가 없다.

References

- [1] M. Prycker, Asynchronous Transfer Mode . Solution for Broadband ISDN Ellis Horwood, 2nd ed, 1993.
- [2] M G. Hluchy and M. J. Karol. "Queueing in high-performance packet switching", *IEEE Journal on Selected Areas in Communications*, vol. 6, pp. 1587-1597, Dec, 1988
- [3] N W. McKeown, "Scheduling Algorithms for Input-Queued Cell Switches". Ph.D thesis, 1995. Ph.D Dissertation.
- [4] B Kwon, B Kim and H. Yoon, "Self-firing cell scheduler for input queueing ATM switches". *Electronics Letters*. vol 32, no. 17, August, 1996
- [5] B. Kwon, "Efficient Scheduling Algorithms for Time-Division Multiplexed Switches", Ph.D thesis, 1996 Ph.D Dissertation